



ITS
Institut
Teknologi
Sepuluh Nopember

29/7/2007 H/07



RSF

621.391.6

Han

r-1

2007

Final Project RF 0469

BUILD AND DESIGN SUGAR SOLUTION MEASURING INSTRUMENT BASED ON MICROCONTROLLER AT89S51

Novalia Handayani
NRP 2404.030.001

Advisor Lecturer
Ir. Heru Setijono, MSc

PERPUSTAKAAN ITS	
Tgl. Terima	20-7-2007
Terima Dari	H
No. Agenda Prp.	228 708

Study Program D3 Instrument Engineering
Department of Physics Engineering
Faculty of Industrial Technology
Sepuluh November Institute of Technology
Surabaya

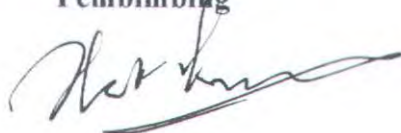
**RANCANG BANGUN ALAT UKUR KADAR
LARUTAN GULA BERBASIS MIKROKONTROLLER
AT89S51**

TUGAS AKHIR

Oleh :

Novalia Handayani
NRP. 2404 030 001

Surabaya, Juli 2007
Mengetahui / Menyetujui
Pembimbing



Ir. Heru Setijono.M.Sc
NIP. 130 604 249

Ketua Jurusan
Teknik Fisika FTI – ITS



DR, Ir. Totok Soehartanto, DEA
NIP. 131 879 399

Ketua Program Studi
DIII Instrumentasi



Ir. Matradji, M.Sc
NIP. 131 478 882

**RANCANG BANGUN ALAT UKUR KADAR
LARUTAN GULA BERBASIS MIKROKONTROLLER
AT89S51**

TUGAS AKHIR

Diajukan Untuk Memenuhi Salah Satu Syarat
Memperoleh Gelar Diploma Teknik
pada
Bidang Studi D-3 Teknik Instrumentasi
Jurusan Teknik Fisika
Fakultas Teknologi Industri
Institut Teknologi Sepuluh Nopember

Oleh :

NOVALIA HANDAYANI

NRP. 2404 030 001

Disetujui oleh Tim Penguji Tugas Akhir :

1. Ir.Heru Setijono, M.Sc(Pembimbing I)
2. Ir.Heri Justiono(Penguji I)
3. Ir.Zulkifli, M.Sc(Penguji II)
4. Dr. Bambang Lelono W, ST, MT(Penguji III)
5. Deddy Ardiansyah, ST(Penguji IV)

SURABAYA

Juli, 2007

RANCANG BANGUN ALAT UKUR LARUTAN GULA BERBASIS MIKROKONTROLLER AT89S51

Nama Mahasiswa : NOVALIA HANDAYANI
NRP : 2404 030 001
Program Studi : DIII Teknik Instrumentasi
Jurusan : Teknik Fisika
Dosen Pembimbing : Ir. Heru Setijono, Msc

Abstrak

Glukosa adalah salah satu karbohidrat yang terpenting dalam kehidupan manusia. Glukosa ($C_6H_{12}O_6$, berat molekul 180.18) adalah heksosa-monosakarida yang mengandung enam atom karbon. Pada tugas akhir telah dibuat suatu alat dimana dapat mengukur kadar larutan gula. Pada kadar larutan gula ini memiliki range minimum dan maksimum. Larutan gula yang digunakan adalah gula lokal yang berwarna kekuningan dan dicampur dengan air mineral. Semakin banyak gula yang terkandung dalam larutan tersebut, maka kadar pada larutan akan bertambah. Larutan gula akan terdeteksi oleh sensor photodiode yang difungsikan sebagai receiver dan superbright sebagai transceiver yang menjadi sumber cahaya sehingga dapat terbaca oleh photodiode. Hasil outputan dari rangkaian tersebut akan dikonversi di ADC dan akan dikendalikan oleh mikrokontroler dan data akan ditampilkan pada LCD. Pada pengujian rangkaian sensor dengan larutan gula didapat tegangan outputan tertinggi sebesar 33 mV dan tegangan outputan terendah sebesar 3 mV.

Kata kunci: glukosa, mikrokontroler, LCD

**BUILD AND DESIGN SUGAR SOLUTION
MEASURING INSTRUMENT BASED ON
MICROCONTROLLER AT89S51**

Name :NOVALIA HANDAYANI
Registration Number :2404 030 001
Program of Study :Instrumentation Engineering
Diploma
Departement :Engineering Physics
Advisor Lecture :Ir. Heru Setijono, Msc

Abstract

Glucose is one of all important carbohydrate in human life. Glucose ($C_6H_{12}O_6$, heavily molecule of 180.18) is heksosa-monosakarida containing six carbon atom. At this sugar rate have range a minimum and maximum. Sugar condensation which applied is mixed with kitchen sugar is mineral water. More and more sugar which implied in the condensation, hence rate at condensation will increase. Sugar condensation will be detected by censor photodiode which functioned as receiver and superbright as transceiver becoming light source causing can be read by photodiode. Output result will be converted in ADC and will be controlled by microcontroller and data will be presented at LCD. At examination of censor network with sugar condensation got highest output tension equal to 33 mV and low output tension equal to 3 mV.

Keyword: Glucose, microcontroller, LCD

KATA PENGANTAR

Segala puja dan puji syukur penulis panjatkan kehadiran Allah SWT. yang telah banyak melimpahkan rahmat, taufiq, hidayah, kemudahan, kesabaran dan kesehatan kepada penulis sehingga dapat menyelesaikan tugas akhir yang berjudul :

RANCANG BANGUN ALAT UKUR KADAR LARUTAN GULA BERBASIS MIKROKONTROLLER AT89S51

Tugas akhir ini disusun guna memenuhi persyaratan untuk memperoleh gelar ahli madya DIII Teknik Instrumentasi pada Jurusan Teknik Fisika, FTI-ITS Surabaya.

Selama menyelesaikan tugas akhir ini penulis telah banyak mendapatkan bantuan dari berbagai pihak. Oleh karena itu penulis ingin mengucapkan terima kasih yang sebesar-besarnya kepada :

1. Bapak Eddy Priansyah dan Ibu Akhlian Noor yang senantiasa mendidik dan mengiringi langkah penulis dengan dukungan, doa, dan bimbingan meski bapak sudah tidak ada disamping penulis lagi serta adik-adikku Melda dan Nazar di Balikpapan terima kasih atas dukungan moril dan material dari kalian semua.
2. Bapak Dr. Ir. Totok Suhartanto, DEA, selaku Ketua jurusan Teknik Fisika ITS
3. Bapak Matradji, MSc selaku Ketua Program Studi DIII Teknik Instrumentasi jurusan Teknik Fisika ITS.
4. Bapak Ir. Heru Setijono, Msc selaku pembimbing yang membantu membuka pandangan berfikir dan memberikan arahan kepada penulis selama melakukan bimbingan tugas akhir.
5. Bapak Suyanto, ST., MT., selaku Ka.Lab Workshop Instrumentasi.
6. Bapak Fitriadi Iskandarianto,ST, yang memberi ide dalam penyelesaian Tugas Akhir ini.

7. Segenap Dosen dan karyawan Teknik Fisika atas bantuan selama di sini.

Penulis menyadari bahwa tugas akhir ini tidak sempurna, tetapi penulis berharap dapat memberikan kontribusi yang berarti dan dapat menambah wawasan bagi mahasiswa Diploma III Teknik Instrumentasi ITS dan pembaca semua.

Surabaya, Juli 2007

Penulis

DAFTAR ISI

HALAMAN JUDUL	
LEMBAR PENGESAHAN	
ABSTRAK.....	v
KATA PENGANTAR.....	vii
DAFTAR ISI.....	ix
DAFTAR GAMBAR.....	xi
DAFTAR GRAFIK.....	xii
DAFTAR TABEL.....	xiii
BAB I PENDAHULUAN.....	1
1.1 Latar Belakang.....	1
1.2 Permasalahan.....	1
1.3 Batasan Masalah.....	2
1.4 Tujuan.....	2
1.5 Metodologi Percobaan.....	2
1.6 Sistematika Laporan.....	3
BAB II TEORI PENUNJANG.....	5
2.1 Glukosa.....	5
2.2 Larutan.....	7
2.3 Photodiode.....	9
2.4 Catu Daya.....	11
2.4.1 Transformator.....	11
2.4.2 Diode Penyearah.....	17
2.4.3 Regulator.....	18
2.4.4 Kapasitor Filter.....	20
2.5 ADC 0804 (Analog to Digital Converter).....	21
2.6 Mikrokontroler AT89s51.....	23
2.6.1 Bahasa Assembly AT89s51.....	32
2.7 LCD.....	32
BAB III PERANCANGAN DAN PEMBUATAN ALAT.....	37
3.1 Blok Diagram Perancangan Alat.....	37
3.2 Prosedur Pembuatan Larutan.....	38
3.3 Perancangan Alat.....	39
3.3.1 Rangkaian Power Supply.....	39

3.3.2 Rangkaian Sensor.....	40
3.3.3 Rangkaian ADC.....	41
3.3.4 Mikrokontroller.....	43
3.3.4.1 Minimum System.....	43
3.3.4.2 Mikrokontroller AT89S51.....	43
3.4 Perancangan Alat Seluruhnya.....	46
BAB IV PENGUJIAN ALAT DAN ANALISA.....	47
4.1 Pengujian Alat.....	47
4.1.1 Pengujian Rangkaian Power Supply.....	47
4.1.2 Pengujian Rangkaian Sensor.....	49
4.1.3 Pengujian Rangkaian ADC.....	54
4.1.4 Pengujian ADC dengan Rangkaian Sensor.....	57
4.2 Perbandingan Tingkat Kekerohan (Gula Import dan Gula Lokal).....	57
4.3 Analisa Data.....	59
BAB V PENUTUP.....	61
5.1 Kesimpulan.....	61
5.2 Saran.....	62
DAFTAR PUSTAKA	
LAMPIRAN A	
LAMPIRAN B	
LAMPIRAN C	

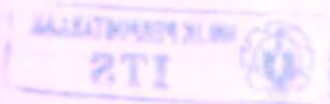
DAFTAR GAMBAR

Gambar 2.1 Proyeksi Haworth Struktur Glukosa (α -D-glukopiranos).	5
Gambar 2.2 Bentuk rantai D-Glukosa.....	6
Gambar 2.3 Photodiode.....	11
Gambar 2.4 Prinsip Suatu Transformator.....	12
Gambar 2.5 Transformator Arus.....	16
Gambar 2.6 Transformator Tegangan.....	17
Gambar 2.7 Penyearah Dioda Gelombang Penuh.....	18
Gambar 2.8 IC Regulator 78XX atau 79XX.....	19
Gambar 2.9 Rangkaian ADC 0804.....	22
Gambar 2.10 ADC Metode pendekatan berturut-turut.....	23
Gambar 2.11 Konfigurasi pin IC AT89S51.....	25
Gambar 2.12 Diagram Blok Dari IC AT89S51.....	28
Gambar 2.13 Bit Latch dan I/O Buffer 89S51.....	30
Gambar 2.14 LCD 2 x 16	34
Gambar 3.1 Blok Digram Perancangan Alat.....	37
Gambar 3.2 Rangkaian Power Supply 5 Volt.....	40
Gambar 3.3 Rangkaian Power Supply 12 Volt.....	40
Gambar 3.4 Rangkaian Sensor.....	41
Gambar 3.5 Rangkaian ADC 0804.....	42
Gambar 3.6 System Minimum Mikrokontroller AT89S51.....	43
Gambar 3.7 Sistem Minimum Mikrokontroller AT89S51 pada Rangkaian.....	44
Gambar 3.8 Konfigurasi LCD 2 x 16.....	45
Gambar 3.9 Rangkaian Alat Ukur Kadar Larutan Gula.....	46



DAFTAR GRAFIK

Grafik 4.1 Hasil Pengujian Rangkaian Sensor.....	53
Grafik 4.2 Hasil Pengujian ADC dengan Kenaikan Sinyal Tegangan Inputan.....	55
Grafik 4.3 Hasil Pengujian ADC dengan Penurunan Sinyal Tegangan Inputan.....	56



DAFTAR TABEL

Tabel 2.1 Contoh-contoh larutan berdasarkan fase komponen-komponennya.....	8
Tabel 2.2 Fungsi Alternatif Port 3.....	24
Tabel 2.3 Pin LCD Tipe 44780.....	33
Tabel 3.1 Perencanaan Port Sistem Mikrokontroler AT89S51.....	44
Tabel 4.1 Pengujian Power Supply 5 volt.....	48
Tabel 4.2 Pengujian Power Supply 12 volt.....	48
Tabel 4.3 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 0%.....	49
Tabel 4.4 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 20%.....	50
Tabel 4.5 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 40%.....	51
Tabel 4.6 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 60%.....	51
Tabel 4.7 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 80%.....	52
Tabel 4.8 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 100%.....	52
Tabel 4.9 Pengujian ADC dengan Kenaikan Sinyal Tegangan Inputan.	54
Tabel 4.10 Pengujian ADC dengan Penurunan Sinyal Tegangan Inputan.	55
Tabel 4.11 Hasil Pengujian Rangkaian Sensor dengan ADC	57
Tabel 4.12 Gula Lokal Dengan Larutan Gula 20%.....	58
Tabel 4.13 Gula Import Dengan Larutan Gula 20%.....	58

BAB I

PENDAHULUAN

1.1 Latar Belakang

Perkembangan teknologi yang semakin maju, berdampak pada gaya hidup manusia, yang ditandai dengan tuntutan ektifitas dan efisiensi. Mulai dari cara perolehan informasi pada sampai masalah kesehatan dan pemenuhan kebutuhan pribadi lainnya, semuanya harus terpenuhi dengan cepat, mudah, praktis dan ekonomis. Dalam bidang kesehatan, misalnya banyak analisa klinis secara ekonomis. Dalam bidang kesehatan, misalnya banyak analisa klinis yang memerlukan waktu analisa beberapa jam atau beberapa hari untuk memperoleh hasilnya.

Diilhami oleh hal tersebut, maka Tugas Akhir ini mencoba untuk mengembangkan suatu bentuk teknologi yang mendeteksi kadar larutan gula yang siap pakai setiap saat, tanpa memakan waktu yang lama dan mudah penggunaannya.

Pada Tugas Akhir ini adalah merancang suatu alat ukur yang digunakan untuk mengukur kadar larutan gula dengan menggunakan sensor photodiode. Sensor ini dipasang dengan menggunakan rangkaian supply kemudian dilanjutkan ke ADC dan Mikrokontroler AT89s51 sebagai processing data serta menampilkannya ke LCD. Pengukuran yang dilakukan sangat bergantung dari pemakaian sumber cahaya yang digunakan, dimana menghasilkan nilai absorsbi yang diharapkan.

1.2 Perumusan Masalah

Permasalahan yang timbul dalam Tugas Akhir ini adalah bagaimana merancang suatu alat ukur dan mengkalibrasi alat tersebut sehingga sesuai dengan standard. Dalam melakukan pengujian ini data yang akan diambil

diperoleh berbeda beda sehingga memerlukan ke akuratan dalam pengambilan data.

1.3 Batasan Masalah

Pada Tugas Akhir terdapat beberapa batasan masalah yaitu :

1. Pengukuran yang dilakukan mempunyai nilai range yang telah ditentukan dari range minimum sampai range maksimum.
2. Pada alat ukur ini hanya menggunakan 1 sample, yaitu gula dapur dan AQUA.
3. Sebelum melakukan pengukuran, larutan gula harus diaduk untuk mendapatkan data yang akurat.
4. Larutan gula yang dipakai mempunyai kadar 100% sampai 0%.

1.4 Tujuan

Berdasarkan latar belakang, Tugas Akhir yang berjudul Rancang Bangun Alat Ukur Kadar Larutan Gula Berbasis Mikrokontroller AT89s51 yang nantinya dapat direalisasikan untuk mengetahui berapa besar kadar larutan gula. Berupa peralatan yang dapat digunakan untuk mengukur kadar larutan gula dengan menggunakan sensor photodiode yang peka terhadap cahaya.

1.5 Metodologi Penelitian

Metodologi yang digunakan dalam pengerjaan tugas akhir ini adalah sebagai berikut :

- Studu Literatur

Untuk merealisasikan dari suatu ide diperlukan adanya referensi yang mendukung ide tersebut yaitu meliputi pemograman pada mikrokontroller dan dasar-dasar

elektronika, meliputi Rangkaian Supply, Rangkaian sensor, ADC dan Program Mikrokontroller.

- Perancangan dan pembuatan perangkat keras.
Pada perancangan ini dibuat alat ukur kadar larutan gula, yang mempunyai prinsip kerja yaitu semakin banyak gula yang terkandung dalam larutan, cahaya yang diserap semakin berkurang dan intensitas semakin rendah. Dan pada pembuatan perangkat keras dimulai dari rangkaian sensor, power supply, ADC, mikrokontroller dan ditampilkan ke LCD.
- Pembuatan perangkat lunak pada mikrokontroller AT89S51
Meliputi pembuatan perangkat lunak dengan menggunakan program-program yang telah ada kemudian memakai perangkat lunak dari mikrokontroller AT89S51.
- Analisa hasil pengujian
Pengujian dan analisis alat dilakukan untuk mengetahui kadar larutan gula sekaligus dilakukan pengambilan data.

1.6 Sistematika Laporan

Laporan tugas akhir ini tersusun dari halaman judul, lembar pengesahan, abstrak, kata pengantar, daftar isi, daftar gambar, daftar tabel dan beberapa bab yaitu :

- BAB I Pendahuluan
Bab ini berisi tentang latar belakang tugas akhir, permasalahan, batasan masalah, tujuan dan sistematika laporan.
- BAB II Dasar Teori
Bab ini menguraikan dan membahas teori yang dipakai untuk menunjang tugas akhir ini, khusus

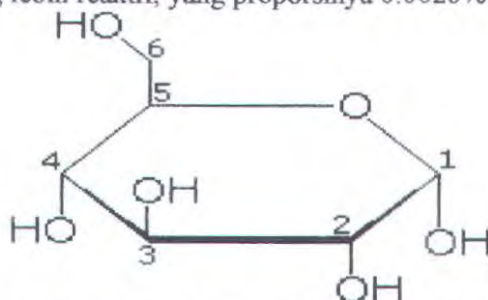
- teori tentang peralatan perangkat keras dan perangkat lunak tugas akhir ini.
- BAB III** Perancangan dan Pembuatan Alat
Bab ini menjelaskan tentang pembuatan perangkat keras (hardware).
- BAB IV** Pengujian Alat dan Analisa Rancang Bangun Sistem
Menjelaskan tentang pengujian alat dan analisa terhadap outputan masing-masing hardware yang telah dibuat.
- BAB V** Penutup
Pada bab ini berisi kesimpulan beserta saran – saran untuk tugas akhir ini.

BAB II TEORI PENUNJANG

2.1 Glukosa

Glukosa, suatu gula monosakarida, adalah salah satu karbohidrat terpenting yang digunakan sebagai sumber tenaga bagi hewan dan tumbuhan. Glukosa merupakan salah satu hasil utama fotosintesis dan awal bagi respirasi. Bentuk alami (D-glukosa) disebut juga dekstroza, terutama pada industri pangan.

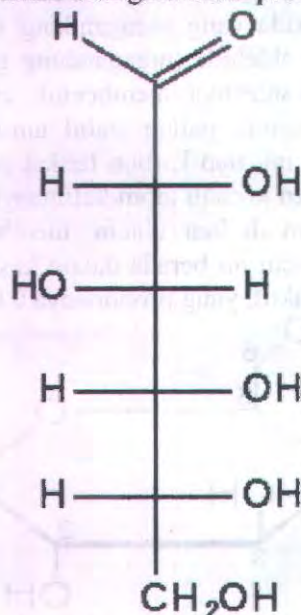
Glukosa ($C_6H_{12}O_6$, berat molekul 180.18) adalah heksosa—monosakarida yang mengandung enam atom karbon. Glukosa merupakan aldehida (mengandung gugus -CHO). Lima karbon dan satu oksigennya membentuk cincin yang disebut "cincin piranosa", bentuk paling stabil untuk aldosa berkarbon enam. Dalam cincin ini, tiap karbon terikat pada gugus samping hidroksil dan hidrogen kecuali atom kelimanya, yang terikat pada atom karbon keenam di luar cincin, membentuk suatu gugus CH_2OH . Struktur cincin ini berada dalam kesetimbangan dengan bentuk yang lebih reaktif, yang proporsinya 0.0026% pada pH 7.



Gambar 2.1 Proyeksi Haworth Struktur Glukosa
(α -D-glukopiranos)

Glukosa merupakan sumber tenaga yang terdapat di mana-mana dalam biologi. Kita dapat menduga alasan mengapa glukosa, dan bukan monosakarida lain seperti fruktosa, begitu banyak digunakan. Glukosa dapat dibentuk dari formaldehida pada keadaan abiotik, sehingga akan mudah tersedia bagi sistem

biokimia primitif. Hal yang lebih penting bagi organisme tingkat atas adalah kecenderungan glukosa, dibandingkan dengan gula heksosa lainnya, yang tidak mudah bereaksi secara nonspesifik dengan gugus amino suatu protein. Reaksi ini (glikosilasi) mereduksi atau bahkan merusak fungsi berbagai enzim. Rendahnya laju glikosilasi ini dikarenakan glukosa yang kebanyakan berada dalam isomer siklik yang kurang reaktif. Meski begitu, komplikasi akut seperti diabetes, kebutaan, gagal ginjal, dan kerusakan saraf periferal ('peripheral neuropathy'), kemungkinan disebabkan oleh glikosilasi protein.



Gambar 2.2 Bentuk rantai D-Glukosa

Dalam respirasi, melalui serangkaian reaksi terkatalisis enzim, glukosa teroksidasi hingga akhirnya membentuk karbon dioksida dan air, menghasilkan energi, terutama dalam bentuk ATP. Sebelum digunakan, glukosa dipecah dari polisakarida. Glukosa dan fruktosa diikat secara kimiawi menjadi

sukrosa, Pati, selulosa, dan glikogen merupakan polimer glukosa umum polisakarida).

Dekstrosa terbentuk akibat larutan D-glukosa berotasi terpolarisasi cahaya ke kanan. Dalam kasus yang sama D-fruktosa disebut "levulosa" karena larutan levulosa berotasi terpolarisasi cahaya ke kiri.

2.2 Larutan

Dalam kimia, larutan adalah campuran homogen yang terdiri dari dua atau lebih zat. Zat yang jumlahnya lebih sedikit di dalam larutan disebut (zat) terlarut atau solut, sedangkan zat yang jumlahnya lebih banyak daripada zat-zat lain dalam larutan disebut pelarut atau solven. Komposisi zat terlarut dan pelarut dalam larutan dinyatakan dalam konsentrasi larutan, sedangkan proses pencampuran zat terlarut dan pelarut membentuk larutan disebut pelarutan atau solvasi.

Contoh larutan yang umum dijumpai adalah padatan yang dilarutkan dalam cairan, seperti garam atau gula dilarutkan dalam air. Gas dapat pula dilarutkan dalam cairan, misalnya karbon dioksida atau oksigen dalam air. Selain itu, cairan dapat pula larut dalam cairan lain, sementara gas larut dalam gas lain. Terdapat pula larutan padat, misalnya aloi (campuran logam) dan mineral tertentu.

- **Konsentrasi**

Konsentrasi larutan menyatakan secara kuantitatif komposisi zat terlarut dan pelarut di dalam larutan. Konsentrasi umumnya dinyatakan dalam perbandingan jumlah zat terlarut dengan jumlah total zat dalam larutan, atau dalam perbandingan jumlah zat terlarut dengan jumlah pelarut. Contoh beberapa satuan konsentrasi adalah molar, molal, dan bagian per juta (part per million, ppm). Sementara itu, secara kualitatif, komposisi larutan dapat dinyatakan sebagai encer (berkonsentrasi rendah) atau pekat (berkonsentrasi tinggi).

- **Pelarutan**

Molekul komponen-komponen larutan berinteraksi langsung dalam keadaan tercampur. Pada proses pelarutan, tarikan antarpartikel komponen murni terpecah dan tergantikan dengan tarikan antara pelarut dengan zat terlarut. Terutama jika pelarut dan zat terlarutnya sama-sama polar, akan terbentuk suatu struktur zat pelarut mengelilingi zat terlarut; hal ini memungkinkan interaksi antara zat terlarut dan pelarut tetap stabil.

Bila komponen zat terlarut ditambahkan terus-menerus ke dalam pelarut, pada suatu titik komponen yang ditambahkan tidak akan dapat larut lagi. Misalnya, jika zat terlarutnya berupa padatan dan pelarutnya berupa cairan, pada suatu titik padatan tersebut tidak dapat larut lagi dan terbentuklah endapan. Jumlah zat terlarut dalam larutan tersebut adalah maksimal, dan larutannya disebut sebagai larutan jenuh. Titik tercapainya keadaan jenuh larutan sangat dipengaruhi oleh berbagai faktor lingkungan, seperti suhu, tekanan, dan kontaminasi. Secara umum, kelarutan suatu zat (yaitu jumlah suatu zat yang dapat terlarut dalam pelarut tertentu) sebanding terhadap suhu. Hal ini terutama berlaku pada zat padat, walaupun ada pengecualian. Kelarutan zat cair dalam zat cair lainnya secara umum kurang peka terhadap suhu daripada kelarutan padatan atau gas dalam zat cair. Kelarutan gas dalam air umumnya berbanding terbalik terhadap suhu. Jenis-jenis larutan dapat diklasifikasikan misalnya berdasarkan fase zat terlarut dan pelarutnya.

Tabel 2.1 Contoh-contoh larutan berdasarkan fase komponen-komponennya.

Contoh larutan		Zat terlarut		
		Gas	Cairan	Padatan
Pelarut		Udara (oksigen dan gas-gas lain dalam	Uap air di udara (kelembapan)	Bau suatu zat padat yang timbul dari larutnya
	Gas			

	nitrogen)		molekul padatan tersebut di udara
Cairan	Air terkarbonasi (karbon dioksida dalam air)	Etanol dalam air; campuran berbagai hidrokarbon (minyak bumi)	Sukrosa (gula) dalam air; natrium klorida (garam dapur) dalam air; amalgam emas dalam raksa
Padatan	Hidrogen larut dalam logam, misalnya platina	Air dalam arang aktif; uap air dalam kayu	Aloi logam seperti baja dan duralumin

2.3 Photodiode

Photodiode merupakan salah satu jenis komponen photodetector yang mempunyai karakteristik seperti komponen yang dinamakan 'solar cell', yang merubah energi cahaya menjadi energi listrik.

Ketika photodetector ini mendapat cahaya, dalam hal ini cahaya infra merah maka terdapat arus bocor yang relatif kecil. Besar-kecilnya arus bocor ini tergantung dari intensitas cahaya infra merah yang mengenai photodetector tersebut.

Sebuah photodiode, biasanya mempunyai karakteristik yang lebih baik daripada phototransistor dalam responnya terhadap cahaya infra merah. Biasanya photodiode mempunyai respon 100 kali lebih cepat daripada phototransistor. Oleh sebab itulah para designer cenderung menggunakan photodiode daripada menggunakan phototransistor. Tetapi sebuah

phototransistor tetap mempunyai keunggulan yaitu mempunyai kemampuan untuk menguatkan arus bocor menjadi ratusan kali jika dibandingkan dengan photodiode.

Sebuah photodiode biasanya dikemas dengan plastik transparan yang juga berfungsi sebagai lensa fresnel. Lensa ini merupakan lensa cembung yang mempunyai sifat mengumpulkan cahaya. Lensa tersebut juga merupakan filter cahaya, lebih dikenal sebagai 'optical filter', yang hanya melewatkan cahaya infra merah saja. Walaupun demikian cahaya yang nampak pun masih bisa mengganggu kerja dari diode infra merah karena tidak semua cahaya nampak bisa difilter dengan baik. Oleh karena itu sebuah penerima infra merah harus mempunyai filter kedua yaitu rangkaian filter yang berfungsi untuk memfilter sinyal 30KHz sampai 40KHz saja.

Faktor lain yang juga berpengaruh pada kemampuan penerima infra merah adalah 'active area' dan 'respond time'. Semakin besar area penerimaan suatu diode infra merah maka semakin besar pula intensitas cahaya yang dikumpulkannya sehingga arus bocor yang diharapkan pada teknik 'reserved bias' semakin besar. Selain itu semakin besar area penerimaan maka sudut penerimaannya juga semakin besar. Kelemahan area penerimaan yang semakin besar ini adalah noise yang dihasilkan juga semakin besar pula. Begitu juga dengan respon terhadap frekuensi, semakin besar area penerimaannya maka respon frekuensinya turun dan sebaliknya jika area penerimaannya kecil maka respon terhadap sinyal frekuensi tinggi cukup baik.

Respond time dari suatu diode infra merah (penerima) mempunyai waktu respon yang biasanya dalam satuan nano detik. Respond time ini mendefinisikan lama agar diode penerima infra merah merespon cahaya infra merah yang datang pada area penerima. Sebuah diode penerima infra merah yang baik paling tidak mempunyai respond time sebesar 500 nano detik atau kurang. Jika respond time terlalu besar maka diode infra merah ini tidak dapat merespon sinyal cahaya yang dimodulasi dengan

sinyal carrier frekuensi tinggi dengan baik. Hal ini akan mengakibatkan adanya data loss.

Sambungan dioda pn pada dioda memiliki kepekaan terhadap radiasi gelombang Em ketika jatuh pada sambungan. Kepekaan ini akan mempengaruhi hubungan karakteristik antara I dan V pada sambungan karena adanya perubahan pembawa arus. Beberapa dioda tertentu memungkinkan pada sambungan pn menerima atau di kenai radiasi dari gelombang Em. Jenis dioda ini disebut juga photodetektor. Dikarenakan sambungan sangatlah kecil, sehingga diperlukan lensa untuk memfokuskan radiasi yang datang. Keunggulan dari device ini adalah nilai waktu respon yang sangat cepat. Kebanyakan photodetektor memiliki waktu respon yang sangat kecil mendekati 1 mikrodetik, sekarang ada pula yang mendekati nanodetik.



Gambar 2.3 Photodiode

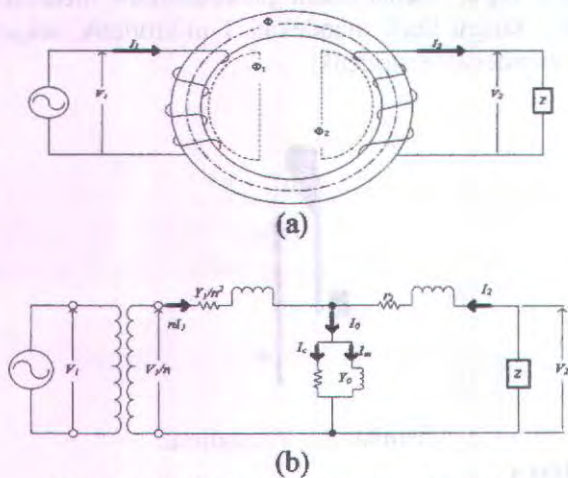
2.4 Catu Daya

Agar rangkaian elektronika bekerja dengan baik maka diperlukan catu daya, tetapi catu daya memiliki keterbatasan juga mengenai berapa besar daya yang dapat dihasilkannya untuk membuat rangkaian elektronika bekerja dengan baik.

2.4.1 Transformator

Dalam keadaan arus searah, maka untuk memperbesar daerah pengukuran suatu tahanan shunt atau seri dipergunakan. Untuk kepentingan yang sama maka dalam keadaan pemakaian

pada arus bolak balik, suatu transformator khusus dikenal sebagai transformator alat-alat pengukuran yang dipergunakan. Dalam prinsipnya suatu transformator alat pengukur identik dengan transformator daya, akan tetapi dalam transformator alat-alat pengukuran yang dipentingkan bukanlah kerugian-kerugian daya, akan tetapi kesalahan-kesalahannya. Transformator untuk arus dikenal sebagai transformator arus (TA), dan transformator untuk tegangan dikenal sebagai transformator potensial (TP). Penggunaan transformator-transformator tersebut pada umumnya dilakukan pada frekwensi-frekwensi komersial akan tetapi kadang-kadang pula dipergunakan pada frekwensi audio.



Gambar 2.4 Prinsip Suatu Transformator

Prinsip-prinsip kerja dari transformator adalah dalam gambar diperlihatkan transformator yang mempunyai lilitan primer N_1 dan lilitan sekunder sebanyak N_2 , yang dihubungkan dengan beban Z pada lilitan-lilitan sekundernya. Dengan lilitan primernya dihubungkan dengan sumber daya arus bolak-balik seperti yang diperlihatkan pada Gambar 2.4 (a) maka rasio dari lilitan-lilitan adalah $n = N_1/N_2$. Misalkan tegangan primer arus V_1 dan tegangan sekunder V_2 , arus primer I_1 dan arus sekunder I_2 .

Mengingat suatu transformator yang ideal akan memenuhi persamaan -persamaan :

$$V_1 = -nV_2 \quad (1.1)$$

$$I_1 = -\frac{1}{n}I_2 \quad (1.2)$$

Maka persamaan antara tegangan primer dan tegangan sekunder, serta antara arus primer dan arus sekunder hanya ditentukan oleh rasio dari lilitan-lilitan. Akan tetapi dalam prakteknya, sebagian dari arus I_1 dipakai untuk membangkitkan fluksi magnetis di dalam kumparan besi. Nyatakanlah bagian ini sebagai I_0 maka

$$nI_1 = -I_2 + I_0 \quad (1.3)$$

Kemudian arus primer I_1 , membangkitkan fluksimagnetis Φ_1 yang hanya memotong kumparan-kumparan primer yang mengakibatkan adanya suatu reaktansi x_1 yang dihubungkan di dalam seri dengan kumparan-kumparan primer. Akan tetapi disamping reaktansi ini kumparan primer masih mempunyai tahanan r_x . Jadi dengan kombinasi r_1 dan x_1 , kumparan primer dapat dianggap sebagai kumparan ideal yang dihubungkan secara seri dengan suatu impedansi $(r_1 + jx_1)$. Impedansi ini akan disebut impedansi kebocoran primer, kumparan sekunder dapat pula dianggap sebagai kumparan ideal yang dihubungkan secara seri dengan impedansi bocor $(r_2 + jx_2)$. Jadi cara kerja dari transformator ini dapat dinyatakan dengan Gambar 2.4 (b). Oleh sebab inilah maka persamaan-persamaan (1.1) dan (1.2) tidak berlaku. Arus I_0 disebut arus magnetis, dan Y_0 disebut aknitanansi magnetisasi.

$$\frac{V_{1n}}{V_{2n}} = K_n \quad (1.4)$$

Rasio dimana V_{1n} dan V_{2n} adalah harga nominal dari tegangan-tegangan primer dan sekunder dari transformator, dan

$$\frac{I_{1n}}{I_{2n}} = K_n \quad (1.5)$$

Rasio dimana I_{1n} dan I_{2n} adalah harga nominal dari arus-arus primer dan sekunder, disebut rasio-rasio transformator nominal yaitu untuk masing-masing arus dan tegangan. Bila rasio transformator yang sebenarnya dinyatakan dengan K maka untuk transformator potensial

$$K = \frac{V_1}{V_2}$$

dan dengan demikian, maka kesalahan transformator atau juga disebut kesalahan ratio dapat dinyatakan sebagai :

$$\varepsilon = \frac{K_n - K}{K} = \frac{K_n V_2 - V_1}{V_1}$$

atau

$$\varepsilon = \frac{K_n V_2 - I_1}{I_1} \times 100(\%) \quad (1.6)$$

Demikian pula dalam keadaan yang sama maka kesalahan ratio untuk transformator arus dapat dinyatakan sebagai :

$$\varepsilon = \frac{K_n I_2 - I_1}{I_1} \times 100(\%) \quad (1.7)$$

Dalam pengukuran daya dengan mempergunakan transformator-transformator pengukuran, maka terdapat suatu masalah yang disebabkan oleh persamaan-persamaan fasa antara Φ_1 dan Φ_2 , lagi pula berkaitan dengan I_1 dan I_2 . Bila $-V_2$ atau $-I_2$ yang didapatkan dengan memutar fektor-fektor dari kbesaran sekunder dengan 180° mempunyai fasa di depan terhadap V_1 atau I_1 , maka secara konvensional disebutkan, bahwa perbedaan fasa dari transformator adalah positif. Besar perbedaan fasa ini dinyatakan dalam menit. Impedansi beban pada transformator ini disebut beban, dan besarnya dinyatakan dalam daya semu atau

VA, sesuai dengan harga-harga nominal dari kebesaran-kebesaran sekunder.

• Transformator Arus

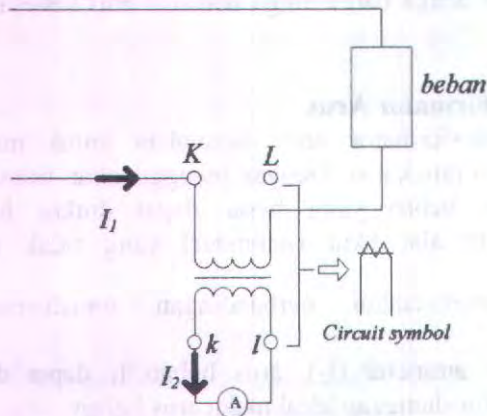
Transformator arus digunakan untuk mengukur arus beban suatu rangkaian. Dengan menggunakan transformator arus maka arus beban yang besar dapat diukur hanya dengan menggunakan alat ukur (ammeter) yang tidak terlalu besar.

Dengan mengetahui perbandingan transformasi $\frac{N_1}{N_2}$ dan pembacaan ammeter (I_2), arus beban I_1 dapat dihitung. Bila transformator dianggap ideal maka arus beban:

$$I_1 = \frac{N_2}{N_1} \times I_2$$

Untuk menjaga agar fluks (Φ) tetap tidak berubah, perlu diperhatikan agar rangkaian sekunder selalu tertutup. Dalam keadaan rangkaian sekunder terbuka ggm $N_2 I_2$ akan sama dengan nol (karena $I_2=0$) sedangkan ggm $N_1 I_1$ tetap ada, sehingga fluks normal (Φ) akan terganggu.

Operasi sebuah transformator disebut dalam keadaan ideal, yaitu jika rangkaian sekunder mempunyai impedansi yang rendah pada saat digunakan sebagai pengukuran atau dalam keadaan dihubungkan singkat. Tetapi jika sisi sekunder digunakan untuk relai pengaman, biasanya rangkaian tersebut mempunyai harga reaktif yang cukup besar dan dapat menyebabkan transformator arus tersebut mempunyai beban Volt-Ampere. Adanya beban dapat menyebabkan kesalahan harga perbandingan dan kesalahan sudut.



Gambar 2.5 Transformator Arus

Pada Gambar 2.5 I_2 merupakan arus yang mengalir melalui Z dan akan menyebabkan jatuh tegangan V_{gh} yang mendahului I_2 dengan sudut fasa Ψ . R adalah tahanan lilitan sekunder dan X_2 adalah harga reaktansinya. Besar gaya listrik E_{fe} adalah :

$$E = V_{ef} = I(R_2 + jX_2) + V_{gh}$$

Gaya gerak listrik inilah yang akan membangkitkan fluks di dalam inti. I_0 merupakan pemagnetan pada sisi primer. I_1 adalah arus primer yang tidak sefasa dengan arus sisi sekunder I_2 . perbedaan fasa kedua arus ini adalah sebesar δ dan juga harga perbandingan tidak tepat sama seperti harga perbandingan lilitan karena tergantung dari perbedaan relatif antara besaran dan fasa arus pemagnetan I_0 .

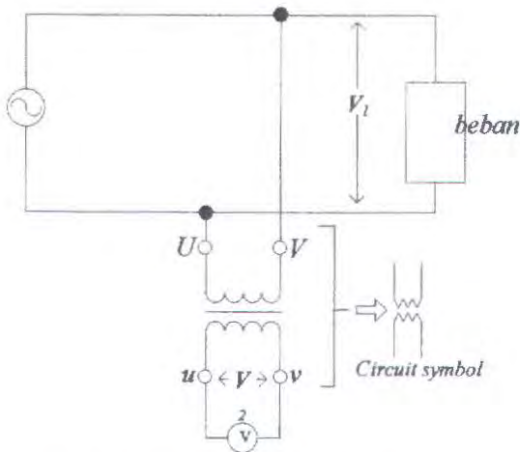
Penggunaan bahan inti besi transformator arus yang mempunyai permeabilitas tinggi dapat menurunkan komponen tersebut, tetapi tergantung juga pada impedansi beban dan reaktans bocor sekunder. Besaran yang terakhir ini sangat mempengaruhi kesalahan sudut dan kesalahan perbandingan.

• Transformator Tegangan

Transformator tegangan digunakan untuk mengukur tegangan. Dengan mengetahui N_1 dan N_2 , membaca tegangan V_2 , serta menganggap transformator ideak maka tegangan V_1 adalah :

$$V_1 = \frac{N_1}{N_2} V_2$$

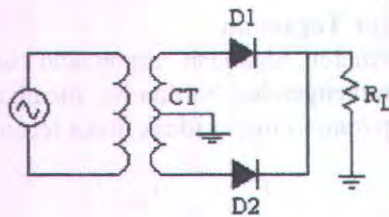
Pentanahan rangkaian sekunder diperlukan untuk mencegah adanya beda potensial yang besar antara kumparan primer dan sekunder (antara titik a dan b) pada saat isolasi kumparan primer rusak.



Gambar 2.6 Transformator Tegangan

2.4.2 Diode Penyearah

Karena sifat diode yang hanya menyearahkan arus pada satu arah tegangan positif saja, maka diode dapat dirangkaikan sedemikian rupa sehingga dapat menghasilkan arus searah.



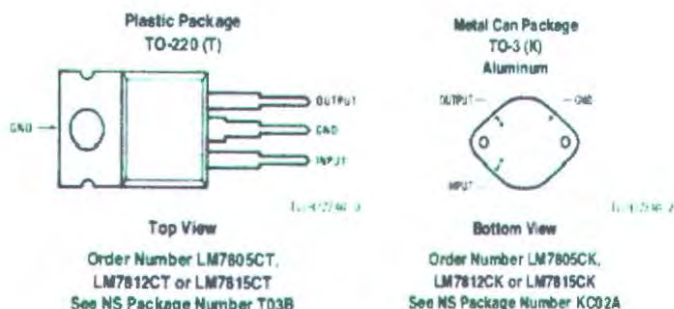
Gambar 2.7 Penyearah Dioda Gelombang Penuh.

Untuk mengurangi besarnya tegangan yang sampai ke diode digunakan trafo, yang kumparan primernya dapat langsung dihubungkan ke jala-jala listrik. Jumlah lilitan kumparan kedua harus dihitung sedemikian rupa sehingga tegangan sekundernya masih dalam batas tegangan diode yang diperkenankan.

Arus yang telah disearahkan D1 dan D2 melewati tahanan beban R_L membentuk arus searah total I_{RL} , yang telah penuh merupakan hasil penyearahan dari seluruh panjang gelombang. Karena itu rangkaian ini dinamakan *penyearah gelombang penuh*.

2.4.3 Regulator

Jika tegangan PLN naik/turun, maka tegangan outputnya juga akan naik/turun. Seperti rangkaian penyearah di atas, jika arus semakin besar ternyata tegangan dc keluarannya juga ikut turun. Untuk beberapa aplikasi perubahan tegangan ini cukup mengganggu, sehingga diperlukan komponen aktif yang dapat meregulasi tegangan keluaran ini menjadi stabil. Jadi pada intinya regulator pada pencatu daya berfungsi sebagai penstabilitas tegangan.^[1]



Gambar 2.8 IC Regulator 78XX atau 79XX^[1]

Saat ini sudah banyak dikenal komponen seri 78XX sebagai regulator tegangan tetap positif dan seri 79XX yang merupakan regulator untuk tegangan tetap negatif. Bahkan komponen ini biasanya sudah dilengkapi dengan pembatas arus (*current limiter*) dan juga pembatas suhu (*thermal shutdown*). Komponen ini hanya tiga pin dan dengan menambah beberapa komponen saja sudah dapat menjadi rangkaian catu daya yang ter-regulasi dengan baik.^[1]

Misalnya 7805 adalah regulator untuk mendapat tegangan 5 volt, 7812 regulator tegangan 12 volt dan seterusnya. Sedangkan seri 79XX misalnya adalah 7905 dan 7912 yang berturut-turut adalah regulator tegangan negatif 5 dan 12 volt.

LM78XX memasukkan transistor pass yang menangani arus beban sampai 1A, sehingga diperlukan pendinginan. Juga termasuk *thermal shutdown* dan pembatas arus. *Thermal shutdown* berarti bahwa chip akan mati secara otomatis saat suhu *internal* terlalu tinggi, sekitar 175 °C. Hal ini untuk mengurangi disipasi daya yang berlebihan, yang tergantung pada suhu, type pendinginan, dan variabel lainnya. Karena *thermal shutdown* dan pembatas arus, komponen pada seri 78XX sering tidak mudah rusak.

Beberapa *regulator* pada seri 78XX mempunyai tegangan *dropout* 2 sampai 3V, tergantung pada tegangan keluaran. Hal ini berarti tegangan masukan harus 2 sampai 3V lebih besar dari pada tegangan keluaran. Jika tidak, akan terjadi kegagalan regulasi. Juga, terdapat tegangan masukan maksimum karena disipasi daya yang berlebihan. Sebagai contoh, LM7805 akan meregulasi lebih dari kisaran masukan kira-kira 8 sampai 12V.

Pemakaian *regulator* pada pencatu daya berfungsi sebagai stabilitas tegangan. Komponen aktif ini mampu meregulasi tegangan menjadi stabil. Komponen ini sudah dikemas dalam sebuah IC regulator tegangan tetap yang biasanya sudah dilengkapi dengan pembatas arus (*current limiter*) dan juga pembatas suhu (*thermal shutdown*). Jenis IC *regulator* tegangan tetap yang sering dipakai adalah jenis 78xx atau 79xx. IC *regulator* 78xx menghasilkan *output* tegangan dengan polaritas positif sedangkan 79xx menghasilkan *output* tegangan dengan polaritas negatif.

2.4.4 Kapasitor Filter

Kondensator (Kapasitor) adalah suatu alat yang dapat menyimpan energi di dalam medan listrik, dengan cara mengumpulkan ketidakseimbangan internal dari muatan listrik. Kondensator memiliki satuan yang disebut Farad. Ditemukan oleh Michael Faraday (1791-1867). Kondensator kini juga dikenal sebagai "kapasitor", namun kata "kondensator" masih dipakai hingga saat ini. Pertama disebut oleh Alessandro Volta seorang ilmuwan Italia pada tahun 1782 (dari bahasa Itali *condensatore*), berkenaan dengan kemampuan alat untuk menyimpan suatu muatan listrik yang tinggi dibanding komponen lainnya. Kebanyakan bahasa dan negara yang tidak menggunakan bahasa Inggris masih mengacu pada perkataan bahasa Italia "*condensatore*", seperti bahasa Perancis *condensateur*, Indonesia dan Jerman Kondensator atau Spanyol *Condensador*.

Satuan dalam kondensator disebut Farad. Satu Farad = $9 \times 10^{11} \text{ cm}^2$ yang artinya luas permukaan kepingan tersebut menjadi 1 Farad sama dengan 10^6 mikroFarad (μF), jadi

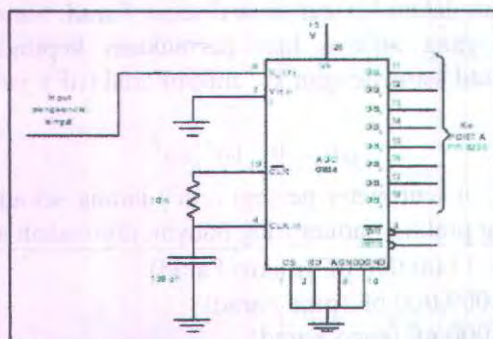
$$\mu\text{F} = 9 \times 10^5 \text{ cm}^2$$

Satuan-satuan sentimeter persegi (cm^2) jarang sekali digunakan karena kurang praktis, satuan yang banyak digunakan adalah:

- 1 Farad = 1.000.000 μF (mikro Farad)
- 1 μF = 1.000.000 pF (piko Farad)
- 1 μF = 1.000 nF (nano Farad)
- 1 nF = 1.000 pF (piko Farad)
- 1 pF = 1.000 $\mu\mu\text{F}$ (mikro-mikro Farad)

2.5 ADC 0804 (Analog to Digital Converter)

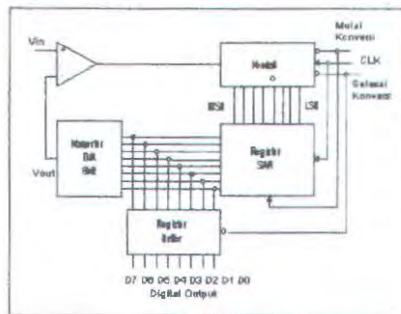
Sensor adalah sebuah device yang paling sering digunakan untuk mengkonversikan sebuah variable ke dalam bentuk listrik atau pneumatik. Selanjutnya elemen kontrol akhir adalah sebuah bentuk device yang mengkonversikan sinyal analog ke dalam suatu variable terkontrol di dalam proses. Jika pengolah digital dipakai dalam suatu loop proses control, maka diperlukan suatu alat yang mampu mengkonversikan antara analog dan digital sebuah variable dan keluaran control, dalam hal ini biasanya dinyatakan dalam *Analog to Digital Converter* (ADC). Dalam alat ini digunakan ADC 0804 produksi *National Semiconductor* yang berfungsi untuk merubah sinyal analog menjadi data digital 8 bit. ADC 0804 dirancang dengan tegangan referensi sebesar 5 Volt, dengan resolusi konversi sebesar 8 bit. Dan memiliki inputan sebanyak 8 channel.



Gambar 2.9 Rangkaian ADC 0804

Inputan ADC berasal dari sinyal conditioning null-span bernilai antara range 0 – 5 Volt. Tegangan referensi dibiarkan terbuka sehingga sama dengan tegangan supply (VCC) yaitu sebesar 5 volt. Clock dari ADC memakai pembangkit internal, frekuensi yang disarankan $f = 640$ kHz. Konversi dibangkitkan dengan memberikan CS dan WR logika 0, konversi selesai ditandai dengan logika 0 pada jalur INTR. Apabila jalur INTR berlogika 0 maka data siap dibaca. Untuk membaca data jalur CS dan RD dikondisikan berlogika nol.

Prinsip kerja rangkaian di atas adalah jika sinyal masukan mulai konversi dari unit kendali diberi logika 0, maka register SAR (Successive Aproximation Register) akan mereset sehingga keluaran Vout unit DAC (Digital to Analog) menjadi 0.



Gambar 2.10 ADC Metode pendekatan berturut-turut

Proses konversi diawali dengan pengesetan bit paling berarti (MSB) register SAR oleh unit kendali. Selanjutnya data digital dalam register SAR dikonversikan ke analog oleh unit pembandingan. Bila V_{out} lebih besar dari V_{in} maka unit pembandingan akan mengirim sinyal negatif ke unit kendali.

Dengan sinyal negatif ini, unit kendali akan mereset bit paling berarti (MSB) register SAR. Sebaliknya bila V_{out} lebih kecil dari V_{in} , unit pembandingan akan mengirim sinyal positif ke unit kendali. Dengan sinyal positif ini, unit kendali akan tetap mengeset bit paling berarti (MSB). Pada pulsa clock berikutnya unit kendali akan mengeset bit yang lebih rendah yaitu bit ke 7 register SAR. Kemudian data dikonversikan oleh unit DAC, dan hasil konversi V_{out} dibandingkan dengan sinyal masukan V_{in} . Sinyal hasil perbandingan akan menentukan unit kendali untuk mengeset atau mereset register SAR. Demikian seterusnya proses ini berlangsung sampai nilai V_{in} sama dengan V_{out} . Apabila konversi telah selesai, unit kendali mengirim sinyal selesai konversi yang berlogika rendah. Tapi turun sinyal ini akan mengisikan data digital yang ekuivalen dengan nilai V_{in} , ke dalam register penahan.

2.6 Mikrokontroler AT89s51

Mikrokontroler merupakan suatu rangkaian terintegrasi (*IC*) yang diperlukan oleh suatu pengendali yang sudah dikemas dalam satu keping yang didalamnya terdiri dari pusat pemroses (*Central Processing Unit*), RAM (*Random Access Memory*), EEPROM atau EPROM atau PROM, unit *input/output*, antarmuka serial dan parallel, *timer* dan *counter*, serta *interrupt controller*.

Fasilitas *port* paralel yang dimiliki dapat dipergunakan untuk mengendalikan peralatan luar atau memasukkan data yang diperlukan. *Port* serial dapat dipergunakan untuk mengakses sistem komunikasi data dengan peralatan luar. *Timer/Counter* yang ada dapat dipergunakan untuk mencacah pulsa, menghitung lama pulsa atau sebagai pewaktu umum. Sedangkan sistem *interrupt* membuat AT89s51 dapat dipakai pada aplikasi-aplikasi yang mendekati sistem dengan proses *real time*. Rangkaian *internal clock* yang dimiliki AT89s51 menjadikan cukup hanya menambah sebuah osilator kristal dan dua kapasitor untuk menghasilkan clock bagi seluruh sistem rangkaian.

Sistem mikrokontroler standart dewasa ini adalah mikrokontroler 8 bit. Mikrokontroler AT89s51 merupakan sebuah IC mikrokomputer 8 bit dengan 4 Kb *Flash* memori (PEROM) yang mudah dan dapat dihapus maupun diisi sebuah program.

Tabel 2.2 Fungsi Alternatif Port 3

Port Pin	Fungsi Alternatif
P3.0	RXD (<i>Serial Input Port</i>)
P3.1	TXD (<i>Serial Output Port</i>)
P3.2	INT0 (<i>External Interrupt 1</i>)
P3.3	INT1 (<i>External Interrupt 2</i>)
P3.4	T0 (<i>Timer 0 External Input</i>)

P3.5	T1 (<i>Timer 1 External Input</i>)
P3.6	WR (<i>External data memory write strobe</i>), berfungsi sebagai output, jika WR aktif menunjukkan bahwa CPU menginginkan suatu penulisan data ke memori atau peralatan I/O.
P3.7	RD (<i>External data memory read strobe</i>), berfungsi sebagai output, jika RD aktif menunjukkan bahwa CPU menginginkan suatu proses pembacaan data dari memori atau peralatan I/O

Mikrokontroler AT89S51 memiliki 40 pin dengan susunan seperti pada gambar 2.11

P1.0	1	40	Vcc
P1.1	2	39	P0.0/AD0
P1.2	3	38	P0.1/AD1
P1.3	4	37	P0.2/AD2
P1.4	5	36	P0.3/AD3
MOSI/P1.5	6	35	P0.4/AD4
MISO/P1.6	7	34	P0.5/AD5
SCK/P1.7	8	33	P0.6/AD6
RST	9	32	P0.7/AD7
RXD/P3.0	10	31	EA/VPP
TXD/P3.1	11	30	ALE/PROG
INT0/P3.2	12	29	PSEN
INT1/P3.3	13	28	P2.7/A15
T0/P3.4	14	27	P2.6/A14
T1/P3.5	15	26	P2.5/A13
WR/P3.6	16	25	P2.4/A12
RD/P3.7	17	24	P2.3/A11
XTAL2	18	23	P2.2/A10
XTAL1	19	22	P2.1/A9
PDIP GND	20	21	P2.0/A8

Gambar 2.11 Konfigurasi pin IC AT89S51

1. Program Memori

Program Memori adalah memori yang menyimpan program aktual dari 89s51 yang akan dijalankan. Memori ini terbatas pada 64K tergantung pada jenis dan tipenya. Di dalam AT89s51 sudah

terdapat Program Memori internal sebesar 4K, namun dapat diekspansikan dengan menggunakan EPROM hingga 64K. Umumnya orang menggunakan memori eksternal EPROM 2764 yang memiliki spasi 8K. Memori program berisi vektor interupsi dan kode-kode perogram yang ingin dijalankan oleh mikrokontroller.

2. RAM Internal

Mikrokontroler 89S51 yang merupakan keluarga Intel 8031, memiliki 128 byte RAM Internal. RAM Internal ini terdapat dalam keping 89s51, karenanya memori ini adalah memori tercepat yang ada dalam sistem, dan juga tempat yang paling fleksibel untuk membaca, menulis, dan memodifikasi isi datanya. RAM Internal ini bersifat volatile, yang berarti jika 89s51 mengalami reset, maka isi memori akan hilang. RAM Internal digunakan sebagai spasi untuk variabel yang dibutuhkan untuk diakses berulang-ulang dengan kecepatan tinggi. RAM ini juga digunakan oleh mikrokontroler sebagai tempat penyimpanan stack. Karena hal ini, besar stack dari 89s51 dibatasi maksimum 128 byte; namun kenyataannya maksimum 80 byte karena 48 byte sisanya digunakan untuk pemakaian lainnya. Jika pemakai memiliki variabel-variabel yang diletakkan pada RAM Internal ini, maka besar maksimum stack 80 byte ini akan menyusut.

3. RAM Eksternal

RAM Eksternal adalah memori yang dapat diakses secara acak yang terletak di luar keping mikrokontroler. Karena memori ini terletak di luar keping, maka tidak fleksibel untuk mengaksesnya karena memakan lebih banyak instruksi dan waktu. Namun RAM Eksternal ini memiliki keuntungan yang terletak pada fleksibilitas ukuran spasinya. Jika RAM Internal terbatas pada 128 byte, maka RAM Eksternal mampu mengamati spasi hingga 64K.

4. SFR (Special Function Register)

SFR adalah suatu daerah memori yang mengontrol fungsi spesifik dari prosesor 89s51. Dalam pemrograman, SFR diilustrasikan sebagai memori internal. Sebenarnya SFR memang merupakan bagian dari Internal RAM, hanya dibatasi oleh alamat, alamat 00h hingga 7Fh mengarah pada alamat RAM Internal, sedangkan alamat 80h hingga FFh mengarah pada alamat SFR.

5. Memori Bit

Mikrokontroler 89s51 memberikan kemampuan untuk mengakses memori bit sebagai variabel yang hanya berisi kondisi logika 0 atau 1. Terdapat 128 bit variabel yang tersedia untuk pemakai, yang memiliki alamat 00h hingga 7Fh. Untuk mengaksesnya, dapat digunakan perintah SETB dan CLR. Memori Bit adalah bagian dari RAM Internal. Pada kenyataannya, 128 bit variabel menempati 16 byte dari RAM Internal dengan alamat 20h hingga 2Fh.

Fungsi-fungsi pin dari IC AT89S51 adalah sebagai berikut:

- Vcc : Supply Tegangan, +5 Volt
- GND : Ground, 0 Volt
- AD.0 – AD.7 : Port 0, 8 jalur data bersifat *bidirectional* digunakan untuk pertukaran data dari CPU ke rangkaian *Input/Output*. Data dapat dikirim atau diterima melalui instruksi *Input/Output* dari CPU. Setiap pinnya dapat mengendalikan langsung 8 beban TTL.
- P1.0 – P1.7 : Port 1, 8 jalur data bersifat *bidirectional* dengan pengontrol didalamnya, biasa digunakan sebagai jalan pertukaran data dari peralatan luar ke CPU. Dapat mengendalikan beban 4 TTL secara langsung. Setiap pin dapat

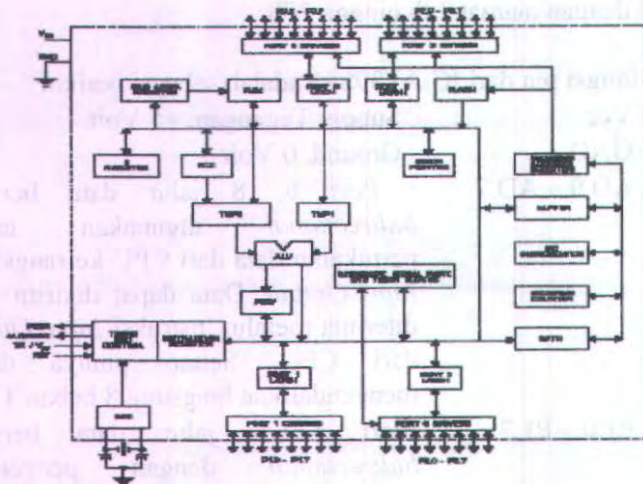
diakses secara operasi tiap bit atau byte bergantung pemrogram.

• A.8 – A.15

:Port 2, 8 jalur data bersifat *bidirectional* dengan pengontrol didalamnya, dapat mengendalikan beban 4 TTL secara langsung. Port ini digunakan sebagai jalan untuk pertukaran data dari CPU ke *external* memori atau rangkaian *Input/Output*.

• P3.0 – P3.7

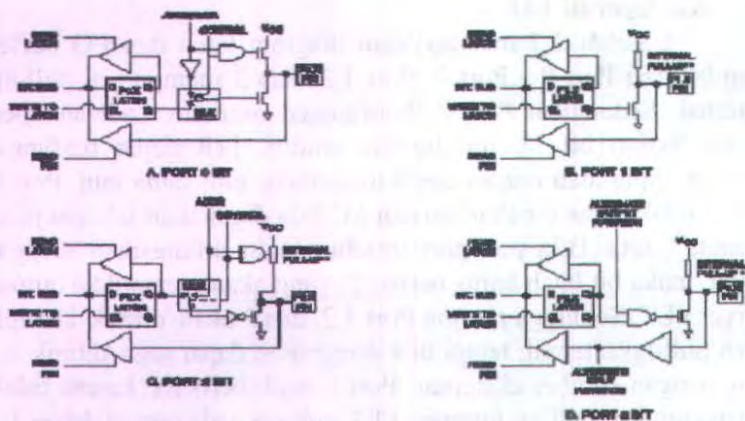
:Port 3, 8 jalur data bersifat *bidirectional* dengan pengontrol didalamnya, dapat mengendalikan beban 4 TTL secara langsung. Digunakan untuk pertukaran data dari CPU ke rangkaian *Input/Output*.



Gambar 2.12 Diagram Blok Dari IC AT89S51

- **Konfigurasi I/O**

Gambar 2.7 menunjukkan diagram latch dan I/O buffer tiap bit dari Port 0 - Port 3. Port 1,2, dan 3 mempunyai pull-up internal. Sedangkan Port 0, konfigurasi outputnya adalah open drain. Setiap bit I/O ini berdiri sendiri, jadi dapat berfungsi sebagai input atau output tanpa tergantung satu sama lain. Port 0 dan 2 tidak dapat dipakai sebagai I/O bila digunakan sebagai jalur alamat / data. Bila port-port tersebut ingin difungsikan sebagai input, maka bit latch harus berisi '1', yang akan mematikan output driver FET. Sehingga pin-pin Port 1,2, dan 3 akan 'ditarik' ke high oleh pull-up internal, tetapi bila diinginkan dapat juga 'ditarik' ke low dengan sumber eksternal. Port 0 agak berbeda, karena tidak menggunakan pull-up internal. FET pull-up pada output driver P0 (lihat gambar 2.10A) hanya digunakan pada saat Port mengeluarkan '1' selama akses memori eksternal, selain keadaan ini FET pull-up tidak aktif. Akibatnya bila bit-bit P0 berfungsi sebagai output maka bersifat open drain. Penulisan logika '1' ke bit latch menyebabkan kedua FET tidak bekerja, sehingga pin dalam keadaan mengambang (floating). Pada kondisi ini pin dapat berfungsi sebagai high impedance input. Port 1,2, dan 3 sering disebut dengan 'quasi-bidirectional' karena mempunyai pull-up internal. Saat berfungsi sebagai input maka mereka akan 'ditarik' ke high dan akan bersifat sebagai sumber arus bila 'ditarik' ke low secara eksternal. Port 0 sering disebut sebagai 'true-bidirectional', karena bila dikonfigurasi sebagai input maka pin-pinnya akan mengambang. Pada saat reset semua port latch akan berlogika '1'.



Gambar 2.13 Bit Latch dan I/O Buffer 89S51.

- **Beban Port dan Antarmuka**

Output buffer Port 1,2, dan 3 dapat dibebani 4 input LS TTL. Bila port berfungsi sebagai input, maka dapat menerima output open-collector atau open-drain, tetapi transisi '0' ke '1' tidak dapat berlangsung dengan cepat. Output buffer Port 0 dapat dibebani dengan 8 input LS TTL. Bila Port 0 berfungsi sebagai port, maka diperlukan pull-up eksternal, kalau digunakan sebagai jalur alamat / data pull-up tidak diperlukan.

- **Akses Memori**

Mengakses memori eksternal ada 2 macam : akses Program Memory eksternal dan akses Data Memory eksternal. Mengakses Program Memory eksternal menggunakan sinyal PSEN (Program Store Enable) sebagai sinyal baca. Sedangkan untuk mengakses Data Memory eksternal digunakan RD dan WR (fungsi alternatif P3.7 dan P3.6) untuk membaca dan menulis ke memori. Membaca Program Memory eksternal selalu

menggunakan alamat 16 bit. Sedangkan untuk mengakses Data Memory eksternal dapat menggunakan alamat 16 bit (MOVX @DPTR) atau alamat 8 bit (MOVX @Ri). Pada saat alamat 16 bit digunakan, high byte dari jalur alamat dihasilkan oleh Port 2, yang dipertahankan selama siklus pembacaan atau penulisan. Perhatikan bahwa Port 2 mempunyai pull-up yang kuat selama mengeluarkan bit alamat '1' (pada saat eksekusi instruksi MOVX @DPTR). Pada saat ini latch Port 2 (SFR) tidak selalu berisi '1', dan isi SFR Port 2 tidak berubah. Bila siklus memori eksternal tidak segera diikuti siklus memori eksternal yang lain maka isi SFR Port 2 yang tidak berubah tersebut akan muncul kembali pada siklus berikutnya. Bila menggunakan alamat 8 bit (MOVX @Ri), isi SFR Port 2 tetap sama dengan pin Port 2 selama siklus memori eksternal. Karakteristik ini memberikan kemampuan paging memori. Low byte dari alamat bersifat time-multiplexed dengan data byte Port 0, artinya data dan alamat dihasilkan oleh pin yang sama secara bergantian dengan selang waktu tertentu. Sinyal alamat / data mengaktifkan kedua FET pada output buffer Port 0 (lihat gambar 4A). Jadi dalam aplikasi ini pin-pin Port 0 tidak bersifat sebagai output open-drain, dan tidak memerlukan pull-up eksternal. Sinyal ALE (Address Latch Enable) digunakan untuk menyimpan address byte ke sebuah latch eksternal. Address byte valid pada saat transisi negatif ALE. Pada siklus penulisan, data yang akan dituliskan muncul pada Port 0 tepat sebelum WR aktif, dan data ini tetap ada sampai WR dinonaktifkan. Pada siklus pembacaan, data byte diterima oleh Port 0 sesaat sebelum sinyal RD dinonaktifkan.

Ada 2 kondisi untuk mengakses Program Memory eksternal :

1. Pada saat sinyal EA aktif, atau
2. Pada saat Program Counter (PC) berisi nilai lebih besar dari 0FFFH (1FFFH untuk 89C52).



2.6.1 Bahasa Assembly AT89s51

Mikrokontroler dan mikroprosesor menggunakan kode biner sebagai perintahnya. Namun pada saat membuat suatu program, sangat sulit bila menggunakan bilangan biner untuk mempresentasikan perintah mesin. Cara yang mudah yaitu dengan menggunakan bahasa assembly. Bila setiap perintah ditampilkan dalam bentuk ini program akan lebih mudah untuk dibaca dan dipahami. Setiap perintah mesin diberi nama yang sederhana dan singkat yang disebut mnemonik. Karena terdapat korespondensi satu-satu antara perintah bahasa assembly dasar dan perintah mesin, perubahan dari suatu bentuk ke bentuk lainnya dapat dilakukan.^[3]

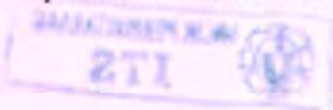
Pemetaan satu ke satu ini memiliki pengecualian untuk teknik assembly dengan bantuan komputer. Hampir semua bahasa assembly menyertakan *directive* (pengarah) yang menyediakan data penting bagi komputer. Pengarah ini muncul dalam program seperti mnemonik biasa namun sebenarnya hanya digunakan untuk menentukan segi tertentu dalam proses assembly.^[3]

Program bahasa assembly dapat diubah kedalam bahasa mesin. Dalam kedua bentuk (bahasa assembly dan bahasa mesin) perintah program secara umum disebut kode. Istilah kode sumber (*source code*) diperuntukan bagi program asli yang ditulis dalam bahasa assembly. Hasil perintah mesinnya disebut kode objek (*object code*).^[3]

Pemakaian paling sederhana dari bahasa assembly adalah sebagai bantuan dalam pengembangan kode untuk mikroprosesor secara manual. Namun setelah program assembly yang dapat dikerjakan dalam komputer berhasil dibuat, maka jarang sekali pemrograman ditulis langsung kode objeknya.^[3]

2.7 LCD

Ada beberapa LCD dengan beberapa ukuran yaitu (1×16, 2×16, 2×20 dsb). Namun ada standarisasi yang cukup populer digunakan banyak vendor LCD, yaitu HD44780U, yang memiliki chip kontroler Hitachi 44780. LCD bertipe ini memungkinkan

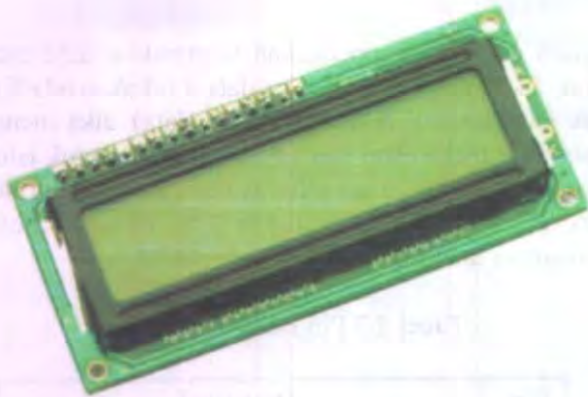


pemrogram untuk mengoperasikan komunikasi data secara 8 bit atau 4 bit. Jika menggunakan jalur data 4 bit akan ada 7 jalur data (3 untuk jalur kontrol & 4 untuk jalur data). Jika menggunakan jalur data 8 bit maka akan ada 11 jalur data (3 untuk jalur kontrol & 8 untuk jalur data). Tiga jalur kontrol ke LCD ini adalah EN (Enable), RS (Register Select) dan R/W (Read/Write). Berikut adalah susunan umum pin LCD bertipe 44780 :

Tabel 2.3 Pin LCD Tipe 44780

Pin	Deskripsi
1	Ground
2	Vcc
3	Pengatur Kontras
4	"RS" Instruction/Register Select
5	"R/W" Read/Write LCD Registers
6	"EN" Enable Clock
7-14	Data I/O Pins

Urutan pin (1), umumnya, dimulai dari sebelah kiri (terletak di pojok kiri atas) dan untuk LCD yang memiliki 16 pin, 2 pin terakhir (15 & 16) adalah anoda dan katoda untuk back-lighting. Berikut adalah contoh LCD 2 x 16 yang umum digunakan :



Gambar 2.14 LCD 2 x 16

Sebagaimana terlihat pada kolom deskripsi, interface LCD merupakan sebuah parallel bus, dimana hal ini sangat memudahkan dan sangat cepat dalam pembacaan dan penulisan data dari atau ke LCD. Kode ASCII yang ditampilkan sepanjang 8 bit dikirim ke LCD secara 4 atau 8 bit pada satu waktu. Jika mode 4 bit yang digunakan, maka 2 nibble data dikirim untuk membuat sepenuhnya 8 bit (pertama dikirim 4 bit MSB lalu 4 bit LSB dengan pulsa clock EN setiap nibblenya). Jalur kontrol EN digunakan untuk memberitahu LCD bahwa mikrokontroler mengirimkan data ke LCD. Untuk mengirim data ke LCD program harus menset EN ke kondisi high (1) dan kemudian menset dua jalur kontrol lainnya (RS dan R/W) atau juga mengirimkan data ke jalur data bus. Saat jalur lainnya sudah siap, EN harus diset ke 0 dan tunggu beberapa saat (tergantung pada datasheet LCD), dan set EN kembali ke high (1). Ketika jalur RS berada dalam kondisi low (0), data yang dikirimkan ke LCD dianggap sebagai sebuah perintah atau instruksi khusus (seperti bersihkan layar, posisi kursor dll). Ketika RS dalam kondisi high atau 1, data yang dikirimkan adalah data ASCII yang akan ditampilkan dilayar. Misal, untuk menampilkan huruf "A" pada layar maka RS harus diset ke 1. Jalur kontrol R/W harus berada

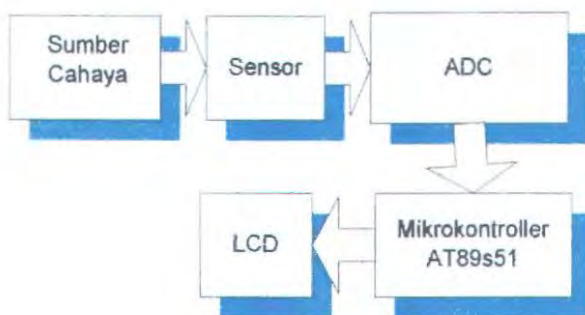
dalam kondisi low (0) saat informasi pada data bus akan dituliskan ke LCD. Apabila R/W berada dalam kondisi high (1), maka program akan melakukan query (pembacaan) data dari LCD.

BAB III PERANCANGAN DAN PEMBUATAN ALAT

Pada bab ini membahas tentang perencanaan dan pembuatan alat ukur kadar larutan gula berbasis mikrokontroler AT89S51. Ketika larutan mempunyai kandungan gula maka sensor photodiode akan mendeteksi adanya perubahan resistansi. Hal ini akan menyebabkan perubahan resistansi sensor ke seluruh dan mengubah tegangan input ke rangkaian selanjutnya.

3.1 Blok Diagram Perancangan Alat

Blok diagram dari rancang bangun alat ukur kadar gula pada minuman berbasis mikrokontroler AT89S51, yaitu :



Gambar 3.1 Blok Diagram Perancangan Alat

Sesuai dengan diagram blok rangkaian dalam Gambar 3.1, maka peralatan yang dirancang dapat dibagi dalam bagian :

- Sensor sebagai pendeteksi sample yang digunakan.
- ADC digunakan untuk mengubah tegangan analog pada inputan menjadi tegangan digital pada outputannya. Sehingga data dapat terbaca dan dapat diproses oleh mikroprosesor.
- Mikrokontroler AT89S51 untuk mengendalikan peralatan luar atau memasukkan data yang diperlukan.

- LCD untuk menampilkan hasil kadar yang telah diukur.

Prinsip kerja dari alat ukur kadar gula ini adalah sensor photodiode akan mendeteksi berapa banyaknya gula dalam larutan. Dimana semakin banyaknya gula yang terkandung dalam larutan tersebut, maka cahaya yang akan diserap semakin berkurang, serta intensitas cahaya semakin rendah. Sensor diletakkan diantara pipa paralon dan gelas ukur, yang akan mendeteksi kadar gula tersebut. Dari keluaran sensor ini memiliki outputan yang sangat kecil, maka dari itu dibutuhkan sinyal yang sangat besar agar dapat terbaca oleh ADC. Maka diperlukan tegangan referensi untuk membandingkan tegangan outputan yang keluar dari sensor dan yang dibutuhkan pada ADC. ADC membutuhkan tegangan antara 0-5 Volt. Setelah dikonversi di ADC, maka outputan dari ADC akan masuk ke mikrokontroler, mikrokontroler akan mengolah data inputan kadar gula tersebut, sehingga tingkat kadar gula dapat terbaca. Mikrokontroler disini berfungsi untuk mengolah data masukan. Dimana mikrokontroler akan mendapatkan inputan dari sensor yang berfungsi untuk mengukur kadar gula dengan data-data yang telah ada. Kemudian hasil pengukuran kadar gula ini akan ditampilkan pada LCD.

3.2 Prosedur Pembuatan Larutan

Kelarutan suatu senyawa dinyatakan dalam gram per liter pelarut atau dalam jumlah kandungan massa. Besarnya kelarutan suatu senyawa adalah jumlah maksimal senyawa bersangkutan yang larut dalam sejumlah pelarut tertentu pada suhu tertentu, dan merupakan larutan jenuh yang ada dalam kesetimbangan dengan bentuk padatnya. Pada pembuatan larutan gula ini menggunakan kadar volume (%) yang menggunakan konsentrasi ppt (part per thousand) yang artinya bagian per seribu. Dimana 1 % larutan gula adalah 10 ppt. Pada pembuatan larutan gula. Menggunakan rumus :

$$V_1 \cdot N_1 = V_2 \cdot N_2$$

Dimana, V_1 = Volume Air (ml)

V_2 = Volume Terukur(ml)

N_2 = Konsentrasi Larutan Gula 100 % (ppt)

N_1 = Konsentrasi Larutan Gula Terukur (ppt)

Pada larutan gula 100 %, yang artinya 1000 gram/1000 liter adalah 1000 ppt. Seperti mengukur kadar larutan gula 20%, berarti 200 ppt dari larutan gula 1000 ppt. Setelah menggunakan rumus diatas ditemukan V_2 adalah 50 ml. 50 ml adalah larutan gula dari konsentrasi gula 1000ppt. Setelah didapatkan V_2 maka 50 ml larutan gula ditambahkan air sehingga volume sama dengan 250 ml. Kadar (%) dalam pembuatan ini adalah perbandingan antara volume air dan volume konsentrasi gula.

3.3 Perancangan Alat

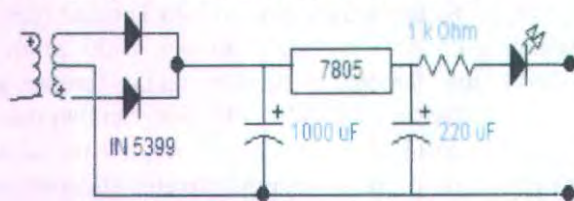
Rangkaian elektronika yang dipakai dalam pembuatan alat ukur kadar larutan gula antara lain rangkaian sensor, power supply, ADC dan mikrokontroler AT89s51.

3.3.1 Rangkaian Power Supply

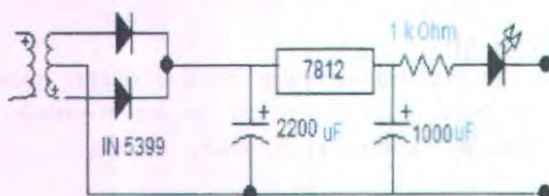
Alat ukur ini tidak berfungsi jika tidak ada arus dan tegangan, maka disini digunakan power supply (catu daya) sebagai pemberi arus dan tegangan yang diperlukan oleh semua rangkaian elektronika tersebut. Tegangan dan arus yang diberikan pada rangkaian elektronika harus sesuai dengan spesifikasi peralatan tersebut.

Pada rangkaian catu daya pada umumnya kita sering menggunakan IC Regulator dalam mengontrol tegangan yang kita inginkan. Regulator tegangan menjadi sangat penting gunanya apabila kita mengaplikasikan system Power tersebut untuk rangkaian – rangkaian yang membutuhkan tegangan yang sangat stabil. Misalkan untuk system digital, terutama untuk Minimum system (MikroProsesor/MikroKontroler) yang sangat membutuhkan tegangan dan arus yang sangat Stabil.

Catu daya yang dipakai adalah catu daya 5 volt dan 12 volt. Sebagai sumber daya sebagian besar piranti elektronika membutuhkan tegangan searah (Direct Current/DC).



Gambar 3.2 Rangkaian Power Supply 5 Volt

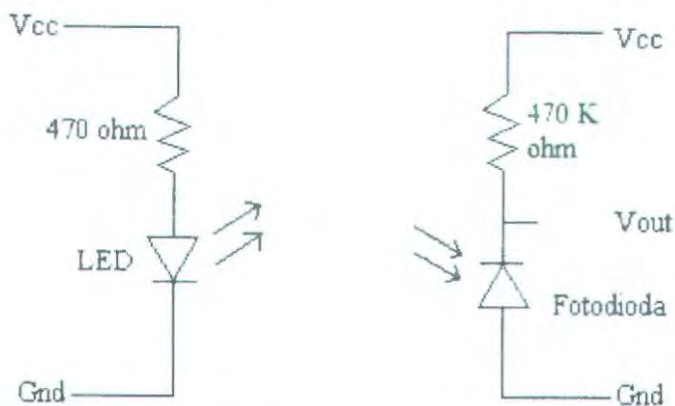


Gambar 3.3 Rangkaian Power Supply 12 Volt

3.3.2 Rangkaian Sensor

Rangkaian ini menggunakan sensor fotodioda sebagai sensor penerima cahaya yang mana sensor ini dapat berubah nilai resistansinya tergantung dari intensitas cahaya yang masuk, semakin terang cahaya yang masuk fotodioda maka semakin besar resistansi yang dikeluarkan dari sensor ini, begitu pula sebaliknya, semakin sedikit cahaya yang masuk fotodioda semakin sedikit pula resistansi yang dihasilkan. Dari karakteristik sensor seperti diatas maka sensor ini dapat dipakai sebagai sensor pengukuran. Pada perancangan dan pembuatan alat, fotodioda difungsikan sebagai receiver, sedangkan transeiver berupa LED yang menjadi sumber cahaya sehingga dapat terbaca oleh fotodioda. Fotodioda dirangkai sebagai rangkaian pembagi tegangan (devider) sehingga tegangan yang dihasilkan akan

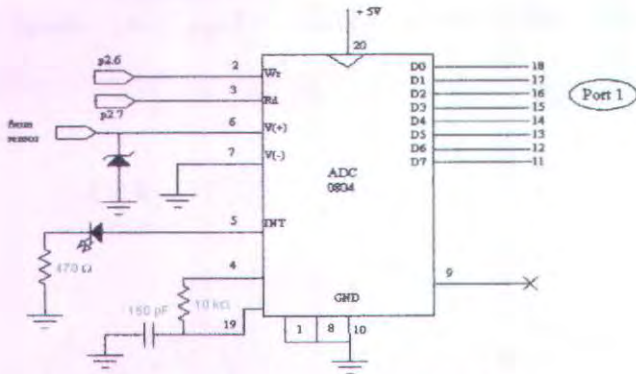
berbanding lurus dengan jumlah cahaya yang masuk pada fotodiode.



Gambar 3.4 Rangkaian Sensor

3.3.3 Rangkaian ADC

ADC digunakan untuk mengubah bentuk sinyal analog dalam hal ini sinyal tegangan ke dalam bentuk sinyal digital supaya dapat dibaca oleh perangkat input/output (I/O) system minimum mikrokontroler. Pada perancangan ini menggunakan ADC 0804 yang mampu mengubah sinyal analog menjadi sinyal digit 8 bit.



Gambar 3.5 Rangkaian ADC 0804

Rangkaian ADC 0804 dirancang dengan tegangan referensi sebesar 5 volt, dengan resolusi sebesar $5/256$ volt/bit atau $19,53125$ mV/bit. Ini berarti setiap ada perubahan tegangan masukan sebesar $19,53125$ mV maka keluaran ADC akan berubah sebesar 1 bit, yang mana ADC tersebut mempunyai waktu konversi sebesar $103 - 114 \mu\text{s}$. Inputan ADC yang berasal dari signal conditioning mempunyai range antara $0 - 5$ volt.

ADC 0804 memerlukan sinyal denyut untuk bekerja, sinyal denyut ini bisa diumpan dari luar ADC0804, tapi bisa pula dibangkitkan sendiri oleh ADC0804. Dalam gambar rangkaian denyut tersebut dibangkitkan lewat bantuan resistor R2 (terhubung pada kaki 19 dan 4) dan kapasitor C4 (terhubung antara kaki 19 dan ground). Waktu yang diperlukan konversi tegangan analog menjadi besaran digital, sekitar 64 periode dari sinyal denyut di atas, dengan demikian makin tinggi frekuensi sinyal denyut tadi makin cepat pula waktu konversi. Frekuensi sinyal denyut tersebut tidak boleh lebih dari 1460 KHz, dan umumnya cukup dipakai 640 KHz.

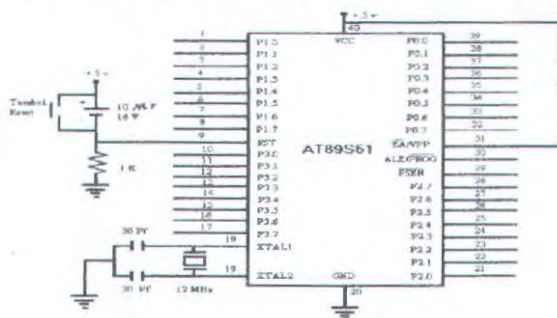
3.3.4 Mikrokontroler

3.3.4.1 Minimum System

Sebagai pengendali yang utama dari alat ukur kadar larutan gula digunakan sistem minimum mikrokontroler AT89S51, sistem minimum mikrokontroler AT89S51 didukung oleh unit memori dinamik (RAM) berkapasitas 128 byte yang dipakai sebagai memori dari program.

Sistem mikrokontroler AT89S51 ini membutuhkan sumber frekuensi yang didapat dari sebuah rangkaian penguat osilator pembalik (inverting oscillator amplifier) yang tersusun dari sebuah Cristal dengan frekuensi 12.000 MHz dan tiga buah kapasitor keramik sebesar 30pF, 10 pF, dan 0,1 mF yang dihubungkan pada kaki-kaki XTAL1 dan XTAL2 (kaki nomor 18 dan 19).

Mikrokontroler AT89S51 mempunyai 4 buah port paralel dengan lebar data 8 bit, terdiri dari port 0, port 1, port 2, dan port 3 yang berfungsi sebagai port masukan atau keluaran.



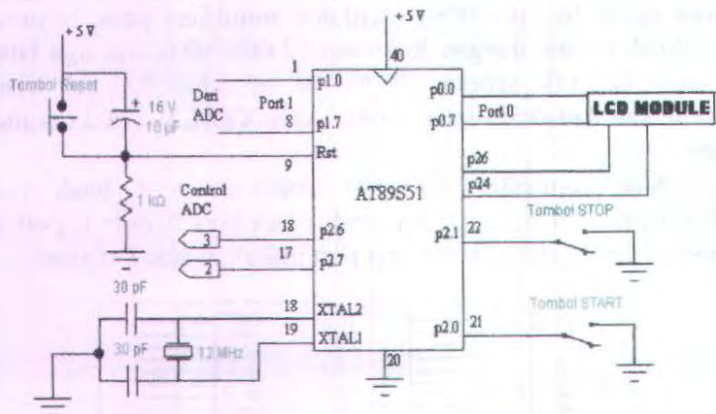
Gambar 3.6 System minimum Mikrokontroler AT89S51

3.3.4.2 Mikrokontroler AT89S51

Pada rangkaian ini kita membuat suatu minimum sistem (Micro-sistem) dengan IC utama yaitu Micro AT 89s51. Micro AT 89S51 ini diproduksi oleh ATMEL Corporation, dengan jumlah pin 40 buah.

Fasilitas pada pin – pinnya antara lain :

1. buah port I/O dengan lebar pita data 8 bit.
2. Serial Port Transmitter (T_x) dari Receiver (R_x) yang bisa di set kecepatannya dari jenis karakteristiknya.
 - 12 MHz Osilator external dengan kristal 12 MHz.
 - Internal Flash Memory (PROM) 4 kbyte yang bisa diisi dengan suatu program.
 - RAM Internal 128 byte.



Gambar 3.7 Sistem Minimum Mikrokontroler AT89S51 pada Rangkaian.

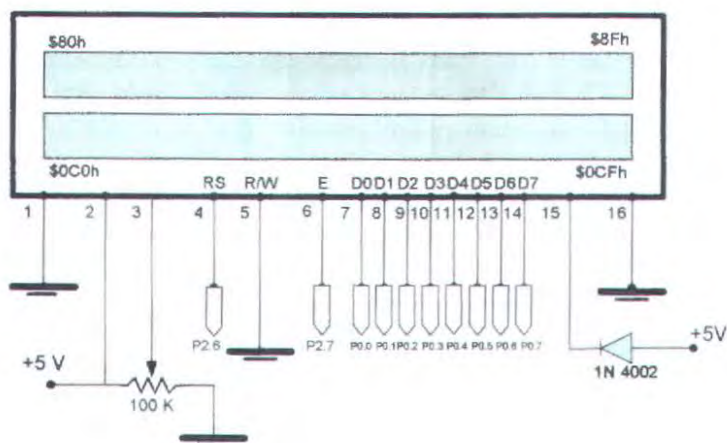
Pada aplikasinya port – port yang digunakan untuk transfer data atau logika bit adalah sebagai berikut :

Tabel 3.1 Perencanaan Port Sistem Mikrokontroler AT89s51.

Port – Port	Fungsi	Keterangan
Port 0	Saluran Data LCD	Data 8 bit
P1	Saluran Data dari ADC (sensor)	Data 8 bit
P2.6	Pin RS LCD	Aktif Low

P2.7	Pin Enable LCD	Aktif Low
P2.0	Pin Tombol Start/Stop	Aktif Low

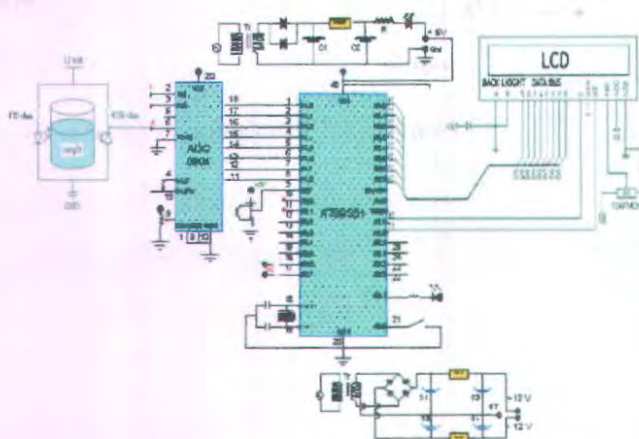
Pada aplikasi ini, menggunakan LCD 2x16 karakter. Artinya segmennya terdiri dari 2 baris, sedangkan tiap baris terdiri dari 16 karakter. Tiap baris mempunyai alamat memory sendiri. Baris pertama 16 segmen \$80H - \$8FH. Sedangkan pada baris kedua mempunyai alamat memory \$0C0H - \$0CFH. Pin – pin konfigurasiya dapat dilihat pada gambar 3.8



Gambar 3.8 Konfigurasi LCD 2 x 16

3.4 Perancangan Alat Seluruhnya

Pada alat ukur ini, sensor yang digunakan adalah photodiode yang digunakan untuk mendeteksi adanya kadar (%) pada larutan gula. Pada perancangan dan pembuatan alat, photodiode difungsikan sebagai receiver, sedangkan transceiver berupa LED yang menjadi sumber cahaya sehingga dapat terbaca oleh photodiode. Pada rangkaian sensor, menggunakan rangkaian divider, dimana photodiode sebagai R2 dan resistor 470 k Ω sebagai R1. Prinsip yang digunakan adalah ketika ada cahaya yang masuk maka tegangan yang keluar adalah 5 Volt dan sedangkan ketika tidak menerima cahaya maka tegangan yang keluar adalah 0 volt. Pada perancangan ini, LED dipasang pada catu daya 12 Volt dan sedangkan photodiode pada catu daya 5 Volt. Untuk rangkaian mikrokontroller dan ADC menggunakan catu daya 5 volt. Pada rangkaian mikrokontroller, port yang digunakan untuk ke LCD adalah port 0 dan pada ADC adalah port 1. Sedangkan *software* adalah menggunakan bahasa assembly, yang mana digunakan untuk membaca data dari sensor, mengolahnya, dan menampilkannya pada LCD.



Gambar 3.9 Rangkaian Alat Ukur Kadar Larutan Gula

BAB IV PENGUJIAN ALAT DAN ANALISA

4.1 Pengujian Alat

Pada bab ini akan membahas mengenai pengujian dan analisa pada suatu system rancang bangun alat ukur kadar larutan gula. Setelah merancang dan membuat alat ukur kadar larutan gula ini, maka diperlukan suatu pengujian tiap blok atau rangkaian dan system secara keseluruhan, sehingga dari hasil pengujian tersebut akan didapatkan suatu alat ukur kadar gula yang handal dan portable. Beberapa rangkaian yang dapat mempengaruhi kestabilan system, diantaranya adalah rangkaian sensor, power supply dan ADC 0804.

Berikut ini untuk mencari rumus dari ralat mutlak (Δ), ralat nisbi (I) dan keseksamaan (K), yaitu :

- Ralat Mutlak (Δ)

$$\left[\frac{\sum (x - X)^2}{n(n-1)} \right]^{1/2} \dots\dots\dots(4.1)$$

- Ralat Nisbi (I)

$$\frac{\Delta}{X} \times 100\% \dots\dots\dots(4.2)$$

- Keseksamaan (K)

$$100\% - I \dots\dots\dots(4.3)$$

Dimana :

- x = Data yang sebenarnya (s)
- X = Data rata-rata (s)
- n = Banyaknya data

4.1.1 Pengujian Rangkaian Power Supply

Pada pengujian hardware yaitu pengambilan data output pada rangkaian power supply 12 volt dan 5 volt dimana power supply +12 volt dan -12 volt digunakan untuk menyuplai tegangan pada sensor ADC dan Mikrokontroller AT89S51,

dimana outputan dari 10 kali pengambilan data supply adalah sebagai berikut.

Tabel 4.1 Pengujian Power Supply 5 volt

Data ke	Vout (Volt)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	4.98	-0.006	0.000036
2	4.99	0.004	0.000016
3	4.98	-0.006	0.000036
4	4.99	0.004	0.000016
5	4.99	0.004	0.000016
6	4.99	0.004	0.000016
7	4.98	-0.006	0.000036
8	4.98	-0.006	0.000036
9	4.99	0.004	0.000016
10	4.99	0.004	0.000016
		$\Sigma(x - \bar{x})^2 = 0.00024$	
Rata-rata (\bar{x})	4.986		
Ralat Mutlak (Δ)	0.0016		
Ralat Nisbi (I)	0.03%		
Keseksamaan (K)	99.97%		
Uncertainty (U)	0.0016		
STD	0.0052		

Tabel 4.2 Pengujian Power Supply 12 volt

Data ke	Vout (Volt)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	11.98	-0.005	0.000025
2	11.98	-0.005	0.000025
3	11.99	0.005	0.000025
4	11.98	-0.005	0.000025
5	11.99	0.005	0.000025
6	11.99	0.005	0.000025

7	11.99	0.005	0.000025
8	11.98	-0.005	0.000025
9	11.98	-0.005	0.000025
10	11.99	0.005	0.000025
		$\Sigma(x - \bar{x})^2 = 0.00025$	
Rata-rata (\bar{x})	11.985		
Ralat Mutlak (Δ)	0.0017		
Ralat Nisbi (I)	0.014%		
Keseksamaan (K)	99.986%		
Uncertainty (U)	0.0017		
STD	0.0053		

Besarnya output tegangan rata-rata power supply pada :
 Power supply 12 volt, tegangan rata-ratanya adalah 11.985 Volt
 Power supply 5 volt, tegangan rata-ratanya adalah 4.986 Volt

4.1.2 Pengujian Rangkaian Sensor

Pada Alat Ukur Kadar Larutan Gula ini, terdapat sensor photodiode yang akan mendeteksi berapa banyak gula yang terkandung didalam larutan berdasarkan intensitas cahaya yang akan diterima, dari perubahan tersebut maka akan menghasilkan tegangan outputan dari rangkaian sensor tersebut juga akan mengalami perubahan. Hasil perubahan tersebut dapat kita lihat dari tabel pengujian rangkaian sensor sebagai berikut :

Tabel 4.3 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 0%

Data Ke	Vout (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	4	0.2	0.04
2	3	-0.8	0.64
3	5	-1.2	1.44
4	3	-0.8	0.64

5	4	0.2	0.04
		$\Sigma(x - \bar{x})^2 = 2.8$	
Rata-rata (\bar{x})	3.8		
Ralat Mutlak (Δ)	0.37		
Ralat Nisbi (I)	9.74%		
Keseeksamaan (K)	90.26%		
Uncertainty(U)	0.37		
STD	0.837		

Tabel 4.4 Data Hasil Pengujian Sensor Photodioda dengan Kadar Gula 20%

Data Ke	Vout (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	8	-2	4
2	9	-1	1
3	10	0	0
4	11	1	1
5	12	2	4
		$\Sigma(x - \bar{x})^2 = 10$	
Rata-rata (\bar{x})	10		
Ralat Mutlak (Δ)	0.71		
Ralat Nisbi (I)	7.1%		
Keseeksamaan (K)	92.9%		
Uncertainty(U)	0.71		
STD	1.58		

Tabel 4.5 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 40%

Data Ke	Vout (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	14	-1.2	1.44
2	15	-0.2	0.04
3	16	0.8	0.64
4	17	1.8	3.24
5	14	-1.2	1.44
		$\Sigma(x - \bar{x})^2 = 6.8$	
Rata-rata (\bar{x})	15.2		
Ralat Mutlak (Δ)	0.58		
Ralat Nisbi (I)	3.82%		
Keseksamaan (K)	96.18%		
Uncertainty(U)	0.58		
STD	1.30		

Tabel 4.6 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 60%

Data Ke	V out (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	18	-1.2	1.44
2	19	-0.2	0.04
3	18	-1.2	1.44
4	20	0.8	0.64
5	21	1.8	3.24
		$\Sigma(x - \bar{x})^2 = 6.8$	
Rata-rata (\bar{x})	15.2		
Ralat Mutlak (Δ)	0.58		
Ralat Nisbi (I)	3.82%		
Keseksamaan (K)	96.18%		

Uncertainty(U)	0.58		
STD	1.30		

Tabel 4.7 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 80%

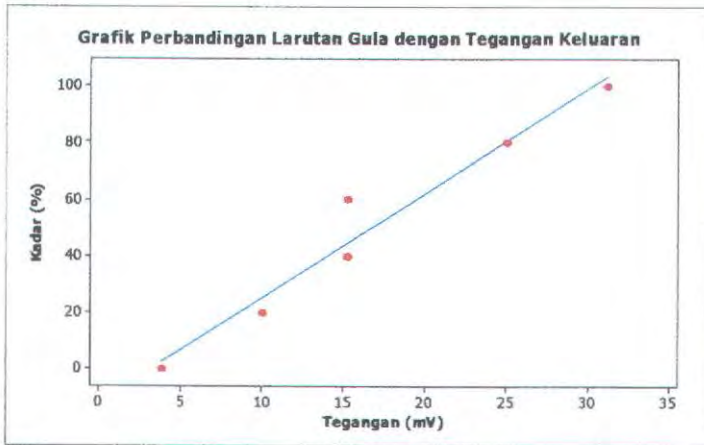
Data Ke	V out (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	24	-1	1
2	26	1	1
3	27	2	4
4	22	-3	9
5	26	1	1
		$\Sigma(x - \bar{x})^2 = 16$	
Rata-rata (\bar{x})	25		
Ralat Mutlak (Δ)	0.89		
Ralat Nisbi (I)	3.58%		
Keseksamaan (K)	96.42%		
Uncertainty(U)	0.89		
STD	2		

Tabel 4.8 Data Hasil Pengujian Sensor Photodiode dengan Kadar Gula 100%

Data Ke	V out (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	32	0.8	0.64
2	30	-1.2	1.44
3	33	1.8	3.24
4	31	-0.2	0.04
5	30	-1.2	1.44
		$\Sigma(x - \bar{x})^2 = 6.8$	
Rata-rata (\bar{x})	31.2		



Ralat Mutlak (Δ)	0.58		
Ralat Nisbi (I)	1.87%		
Keseksamaan (K)	98.3%		
Uncertainty(U)	0.58		
STD	1.30		



Grafik 4.1 Hasil Pengujian Rangkaian Sensor

Grafik diatas memiliki persamaan regresi linier $Y = - 11,5 + 3,68X$ dimana Y adalah kadar larutan gula (%) dan X adalah tegangan outputan (mV).

- **Perhitungan Ketidakpastian**

Perhitungan ketidak-pastian merupakan evaluasi statistik yang dilakukan berdasarkan metode statistik terhadap hasil data pengamatan yang valid (diambil dengan prosedur yang benar) dan dilakukan secara serial.

Komponen untuk evaluasi ini timbul akibat adanya *random effect*.

$$D = x_i - \bar{x} \dots\dots\dots(4.4)$$

$$STD = \sqrt{\frac{\sum(x_i - \bar{x})^2}{n-1}} \dots\dots\dots(4.5)$$

$$U = \frac{STD}{\sqrt{n}} \dots\dots\dots(4.6)$$

Keterangan : n : banyaknya pengambilan data

x_i : Data sebenarnya

\bar{x} : Data rata-rata

D : Deviasi

STD : Standard deviasi

4.1.3 Pengujian Rangkaian ADC

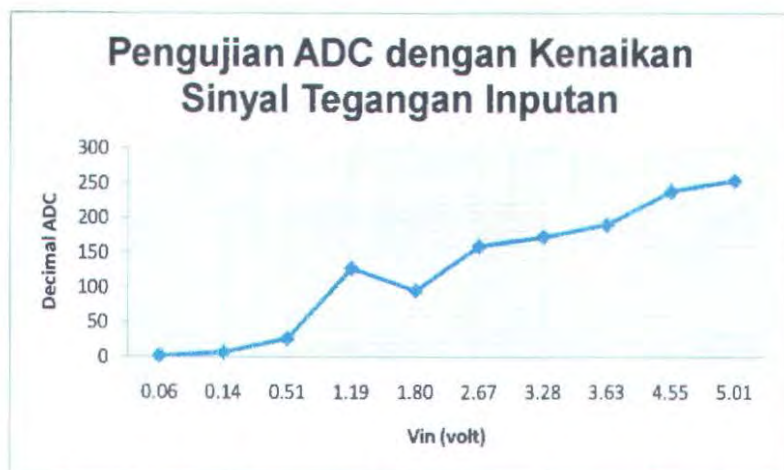
Pengujian rangkaian ADC ini dilakukan dengan memberikan sinyal inputan pada ADC berupa tegangan analog DC mulai dari 0 volt sampai 5 volt, kemudian dilakukan pengamatan hasil konversi dengan bantuan perangkat lunak untuk mendapatkan informasi yang diperlukan. Selanjutnya hasil pengukuran dan pengkonversian dari perangkat lunak dibandingkan dengan harga sebenarnya (sinyal inputan). Data yang diambil 10 sampel dengan perubahan kenaikan dan penurunan sinyal tegangan inputan. Rumus yang digunakan untuk mengetahui V_{out} adalah

Tabel 4.9 Pengujian ADC dengan Kenaikan Sinyal Tegangan Inputan.

Data ke	V_{in}	V_{out}	Decimal ADC
1	0.06	0.04	2
2	0.14	0.14	7
3	0.51	0.53	27
4	1.19	2.51	128



5	1.80	1.88	96
6	2.67	3.14	160
7	3.28	3.4	173
8	3.63	3.75	191
9	4.55	4.7	239
10	5.01	5	255
Rata-rata (\bar{x})	2.284	2.509	128.4
Ralat Mutlak (Δ)	0.57	0.72	29.3
Ralat Nisbi (I)	24.96%	28.70%	22.8%
Keseksamaan (K)	75.04%	71.3%	77.2%
Uncertainty(U)	0.57	0.73	29.28
STD	1.81	2.30	92.6

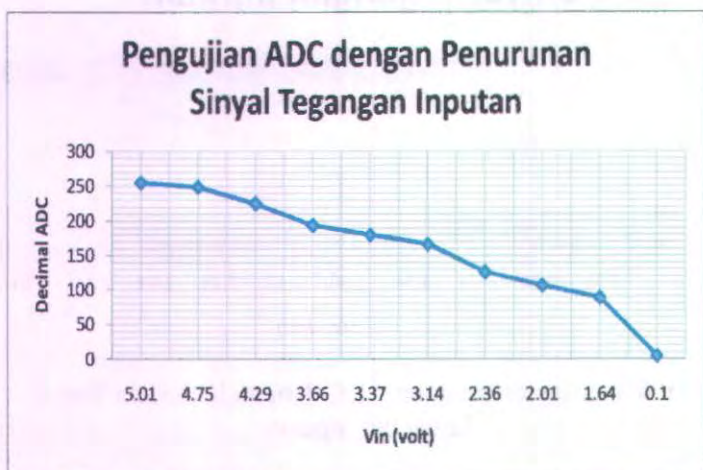


Grafik 4.2 Hasil Pengujian ADC dengan Kenaikan Sinyal Tegangan Inputan

Tabel 4.10 Pengujian ADC dengan Penurunan Sinyal Tegangan Inputan.

Data ke	Vin	Vout	Decimal ADC
1	5.01	5	255

2	4.75	4.88	249
3	4.29	4.41	225
4	3.66	3.80	194
5	3.37	3.53	180
6	3.14	3.27	167
7	2.36	2.47	126
8	2.01	2.09	107
9	1.64	1.75	89
10	0.1	0.01	5
Rata-rata (\bar{x})	3.033	3.121	159
Ralat Mutlak (Δ)	0.48	0.49	24.9
Ralat Nisbi (I)	15.8	15.7	15.6
Keseksamaan (K)	84.2	84.3	84.4
Uncertainty (U)	0.48	0.49	16.23
STD	1.53	1.56	51.33



Grafik 4.3 Hasil Pengujian ADC dengan Penurunan Sinyal Tegangan Inputan

Sesuai dengan data sheet dari ADC bahwa maksimum kesalahan pengkonversian yang diijinkan adalah ± 1 LSB atau ± 19.73523 mV. Maka ADC yang dirancang mempunyai kesalahan konversi yang masih ditolerir.

Perubahan tegangan tersebut akan masuk ke ADC untuk di konversikan menjadi data digital. Kemudian data tersebut masuk ke mikro. Di dalam mikro data diolah dan dikonversikan dengan program yang telah di buat. Data hasil pengukuran ditampilkan ke LCD.

4.1.4 Pengujian ADC dengan Rangkaian Sensor

Pengujian rangkaian ADC pada rangkaian sensor, dilakukan untuk mengetahui keluaran ADC yang nantinya akan ditampilkan pada LCD. Rangkaian sensor dipasang pada catu daya 5 Volt dan LED dipasang pada catu daya 12 Volt.

Tabel 4.11 Hasil Pengujian Rangkaian Sensor dengan ADC

Data ke	Kadar Larutan Gula	Decimal ADC
1	0%	110
2	20%	114
3	40%	116
4	60%	119
5	80%	120
6	100%	121

4.2 Perbandingan Tingkat Kekeruhan (Gula Import dan Gula Lokal)

Pada pembuatan larutan gula ini, menggunakan 2 gula. Dimana warna gulai import lebih putih dibandingkan dengan gula lokal yang berwarna kekuningan. Dan pada pengujian sensor terhadap 2 gula ini menghasilkan tegangan keluaran yang berbeda. Dapat dilihat pada 2 tabel dibawah ini.

Tabel 4.12 Gula Lokal Dengan Larutan Gula 20%

Data Ke	Vout (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	8	-2	4
2	9	-1	1
3	10	0	0
4	11	1	1
5	12	2	4
		$\Sigma(x - \bar{x})^2 = 10$	
Rata-rata (\bar{x})	10		
Ralat Mutlak (Δ)	0.71		
Ralat Nisbi (I)	7.1%		
Keseksamaan (K)	92.9%		
Uncertainty(U)	0.71		
STD	1.58		

Tabel 4.13 Gula Import Dengan Larutan Gula 20%

Data Ke	Vout (mV)	$(x - \bar{x})$	$(x - \bar{x})^2$
1	50.2	-0.84	0.7056
2	50.6	-0.44	0.1936
3	51	-0.04	0.0016
4	51.3	0.26	0.0676
5	52.1	1.06	
		$\Sigma(x - \bar{x})^2 = 2.092$	
Rata-rata (\bar{x})	51.04		
Ralat Mutlak (Δ)	0.32		
Ralat Nisbi (I)	0.63%		
Keseksamaan (K)	99.37%		
Uncertainty(U)	0.32		
STD	0.72		

Dari tingkat kekeruhan, gula import dan gula lokal dapat dilihat perbedaan tegangan keluaran dari masing-masing gula. Yang berarti, warna mempengaruhi kadar larutan tersebut. Dikarenakan pada gula lokal yang berwarna kekuningan, cahaya yang diserap semakin banyak sehingga intensitas cahaya semakin berkurang. Berbeda dengan gula import yang berwarna putih, cahaya yang diserap tidak terlalu banyak sehingga intensitas cahaya cukup tinggi.

4.3 Analisa Data

Setelah melakukan serangkaian pengujian alat yang akan didapatkan data pengukuran maka ada beberapa point yang mana pada nantinya akan dibahas. Dari data yang diperoleh didapatkan pada pengujian rangkaian sensor memiliki tegangan output minimal sebesar 3 mV dan tegangan output maksimal sebesar 33 mV. Pada pengambilan data, larutan gula harus diaduk dan gelas harus ditutup dengan penutup yang lebih gelap. Dikarenakan, cahaya sekitar berpengaruh pada rangkaian sensor. Sensor yang digunakan adalah photodiode. Dimana ketika sensor menerima cahaya banyak, maka Vout yang dikeluarkan adalah 0 Volt dan ketika menerima cahaya sedikit maka Vout yang dikeluarkan 5 Volt. Tegangan keluaran sensor bisa berubah karena sumber cahaya yang sebelumnya diterima utuh oleh receiver dihambat oleh sample sehingga tegangan yang diteruskan berbeda. LED merupakan device yang apabila dialiri arus mengeluarkan cahaya. Kaki-kainya masih mengeluarkan tegangan yang jika dirangkai dengan komponen lain akan mengeluarkan tegangan yang lebih kecil atau apabila dikuatkan dengan Op-Amp bisa lebih besar. Perubahan tegangan akibat masukan (penerusan cahaya sumber) yang diterima oleh photodiode berbeda-beda maka keluaran untuk dibaca ADC pun berbeda-beda. Pada larutan gula ini, warna dapat mempengaruhi kadar larutan gula dan dapat dilihat pada tabel 4.12 dan 4.13. selain warna, yang dapat mempengaruhi adalah ketebalan gelas dan cekungan gelas yang dipakai. Pada pengukuran ini menggunakan standar deviasi (STD), dimana Standart deviasi adalah

pengembangan dari suatu pengukuran, dimana dengan memberikan nilai n yang menunjukkan banyaknya data. Deviasi ini merupakan perbedaan antara masing-masing data dan nilai rata-rata.

BAB V PENUTUP

5.1 Kesimpulan

Dari tugas akhir ini telah dibuat alat ukur kadar larutan gula yang terdiri dari beberapa bagian antara lain power supply, rangkaian sensor, ADC, mikrokontroler AT89S51 dan LCD. Dari tugas akhir ini, terdapat beberapa kesimpulan antara lain :

1. Untuk pemasangan LED dan photodiode harus sejajar dan led harus fokus sehingga cahaya yang jatuh tepat di photodiode.
2. Sebagai acuan untuk menghasilkan nilai kadar larutan gula yang benar maka antara pengambilan sample pada saat pengukuran jangan terlalu lama maximal ± 7 jam, karena jika terlalu lama akan terjadi pengendapan dan ini akan mempengaruhi kadar tersebut.
3. Pada pengambilan data sensor, tegangan output minimal yang diperoleh sebesar 3 mV dan tegangan output maximal sebesar 33 mV.
4. Pada rangkaian sensor digunakan rangkaian divider, dimana photodiode sebagai R2 dan resistor 470 k Ω sebagai R1. Dimana photodiode difungsikan sebagai receiver, sedangkan transceiver berupa LED.
5. Warna mempengaruhi kadar larutan gula. Ini dikarenakan penyerapan cahaya yang ditangkap oleh photodiode berbeda-beda sehingga intensitas yang dihasilkan juga berbeda. Seperti pada gula lokal dan gula import. Pada gula import, warna gula berwarna putih yang memiliki intensitas tinggi daripada gula lokal yang berwarna kuning.

5.2 Saran

Didalam pembuatan alat ukur ini masih banyak kekurangan yang perlu diperbaiki untuk menyempurnakan alat ukur ini mampu menampilkan data secara akurat. Ada beberapa bagian dari sisyem pada tugas akhir ini yang perlu dilakukan penyempurnaan antara lain :

1. Untuk mendapatkan sinyal yang bagus pada rangkaian sensor dilakukan percobaan berulang kali sehingga didapatkan hasil maksimal.
2. Pada tugas akhir ini, seharusnya menggunakan rangkaian signal conditioning untuk memperkuat outputan sensor sehingga data yang dihasilkan lebih akurat.

DAFTAR PUSTAKA

1. Bogart, Theodore F, Jr. . Electronic device and circuit. Ohio. Merrill publishing company. 1986
2. Ibrahim, KF. Teknik Digital. Yogyakarta. Andi Offset. 1996.
3. Putra, Agfianto Eko. Belajar Mikrokontroler AT89C51/52/53 Teori dan Aplikasi. Yogyakarta. Gaya media. 2003
4. Saphie, DR. Soedjana dan Nishino, DR. Osamu. Pengukuran Dan Alat-Alat Ukur Listrik. Jakarta. Pradnya Paramitha. 1994
5. Sutanto. Rangkaian Elektronika (Analog). Jakarta . Universitas Indonesia. 1994
6. Zuhail. Dasar Tenaga Listrik. Bandung. ITB. 1982
7. Modul Praktikum F1-2104 Elektronika Dasar. Laboratorium Elektronika dan Instrumentasi Teknik Fisika ITB.
8. Artikel tentang Glukosa,
http://id.wikipedia.org/wiki/halaman_utama
9. <http://gedex.web.id/>

Lampiran A

\$mod51

;Konfigurasi Adc

```
Data_ADC    equ    70h

Rd_ADC      bit    P3.6
Wr_ADC      bit    P3.7

T_Start     bit    p1.0

H_Prbb     equ    60h
H_rbb      equ    61h

H_R         equ    63h
H_P         equ    64h
H_s        equ    65h
```

```
ORG 0H
jmp Start
```

```
Start:      MOV    R1,#03FH
            CALL  WRITE_INS
            MOV    R1,#0DH
            CALL  WRITE_INS
            MOV    R1,#06H
            CALL  WRITE_INS
            MOV    R1,#01H
            CALL  WRITE_INS
            MOV    R1,#0C0H
            CALL  WRITE_INS
```

```

                jmp    M_Start

WRITE_INS:     MOV    P0,R1
                CLR    P2.6
                CALL   DELCD
                SETB   P2.7
                CLR    P2.7
                CALL   DELCD
                RET

WRITE_DATA:    MOV    P0,R1
                SETB   P2.6
                CALL   DELCD
                SETB   P2.7
                CLR    P2.7
                CALL   DELCD
                RET

DELCD:         MOV    20H,#0FH
DELCD1:        MOV    19H,#0FH
                DJNZ   19H,$
                DJNZ   20H,DELCD1
                RET

DELCDX:        MOV    20H,#0F4H
DELCDY:        MOV    19H,#0FFH
                DJNZ   19H,$
                DJNZ   20H,DELCDY
                RET

BARISX:        MOV    R4,#16
                MOV    R1,#80H
                CALL   WRITE_INS

TULISX:        CLR    A
                MOV    A,@A+DPTR
                MOV    R1,A
                INC    DPTR

```

```

CALL WRITE_DATA
CALL DELCDX
DJNZ R4,TULISX
BARISY:  MOV R4,#16
        MOV R1,#0C0H
        CALL WRITE_INS
TULISY:  CLR A
        MOV A,@A+DPTR
        MOV R1,A
        INC DPTR
        CALL WRITE_DATA
        CALL DELCDX
        DJNZ R4,TULISY
        CALL DELCD
        DJNZ R3,BARISX
        RET

```

M_start:

```

mov    dptr,#data_ne
mov    r3,#2
CALL  barisx

```

loop_ukur:

```

call   baca_ADC
call   konversi
Call   Konversi_gula
call   tampil_data
call   delay10ms
call   delay10ms
call   delay10ms
jmp    loop_ukur

```

tampil_data: mov Dptr,#Karakter
Mov R1,#0c8h


```
Call Write_ins
Mov a,H_r
Movc a,@a+Dptr
Mov R1,a
Call Write_Data
```

;

```
Mov R1,#0c9h
Call Write_ins
Mov a,H_p
Movc a,@a+Dptr
Mov R1,a
Call Write_Data
```

```
Mov R1,#0cah
Call Write_ins
Mov a,H_s
Movc a,@a+Dptr
Mov R1,a
Call Write_Data
```

```
Mov R1,#0cfh
Call Write_ins
ret
```

Konversi:

```
clr c
mov a,data_adc
mov b,#100
div ab
mov h_r,a
mov a,b
mov b,#10
div ab
mov h_p,a
mov h_s,b
ret
```

```

Baca_ADC:  mov  P1,#0ffh
           clr  Wr_ADC
           nop
           setb Wr_ADC
           nop
           nop
           clr  Rd_ADC
           Mov  Data_ADC,P1
           setb Rd_ADC
           ret

```

```

-----
-

```

```

T_Zero_Data: jmp  Zero_Data

```

```

Konversi_Gula:

```

```

           Mov  H_Rb,#0
           Mov  H_r,#0
           Mov  H_p,#0
           Mov  H_s,#0
           Mov  H_PrB,#0

```

```

;Perkalian 4,7 * (200-D)

```

```

-----
           mov  a,Data_Adc
           jz   T_Zero_Data
;
           clr  c
           subb a,#100
           mov  data_adc,a

```

```

                                Mov    r6,Data_Adc

Loop_Kali_1:
                                mov    r7,#83
Loop_Kali_2:                    inc    H_S
                                mov    a,H_s
                                cjne   a,#10,Not_10_K
                                mov    H_S,#0
                                inc    H_p
                                mov    a,H_p
                                cjne   a,#10,Not_10_K
                                mov    H_p,#0
                                inc    H_r
                                mov    a,H_r
                                cjne   a,#10,Not_10_K
                                mov    H_r,#0
                                inc    H_rb
                                mov    a,H_rb
                                cjne   a,#10,Not_10_K
                                mov    H_rb,#0
Not_10_K:                        nop
                                djnz   R7,Loop_Kali_2
                                djnz   r6,Loop_Kali_1

;-----
                                mov    H_s,H_p
                                mov    H_p,H_r
                                mov    H_r,H_rb
;
                                mov    r7,#83
Loop_Kur:                        mov    a,H_s
                                jz     Nol_sat
                                dec    H_s
                                djnz   r7,Loop_kur
                                ret

```



```
Nol_sat:    mov    a,H_p
            jz     nol_pul
            dec   H_p
            mov   H_s,#9
            djnz  r7,T_loop_kur
            ret
```

```
T_loop_kur: jmp    loop_kur
```

```
nol_pul:   mov    a,H_r
            jz     nol_rat
            dec   H_r
            mov   H_s,#9
            mov   H_p,#9
            djnz  r7,T_loop_kur
            ret
```

```
Nol_rat:   nop
            ret
```

```
Zero_Data: nop
            ret
```

```
delay10ms: mov    R7,#0
d10msb:    mov    R6,#0
            djnz  R6,$
            djnz  R7,d10msb
            ret
```

Karakter:

```
DB 00110000b ;0
DB 00110001b ;1
DB 00110010b ;2
DB 00110011b ;3
DB 00110100b ;4
DB 00110101b ;5
```

```
DB    00110110b    ;6
DB    00110111b    ;7
DB    00111000b    ;8
DB    00111001b    ;9
DB    01000001b    ;A(10)
DB    01000010b    ;B(11)
Db    01000011b    ;C(12)
Db    01000100b    ;D(13)
Db    01000101b    ;*(14)
Db    00100000b    ;#(15)
```

Data_ne:

```
DB    'Novalia H.....' ;1
Db    'D3-Instrumentasi'
DB    'Kadar Larutan.. ' ;2
Db    'Gula...[ ]%'
```

end

Lampiran B



Figure 1



Figure 1: [Illegible text describing the figure]

Features

- Compatible with MCS[®]-51 Products
- 4K Bytes of In-System Programmable (ISP) Flash Memory
 - Endurance: 1000 Write/Erase Cycles
- 4.0V to 5.5V Operating Range
- Fully Static Operation: 0 Hz to 33 MHz
- Three-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Full Duplex UART Serial Channel
- Low-power Idle and Power-down Modes
- Interrupt Recovery from Power-down Mode
- Watchdog Timer
- Dual Data Pointer
- Power-off Flag
- Fast Programming Time
- Flexible ISP Programming (Byte and Page Mode)

Description

The AT89S51 is a low-power, high-performance CMOS 8-bit microcontroller with 4K bytes of In-System Programmable Flash memory. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with In-System Programmable Flash on a monolithic chip, the Atmel AT89S51 is a powerful microcontroller which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89S51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, Watchdog timer, two data pointers, two 16-bit timer/counters, a five-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next external interrupt or hardware reset.



**8-bit
Microcontroller
with 4K Bytes
In-System
Programmable
Flash**

AT89S51

24878-MICRO-1203





Pin Configurations

PDIP

P1.0	1	40	VCC
P1.1	2	36	P0.0 (A00)
P1.2	3	38	P0.1 (A01)
P1.3	4	37	P0.2 (A02)
P1.4	5	36	P0.3 (A03)
(MOS) P1.5	6	35	P0.4 (A04)
(MISO) P1.6	7	34	P0.5 (A05)
(SCK) P1.7	8	33	P0.6 (A06)
RST	9	32	P0.7 (A07)
(RXD) P3.0	10	31	EA/VPP
(TXD) P3.1	11	30	ALE/PROG
(INT0) P3.2	12	29	PSEN
(INT1) P3.3	13	28	P2.7 (A15)
(T0) P3.4	14	27	P2.6 (A14)
(T1) P3.5	15	26	P2.5 (A13)
(WR) P3.6	16	25	P2.4 (A12)
(RD) P3.7	17	24	P2.3 (A11)
XTAL2	18	23	P2.2 (A10)
XTAL1	19	22	P2.1 (A9)
GND	20	21	P2.0 (A8)

PLCC

P1.4	8	44	VCC
P1.3	5	43	P0.0 (A00)
P1.2	4	42	P0.1 (A01)
P1.1	3	41	P0.2 (A02)
P1.0	2	40	P0.3 (A03)
(MOS) P1.5	7	39	P0.4 (A04)
(MISO) P1.6	8	38	P0.5 (A05)
(SCK) P1.7	9	37	P0.6 (A06)
RST	10	36	P0.7 (A07)
(RXD) P3.0	11	35	EA/VPP
NC	12	34	NC
(TXD) P3.1	13	33	ALE/PROG
(INT0) P3.2	14	32	PSEN
(INT1) P3.3	15	31	P2.7 (A15)
(T0) P3.4	16	30	P2.6 (A14)
(T1) P3.5	17	29	P2.5 (A13)
(WR) P3.6	18	28	P2.4 (A12)
(RD) P3.7	19	27	P2.3 (A11)
XTAL2	20	26	P2.2 (A10)
XTAL1	21	25	P2.1 (A9)
GND	22	24	P2.0 (A8)
NC	23	23	NC
(A8) P2.0	24	22	P0.4 (A04)
(A9) P2.1	25	21	P0.5 (A05)
(A10) P2.2	26	20	P0.6 (A06)
(A11) P2.3	27	19	P0.7 (A07)
(A12) P2.4	28	18	P0.8 (A08)

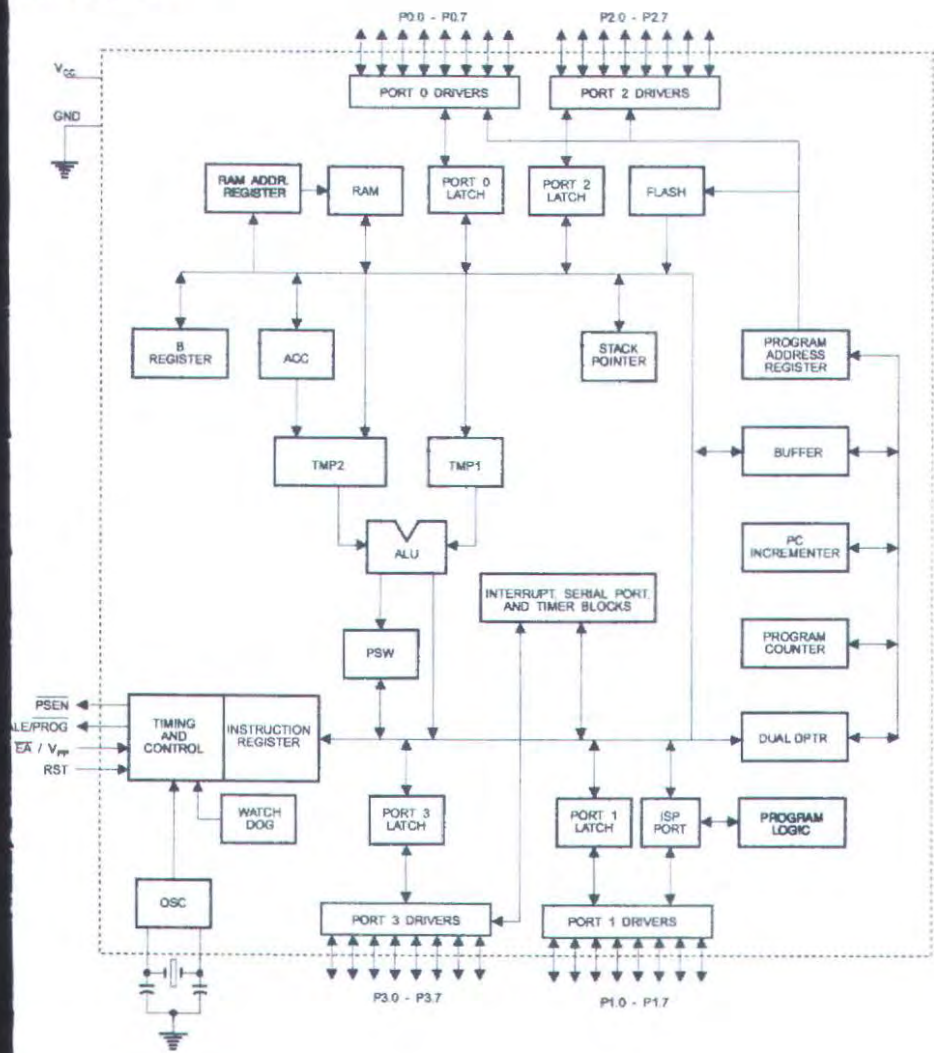
TQFP

P1.4	44	33	P0.4 (A04)
P1.3	42	32	P0.5 (A05)
P1.2	41	31	P0.6 (A06)
P1.1	40	30	P0.7 (A07)
P1.0	39	29	EA/VPP
NC	38	28	NC
VCC	37	27	ALE/PROG
P0.0 (A00)	36	26	PSEN
P0.1 (A01)	35	25	P2.7 (A15)
P0.2 (A02)	34	24	P2.6 (A14)
P0.3 (A03)	33	23	P2.5 (A13)
(MOS) P1.5	1	33	P0.4 (A04)
(MISO) P1.6	2	32	P0.5 (A05)
(SCK) P1.7	3	31	P0.6 (A06)
RST	4	30	P0.7 (A07)
(RXD) P3.0	5	29	EA/VPP
NC	6	28	NC
(TXD) P3.1	7	27	ALE/PROG
(INT0) P3.2	8	26	PSEN
(INT1) P3.3	9	25	P2.7 (A15)
(T0) P3.4	10	24	P2.6 (A14)
(T1) P3.5	11	23	P2.5 (A13)
(WR) P3.6	12	22	P2.4 (A12)
(RD) P3.7	13	21	P2.3 (A11)
XTAL2	14	20	P2.2 (A10)
XTAL1	15	19	P2.1 (A9)
GND	16	18	P2.0 (A8)
GND	17	17	NC
(A8) P2.0	18	16	P0.4 (A04)
(A9) P2.1	19	15	P0.5 (A05)
(A10) P2.2	20	14	P0.6 (A06)
(A11) P2.3	21	13	P0.7 (A07)
(A12) P2.4	22	12	P0.8 (A08)

PDIP

RST	1	42	P1.7 (SCK)
(RXD) P3.0	2	41	P1.6 (MISO)
(TXD) P3.1	3	40	P1.5 (MOSI)
(INT0) P3.2	4	39	P1.4
(INT1) P3.3	5	38	P1.3
(T0) P3.4	6	37	P1.2
(T1) P3.5	7	36	P1.1
(WR) P3.6	8	35	P1.0
(RD) P3.7	9	34	VDD
XTAL2	10	33	PWRVDD
XTAL1	11	32	P0.0 (A00)
GND	12	31	P0.1 (A01)
PWRGND	13	30	P0.2 (A02)
(A8) P2.0	14	29	P0.3 (A03)
(A9) P2.1	15	28	P0.4 (A04)
(A10) P2.2	16	27	P0.5 (A05)
(A11) P2.3	17	26	P0.6 (A06)
(A12) P2.4	18	25	P0.7 (A07)
(A13) P2.5	19	24	EA/VPP
(A14) P2.6	20	23	ALE/PROG
(A15) P2.7	21	22	PSEN

Block Diagram



Pin Description

- VCC** Supply voltage (all packages except 42-PDIP).
- GND** Ground (all packages except 42-PDIP; for 42-PDIP GND connects only the logic core and embedded program memory).
- VDD** Supply voltage for the 42-PDIP which connects only the logic core and the embedded program memory.
- PWRVDD** Supply voltage for the 42-PDIP which connects only the I/O Pad Drivers. The application board **MUST** connect both VDD and PWRVDD to the board supply voltage.

- PWRGND** Ground for the 42-PDIP which connects only the I/O Pad Drivers. PWRGND and GND weakly connected through the common silicon substrate, but not through any metal link. The application board **MUST** connect both GND and PWRGND to the board ground.

- Port 0** Port 0 is an 8-bit open drain bi-directional I/O port. As an output port, each pin can sink or source four TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. **External pull-ups are required during program verification.**

- Port 1** Port 1 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port Pin	Alternate Functions
P1.5	MOSI (used for In-System Programming)
P1.6	MISO (used for In-System Programming)
P1.7	SCK (used for In-System Programming)

- Port 2** Port 2 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S51, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	WR (external data memory write strobe)
P3.7	RD (external data memory read strobe)

ST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. This pin drives High for 98 oscillator periods after the Watchdog times out. The DISRTO bit in SFR AUXR (address 8EH) can be used to disable this feature. In the default state of bit DISRTO, the RESET HIGH out feature is enabled.

ALE/PROG

Address Latch Enable (ALE) is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{\text{PROG}}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

SEN

Program Store Enable ($\overline{\text{PSEN}}$) is the read strobe to external program memory.

When the AT89S51 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

VPP

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming.

AL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

AL2

Output from the inverting oscillator amplifier



Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data and write accesses will have an indeterminate effect.

Table 1. AT89S51 SFR Map and Reset Values

0FBH								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H								0CFH
0C0H								0C7H
0B8H	IP XX000000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0X000000							0AFH
0A0H	P2 11111111		AUXR1 X0000000				WDRST X000000X	0A7H
98H	SCON 00000000	SSUF X000000X						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000	AUXR X0X00X0X	8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	PCON 0X0X0000	87H

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Interrupt Registers: The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the five interrupt sources in the IP register.

Table 2. AUXR: Auxiliary Register

AUXR	Address = 8EH	Reset Value = XXX0XX0B						
Not Bit Addressable								
Bit	7	6	5	WDIDLE	DISRTO	2	1	DISALE
—	Reserved for future expansion							
DISALE	Disable/Enable ALE							
	DISALE							
	Operating Mode							
0	ALE is emitted at a constant rate of 1/6 the oscillator frequency							
1	ALE is active only during a MOVX or MOV C instruction							
DISRTO	Disable/Enable Reset-out							
	DISRTO							
0	Reset pin is driven High after WDT times out							
1	Reset pin is input only							
WDIDLE	Disable/Enable WDT in IDLE mode							
	WDIDLE							
0	WDT continues to count in IDLE mode							
1	WDT halts counting in IDLE mode							

Dual Data Pointer Registers: To facilitate accessing both internal and external data memory, two banks of 16-bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR AUXR1 selects DP0 and DPS = 1 selects DP1. The user should **ALWAYS** initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.



Power Off Flag: The Power Off Flag (POF) is located at bit 4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and reset under software control and is not affected by reset.

Table 3. AUXR1: Auxiliary Register 1

AUXR1	Address = A2H							Reset Value = XXXXXXXX
Not Bit Addressable								
Bit	7	6	5	4	3	2	1	DPS
Bit 7	-	-	-	-	-	-	-	-
Bit 6	-	-	-	-	-	-	-	-
Bit 5	-	-	-	-	-	-	-	-
Bit 4	-	-	-	-	-	-	-	-
Bit 3	-	-	-	-	-	-	-	-
Bit 2	-	-	-	-	-	-	-	-
Bit 1	-	-	-	-	-	-	-	-
Bit 0	-	-	-	-	-	-	-	-
-	Reserved for future expansion							
DPS	Data Pointer Register Select							
	DPS							
0	Selects DPTR Registers DP0L, DP0H							
1	Selects DPTR Registers DP1L, DP1H							

Memory Organization

MCS-51 devices have a separate address space for Program and Data Memory. Up to 64K bytes each of external Program and Data Memory can be addressed.

Program Memory

If the \overline{EA} pin is connected to GND, all program fetches are directed to external memory.

On the AT89S51, if \overline{EA} is connected to V_{CC} , program fetches to addresses 0000H through FFFFH are directed to internal memory and fetches to addresses 1000H through FFFFH are directed to external memory.

Data Memory

The AT89S51 implements 128 bytes of on-chip RAM. The 128 bytes are accessible via direct and indirect addressing modes. Stack operations are examples of indirect addressing, so 128 bytes of data RAM are available as stack space.

Watchdog Timer (One-time Enabled with Reset-out)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upsets. The WDT consists of a 14-bit counter and the Watchdog Timer Register (WDTRST) SFR. The WDT is defaulted to disable from exiting reset. To enable the WDT, the user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, it will increment every machine cycle while the oscillator is running. The WDT timeout period is dependent on the external clock frequency. There is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When a WDT overflow occurs, it will drive an output RESET HIGH pulse at the RST pin.

Using the WDT

To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, the user needs to service it by writing 01EH and 0E1H to WDTRST to avoid a WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH), and this will reset the device. When the WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT the user must write 01EH and 0E1H to WDTRST. WDTRST is a write-only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the RST pin. The RESET pulse duration is $98 \times TOSC$, where $TOSC = 1/FOSC$. To make the best use of the WDT, the user should service it in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

WDT During Power-down and Idle

In Power-down mode the oscillator stops, which means the WDT also stops. While in Power-down mode, the user does not need to service the WDT. There are two methods of exiting Power-down mode: by a hardware reset or via a level-activated external interrupt, which is enabled prior to entering Power-down mode. When Power-down is exited with hardware reset, servicing the WDT should occur as it normally does whenever the AT89S51 is reset. Exiting Power-down with an interrupt is significantly different. The interrupt is held low long enough for the oscillator to stabilize. When the interrupt is brought high, the interrupt is serviced. To prevent the WDT from resetting the device while the interrupt pin is held low, the WDT is not started until the interrupt is pulled high. It is suggested that the WDT be reset during the interrupt service for the interrupt used to exit Power-down mode.

To ensure that the WDT does not overflow within a few states of exiting Power-down, it is best to reset the WDT just before entering Power-down mode.

Before going into the IDLE mode, the WDIDLE bit in SFR AUXR is used to determine whether the WDT continues to count if enabled. The WDT keeps counting during IDLE (WDIDLE bit = 0) as the default state. To prevent the WDT from resetting the AT89S51 while in IDLE mode, the user should always set up a timer that will periodically exit IDLE, service the WDT, and reenter IDLE mode.

With WDIDLE bit enabled, the WDT will stop to count in IDLE mode and resumes the count upon exit from IDLE.

UART

The UART in the AT89S51 operates the same way as the UART in the AT89C51. For further information on the UART operation, refer to the Atmel Web site (<http://www.atmel.com>). From the home page, select "Products", then "Microcontrollers", then "8051-Architecture", then "Documentation", and "Other Documents". Open the Adobe Acrobat® file "AT89 Series Hardware Description".

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S51 operate the same way as Timer 0 and Timer 1 in the AT89C51. For further information on the timers' operation, refer to the Atmel Web site (<http://www.atmel.com>). From the home page, select "Products", then "Microcontrollers", then "8051-Architecture", then "Documentation", and "Other Documents". Open the Adobe Acrobat file "AT89 Series Hardware Description".

Interrupts

The AT89S51 has a total of five interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), two timer interrupts (Timers 0 and 1), and the serial port interrupt. These interrupts are all shown in Figure 1.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 4 shows that bit positions IE.6 and IE.5 are unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle.



Table 4. Interrupt Enable (IE) Register

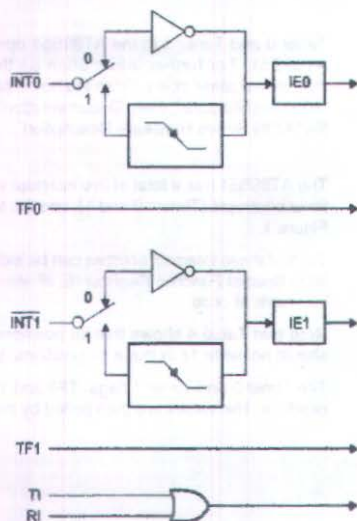
(MSB)				(LSB)			
EA	-	-	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.
Enable Bit = 0 disables the interrupt.

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
-	IE.6	Reserved
-	IE.5	Reserved
ES	IE.4	Serial Port interrupt enable bit
ET1	IE.3	Timer 1 interrupt enable bit
EX1	IE.2	External interrupt 1 enable bit
ET0	IE.1	Timer 0 interrupt enable bit
EX0	IE.0	External interrupt 0 enable bit

User software should never write 1s to reserved bits, because they may be used in future AT89 products.

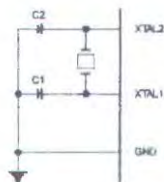
Figure 1. Interrupt Sources



Oscillator Characteristics

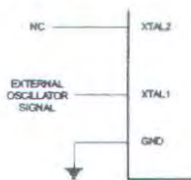
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 2. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 3. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 2. Oscillator Connections



Note: C1, C2 = 30 pF \pm 10 pF for Crystals
 = 40 pF \pm 10 pF for Ceramic Resonators

Figure 3. External Clock Drive Configuration



Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special function registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Power-down Mode

In the Power-down mode, the oscillator is stopped, and the instruction that invokes Power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the Power-down mode is terminated. Exit from Power-down mode can be initiated either by a hardware reset or by activation of an enabled external interrupt ($\overline{INT0}$ or $\overline{INT1}$). Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.



Table 5. Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

Program Memory Lock Bits

The AT89S51 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

Table 6. Lock Bit Protection Modes

Program Lock Bits				Protection Type
LB1	LB2	LB3		
1	U	U	U	No program lock features
2	P	U	U	MOV _C instructions executed from external program memory are disabled from fetching code bytes from internal memory. EA is sampled and latched on reset, and further programming of the Flash memory is disabled
3	P	P	U	Same as mode 2, but verify is also disabled
4	P	P	P	Same as mode 3, but external execution is also disabled

When lock bit 1 is programmed, the logic level at the EA pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of EA must agree with the current logic level at that pin in order for the device to function properly.

Programming the Flash – Parallel Mode

The AT89S51 is shipped with the on-chip Flash memory array ready to be programmed. The programming interface needs a high-voltage (12-volt) program enable signal and is compatible with conventional third-party Flash or EPROM programmers.

The AT89S51 code memory array is programmed byte-by-byte.

Programming Algorithm: Before programming the AT89S51, the address, data, and control signals should be set up according to the Flash Programming Modes table (Table 7) and Figures 4 and 5. To program the AT89S51, take the following steps:

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise EA/V_{PP} to 12V.
5. Pulse ALE/PROG once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 50 μs. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89S51 features Data Polling to indicate the end of a byte write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P0.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.



Ready/Busy: The progress of byte programming can also be monitored by the RDY/ $\overline{\text{BSY}}$ output signal. P3.0 is pulled low after ALE goes high during programming to indicate $\overline{\text{BUSY}}$. P3.0 is pulled high again when programming is done to indicate **READY**.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. **The status of the individual lock bits can be verified directly by reading them back.**

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 100H, and 200H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel

(100H) = 51H indicates AT89S51

(200H) = 06H

Chip Erase: In the parallel programming mode, a chip erase operation is initiated by using the proper combination of control signals and by pulsing ALE/ $\overline{\text{PROG}}$ low for a duration of 200 ns - 500 ns.

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 500 ms.

During chip erase, a serial read from any address location will return 00H at the data output.

The Code memory array can be programmed using the serial ISP interface while RST is pulled to V_{CC} . The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before other operations can be executed. Before a reprogramming sequence can occur, a Chip Erase operation is required.

The Chip Erase operation turns the content of every memory location in the Code array into FFH.

Either an external system clock can be supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/16 of the crystal frequency. With a 33 MHz oscillator clock, the maximum SCK frequency is 2 MHz.

To program and verify the AT89S51 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:
Apply power between VCC and GND pins.
Set RST pin to "H".
If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 33 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 16.
3. The Code array is programmed one byte at a time in either the Byte or Page mode. The write cycle is self-timed and typically takes less than 0.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction that returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal device operation.





Power-off sequence (if needed):

Set XTAL1 to "L" (if a crystal is not used).

Set RST to "L".

Turn V_{CC} power off.

Data Polling: The Data Polling feature is also available in the serial mode. In this mode, during a write cycle an attempted read of the last byte written will result in the complement of MSB of the serial output byte on MISO.

Serial Programming Instruction Set

The Instruction Set for Serial Programming follows a 4-byte protocol and is shown in Table 7.

Programming Interface – Parallel Mode

Every code byte in the Flash array can be programmed by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

Most major worldwide programming vendors offer worldwide support for the Atmel AVR microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Table 7. Flash Programming Modes

Mode	V_{CC}	RST	PSEN	ALE/ PROG	EA/ V_{PP}	P2.6	P2.7	P3.3	P3.6	P3.7	P0.7-0 Data	P2.3-0	P1.7
												Address	
Write Code Data	5V	H	L		12V	L	H	H	H	H	D_{IN}	A11-8	A7
Read Code Data	5V	H	L	H	H	L	L	L	H	H	D_{OUT}	A11-8	A7
Write Lock Bit 1	5V	H	L		12V	H	H	H	H	H	X	X	X
Write Lock Bit 2	5V	H	L		12V	H	H	H	L	L	X	X	X
Write Lock Bit 3	5V	H	L		12V	H	L	H	H	L	X	X	X
Read Lock Bits 1, 2, 3	5V	H	L	H	H	H	H	L	H	L	P0.2, P0.3, P0.4	X	X
Chip Erase	5V	H	L		12V	H	L	H	L	L	X	X	X
Read Atmel ID	5V	H	L	H	H	L	L	L	L	L	1EH	0000	00
Read Device ID	5V	H	L	H	H	L	L	L	L	L	51H	0001	00
Read Device ID	5V	H	L	H	H	L	L	L	L	L	06H	0010	00

- Notes:
1. Each PROG pulse is 200 ns - 500 ns for Chip Erase.
 2. Each PROG pulse is 200 ns - 500 ns for Write Code Data.
 3. Each PROG pulse is 200 ns - 500 ns for Write Lock Bits.
 4. RDY/BSY signal is output on P3.0 during programming.
 5. X = don't care.

Figure 4. Programming the Flash Memory (Parallel Mode)

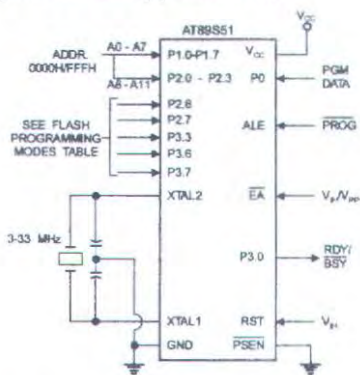
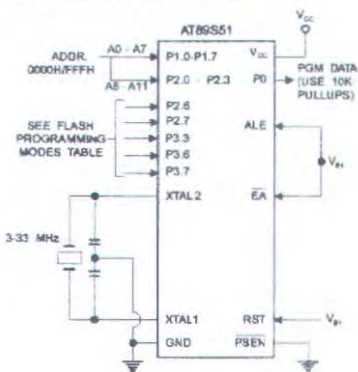


Figure 5. Verifying the Flash Memory (Parallel Mode)



Flash Programming and Verification Characteristics (Parallel Mode)

$T_A = 20^\circ\text{C to } 30^\circ\text{C}$, $V_{CC} = 4.5 \text{ to } 5.5\text{V}$

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Supply Voltage	11.5	12.5	V
I_{PP}	Programming Supply Current		10	mA
I_{CC}	V_{CC} Supply Current		30	mA
$1/t_{CLCL}$	Oscillator Frequency	3	33	MHz
t_{AVGL}	Address Setup to PROG Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After PROG	$48t_{CLCL}$		
t_{DVGL}	Data Setup to PROG Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After PROG	$48t_{CLCL}$		
t_{ESH}	P2.7 (ENABLE) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to PROG Low	10		μs
t_{GHSL}	V_{PP} Hold After PROG	10		μs
t_{GLGH}	PROG Width	0.2	1	μs
t_{AVOV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELOV}	ENABLE Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After ENABLE	0	$48t_{CLCL}$	
t_{GHBL}	PROG High to BUSY Low		1.0	μs
t_{WC}	Byte Write Cycle Time		50	μs

Figure 6. Flash Programming and Verification Waveforms – Parallel Mode

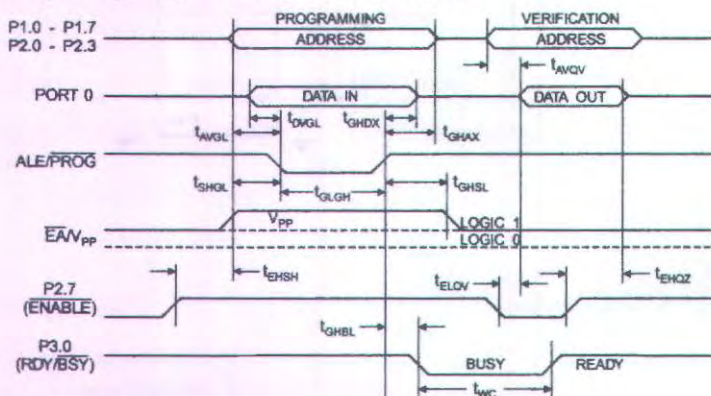
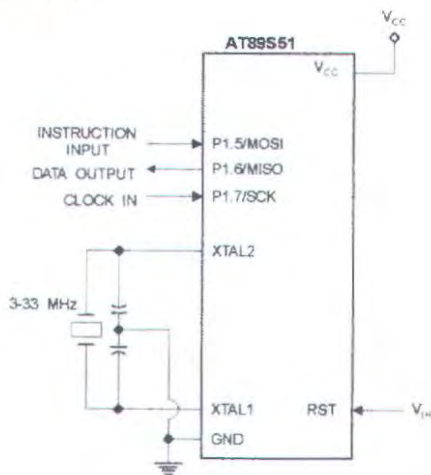


Figure 7. Flash Memory Serial Downloading



Flash Programming and Verification Waveforms – Serial Mode

Figure 8. Serial Programming Waveforms

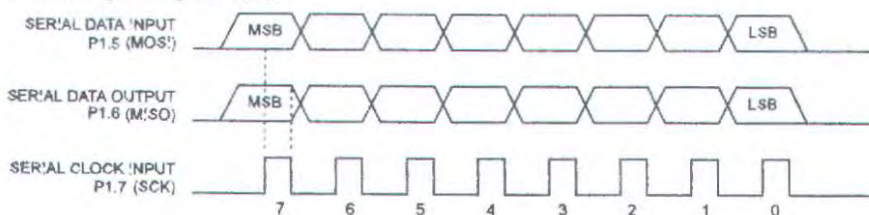


Table 8. Serial Programming Instruction Set

Instruction	Instruction Format				Operation
	Byte 1	Byte 2	Byte 3	Byte 4	
Programming Enable	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx 0110 1001 (Output on MISO)	Enable Serial Programming while RST is high
Chip Erase	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	Chip Erase Flash memory array
Read Program Memory (Byte Mode)	0010 0000	xxxx			Read data from Program memory in the byte mode
Write Program Memory (Byte Mode)	0100 0000	xxxx			Write data to Program memory in the byte mode
Write Lock Bits ⁽¹⁾		1010 1100	1110 00	xxxx xxxx xxxx	xxxx Write Lock bits. See Note (1).
Note (1). Read Lock Bits	0010 0100	xxxx xxxx	xxxx xxxx	xxxx xx	Read back current status of the lock bits (a programmed lock bit reads back as a "1")
Read Signature Bytes	0010 1000	xxxx	xxx xxx0	Signature Byte	Read Signature Byte
Read Program Memory (Page Mode)	0011 0000	xxxx	Byte 0	Byte 1... Byte 255	Read data from Program memory in the Page Mode (256 bytes)
Write Program Memory (Page Mode)	0101 0000	xxxx	Byte 0	Byte 1... Byte 255	Write data to Program memory in the Page Mode (256 bytes)

Note: 1. B1 = 0, B2 = 0 Mode 1, no lock protection
 B1 = 0, B2 = 1 Mode 2, lock bit 1 activated
 B1 = 1, B2 = 0 Mode 3, lock bit 2 activated
 B1 = 1, B2 = 1 Mode 4, lock bit 3 activated

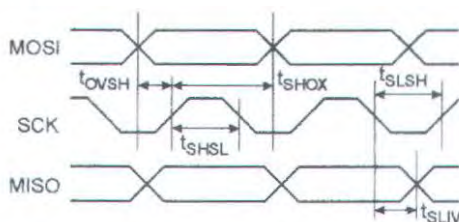
of the lock bit modes need to be activated sequentially before Mode 4 can be executed.
 Each

After Reset signal is high, SCK should be low for at least 64 system clocks before it goes high to clock in the enable bytes. No pulsing of Reset signal is necessary. SCK should be no faster than 1/16 of the system clock at XTAL1.

For Page Read/Write, the data always starts from byte 0 to 255. After the command byte and upper address bytes are latched, each byte thereafter is treated as data until all 256 bytes are shifted in/out. Then the next instruction will be decoded.

Serial Programming Characteristics

Figure 9. Serial Programming Timing

Table 9. Serial Programming Characteristics, $T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 4.0 - 5.5\text{V}$ (Unless Otherwise Noted)

Symbol	Parameter	Min	Typ	Max	Units
f_{CLCL}	Oscillator Frequency	3		33	MHz
t_{CLCL}	Oscillator Period	30			ns
t_{SHSL}	SCK Pulse Width High	$8 t_{CLCL}$			ns
t_{SLSH}	SCK Pulse Width Low	$8 t_{CLCL}$			ns
t_{OVSH}	MOSI Setup to SCK High	t_{CLCL}			ns
t_{SHOX}	MOSI Hold after SCK High	$2 t_{CLCL}$			ns
t_{SLV}	SCK Low to MISO Valid	10	16	32	ns
t_{ERASE}	Chip Erase Instruction Cycle Time			500	ms
t_{SWC}	Serial Byte Write Cycle Time			$64 t_{CLCL} + 400$	μs

Absolute Maximum Ratings*

Operating Temperature.....	-55°C to +125°C
Storage Temperature.....	-65°C to +150°C
Voltage on Any Pin with Respect to Ground.....	-1.0V to +7.0V
Maximum Operating Voltage.....	6.5V
DC Output Current.....	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

The values shown in this table are valid for $T_A = -40^\circ\text{C}$ to 85°C and $V_{CC} = 4.0\text{V}$ to 5.5V , unless otherwise noted.

Symbol	Parameter	Condition	Min	Max	Unit
V_{IL}	Input Low Voltage	(Except EA)	-0.5	$0.2 V_{CC}-0.1$	V
V_{IL1}	Input Low Voltage (EA)		-0.5	$0.2 V_{CC}-0.3$	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	$0.2 V_{CC}+0.9$	$V_{CC}+0.5$	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC}+0.5$	V
V_{OL}	Output Low Voltage ⁽¹⁾ (Ports 1,2,3)	$I_{OL} = 1.6 \text{ mA}$		0.45	V
V_{OL1}	Output Low Voltage ⁽¹⁾ (Port 0, ALE, PSEN)	$I_{OL} = 3.2 \text{ mA}$		0.45	V
V_{OH}	Output High Voltage (Ports 1,2,3, ALE, PSEN)	$I_{OH} = -60 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -25 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -10 \mu\text{A}$	$0.9 V_{CC}$		V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode)	$I_{OH} = -800 \mu\text{A}, V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -300 \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -80 \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	$V_{IN} = 0.45\text{V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	$V_{IN} = 2\text{V}, V_{CC} = 5\text{V} \pm 10\%$		-650	μA
I_{LI}	Input Leakage Current (Port 0, EA)	$0.45 < V_{IN} < V_{CC}$		± 10	μA
	μA RRST	Reset Pulldown Resistor		50	μA
	300	K & $C_{I/O}$	Pin	Capacitor	
	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10		
I_{CC}	Power Supply Current	Active Mode, 10 MHz		\approx	μA
		Idle Mode, 12 MHz		6.5	nA
	Power-down Mode ⁽²⁾	$V_{CC} = 5.5\text{V}$		50	μA

- Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
 Maximum I_{OL} per port pin: 10 mA
 Maximum I_{OL} per 8-bit port:
 Port 0: 26 mA Ports 1, 2, 3: 15 mA
 Maximum total I_{OL} for all output pins: 71 mA
 If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.

ADC0801 ADC0802 ADC0803 ADC0804 ADC0805

8-Bit mP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder* similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

Compatible with 8080 mP derivatives*no interfacing logic needed - access time - 135 ns

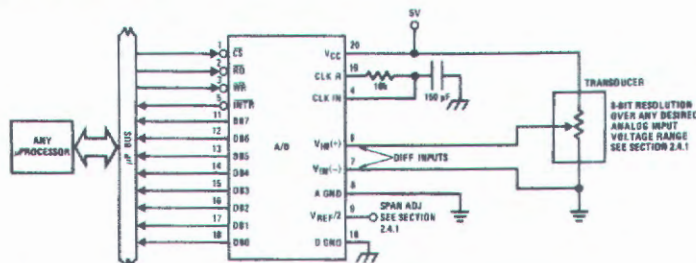
Easy interface to all microprocessors or operates "stand alone"

- ✓ Differential analog voltage inputs
- ✓ Logic inputs and outputs meet both MOS and TTL voltage level specifications
- ✓ Works with 2.5V (LM336) voltage reference
- ✓ On-chip clock generator
- ✓ 0V to 5V analog input voltage range with single 5V supply
- ✓ No zero adjust required
- ✓ 0,3 standard width 20-pin DIP package
- ✓ 20-pin molded chip carrier or small outline package
- ✓ Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC} or analog span adjusted voltage reference

Specifications

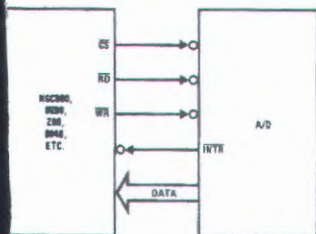
- ✓ Resolution 8 bits
- ✓ Total error □ 1LSB □ 1.5LSB and □ 1 LSE
- ✓ Conversion time 100 ms

Typical Applications



TL H 5671-1

8080 Interface



TL H 5671-31

Error Specification (Includes Full-Scale Zero Error) and Non-Linearity)

Part Number	Full-Scale Adjusted	VREF 2@ 20500 VDC (No Adjustments)	VREF 2@ No Connection (No Adjustments)
ADC0801	□ 1LSB		
ADC0802		□ 1LSB	
ADC0803	□ 1LSB		
ADC0804		□ 1LSB	
ADC0805			□ 1LSB

*TRI-STATE is a registered trademark of National Semiconductor Corp.
*8080 is a registered trademark of Zilog Corp.

Absolute Maximum Ratings (Notes 1 B 2)

If Military Aerospace specified devices are required) please contact the National Semiconductor Sales Office Distributors for availability and specifications

Supply Voltage (V_{CC}) (Note 3) 6.5V
Voltage

Intronic Control Inputs
At Other Input and Outputs
Lead Temp. (Soldering 10 seconds)
Dual-In-Line Package (plastic) 260 C
Dual-In-Line Package (ceramic) 300 C
Surface Mount Package
Vapor Phase (60 seconds) 215 C
Infrared (15 seconds) 220 C

Storage Temperature Range
Package Dissipation at T_A=25 C
ESD Susceptibility (Note 10)

b65 C to a150 C
875 mW
800V

Operating Ratings (Notes 1 B 2)

Temperature Range
ADC0801 02LJ ADC0802LJ 883
ADC0801 02 03 04L CJ
ADC0801 02 03 05L CN
ADC0804L CN
ADC0802 03 04L CV
ADC0802 03 04L CWM
Range of V_{CC}

T_{MIN}=T_A=T_{MAX}
b55 C aT_A=a125 C
b40 C aT_A=a85 C
b40 C aT_A=a85 C
0 C aT_A=a70 C
0 C aT_A=a70 C
0 C aT_A=a70 C
4.5 V_{CC} to 6.3 V_{CC}

Electrical Characteristics

The following specifications apply for V_{CC}=5 V_{DC} T_{MIN}=T_A=T_{MAX} and f_{CLK}=640 kHz unless otherwise specified,

Parameter	Conditions	Min	Typ	Max	Units
ADC0801F Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			□	LSB
ADC0802F Total Unadjusted Error (Note 8)	V _{REF} 2=2.500 V _{DC}			□	LSB
ADC0803F Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			□	LSB
ADC0804F Total Unadjusted Error (Note 8)	V _{REF} 2=2.500 V _{DC}			□1	LSB
ADC0805F Total Unadjusted Error (Note 8)	V _{REF} 2-No Connection			□1	LSB
V _{REF} 2 Input Resistance (Pin 9)	ADC0801 02 03 05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(a) or V(b)	Gnd-0.05		V _{CC} ±0.05	V _{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		□	□	LSB
Power Supply Sensitivity	V _{CC} =5 V _{DC} □10% Over Allowed V _{IN} (a) and V _{IN} (b) Voltage Range (Note 4)		□	□	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC}=5 V_{DC} and T_A=25 C unless otherwise specified,

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T _C	Conversion Time	f _{CLK} =640 kHz (Note 6)	103		114	ns
T _C	Conversion Time	(Note 5, 6)	66		73	1/f _{CLK}
f _{CLK}	Clock Frequency Clock Duty Cycle	V _{CC} =5V (Note 5) (Note 5)	100 40	640	1460 80	kHz %
CR	Conversion Rate in Free-Running Mode	INTR tied to WR with CS=0 V _{DC} f _{CLK} =640 kHz	8770		9708	conv/s
t _{WR}	Width of WR Input (Start Pulse Width)	CS=0 V _{DC} (Note 7)	100			ns
t _{ACC}	Access Time (Delay from Falling Edge of RD to Output Data Valid)	CL=100 pF		135	200	ns
t _{HH} t _{OH}	TRI-STATE Control (Delay from Rising Edge of RD to Hi-Z State)	CL=10 pF R _L =10k (See TRI-STATE Test Circuits)		125	200	ns
t _{WI} t _{RI}	Delay from Falling Edge of WR or RD to Reset of INTR			300	450	ns
C _{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C _{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

CONTROL INPUTS Note F CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately

V _{IN} (1)	Logical "1" Input Voltage (Except Pin 4, CLK IN)	V _{CC} =5,25 V _{DC}	2.0	15	V _{DC}
---------------------	--	---------------------------------------	-----	----	-----------------

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = 5V_{DC}$ and $T_{MIN} = T_A = T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CONTROL INPUTS Note F: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately						
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC} \pm 4.75 V_{DC}$			0.8	V _{DC}
$I_{IN(1)}$	Logical "1" Input Current (All Inputs)	$V_{IN} = 5 V_{DC}$		0.005	1	mA _{DC}
$I_{IN(0)}$	Logical "0" Input Current (All Inputs)	$V_{IN} = 0 V_{DC}$	1	0.005		mA _{DC}
CLOCKIN AND CLOCKR						
V_{T^a}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V _{DC}
V_{T^b}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V _{DC}
V_H	CLK IN (Pin 4) Hysteresis ($V_{T^a} - V_{T^b}$)		0.6	1.3	2.0	V _{DC}
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage	$I_O = 360 \text{ mA}$ $V_{CC} = 4.75 V_{DC}$			0.4	V _{DC}
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage	$I_O = 360 \text{ mA}$ $V_{CC} = 4.75 V_{DC}$	2.4			V _{DC}
DATA OUTPUTS AND INTR						
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT} = 1.6 \text{ mA}$ $V_{CC} = 4.75 V_{DC}$ $I_{OUT} = 1.0 \text{ mA}$ $V_{CC} = 4.75 V_{DC}$			0.4 0.4	V _{DC} V _{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = 360 \text{ mA}$ $V_{CC} = 4.75 V_{DC}$	2.4			V _{DC}
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = 10 \text{ mA}$ $V_{CC} = 4.75 V_{DC}$	4.5			V _{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT} = 0 V_{DC}$ $V_{OUT} = 5 V_{DC}$	3			mA _{DC} mA _{DC}
I_{SOURCE}		V_{OUT} Short to Gnd $T_A = 25^\circ C$	4.5	6		mA _{DC}
I_{SINK}		V_{OUT} Short to V_{CC} $T_A = 25^\circ C$	9.0	16		mA _{DC}
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801 02 03 04 LCJ 05 ADC0804 LCN LCV LCVM	$f_{CLK} = 640 \text{ kHz}$ $V_{REF} = 2^{\#} V_{CC}$ $T_A = 25^\circ C$ and $CS = 5V$			1.1 1.9	1.8 2.5 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists internally from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IH}(b) = V_{IH}(a)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful during testing at low V_{CC} levels (4.5V) as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures—and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640 \text{ kHz}$. At higher clock frequencies accuracy can degrade. For lower clock frequencies the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched (see Figure 2 and section 2.0).

Note 7: The CS input is assumed to bracket the WR strobe input and therefore timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse (see timing diagrams).

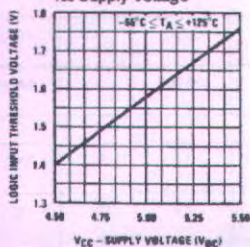
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.

Note 9: The V_{REF} pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801 ADC0802 ADC0803 and ADC0805 and in the ADC0804LCJ each resistor is typically 16 k Ω . In all versions of the ADC0804 except the ADC0804LCJ each resistor is typically 2.2 k Ω .

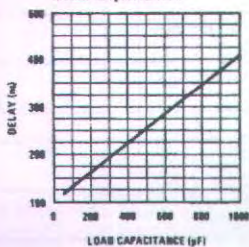
Note 10: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Typical Performance Characteristics

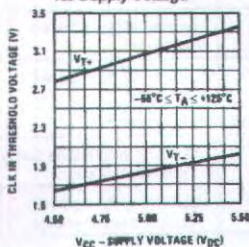
Logic Input Threshold Voltage vs 0 Supply Voltage



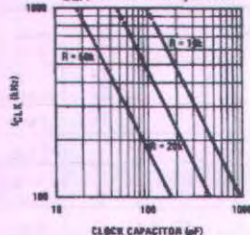
Delay From Falling Edge of RD to Output Data Valid vs 0 Load Capacitance



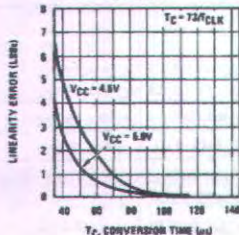
CLKIN Schmitt Trip Levels vs 0 Supply Voltage



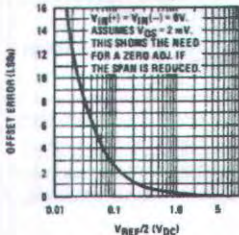
f_{CLK} vs 0 Clock Capacitor



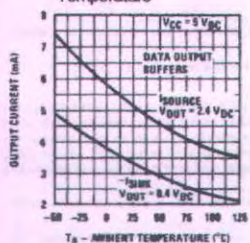
Full-Scale Error vs Conversion Time



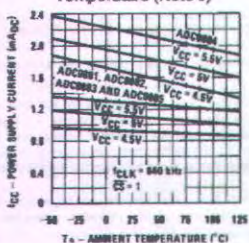
Effect of Unadjusted Offset Error vs 0 VREF/2 Voltage



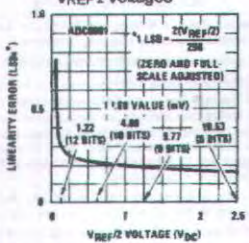
Output Current vs Temperature



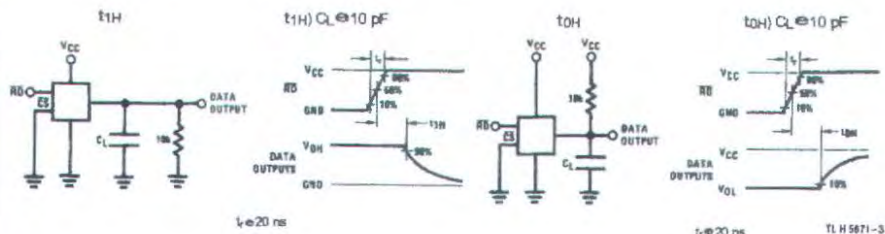
Power Supply Current vs Temperature (Note 9)



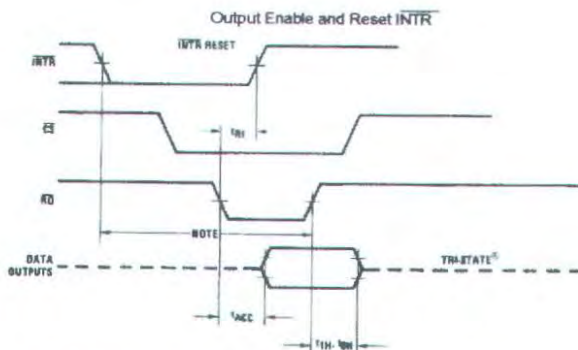
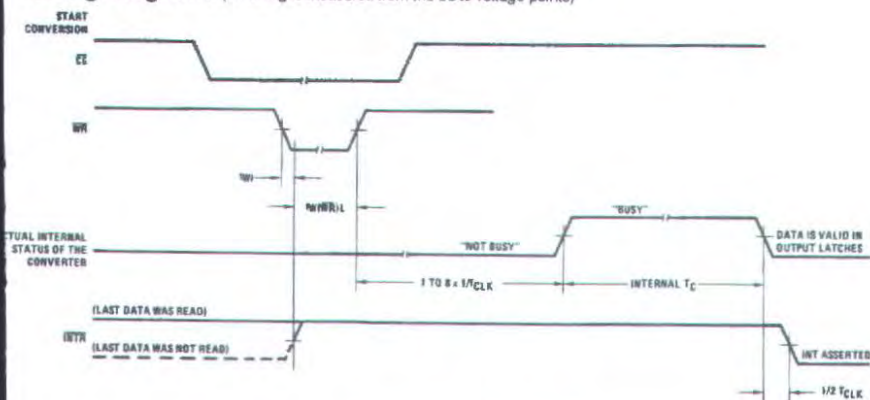
Linearity Error at Low VREF/2 Voltages



TRI-STATE Test Circuits and Waveforms



Timing Diagrams (All timing is measured from the 50% voltage points)

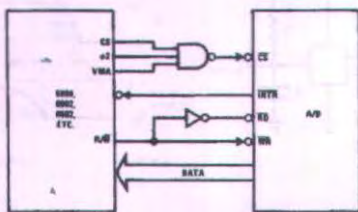


Note F Read strobe must occur 8 clock periods ($8 T_{CLK}$) after assertion of interrupt to guarantee reset of INTR.

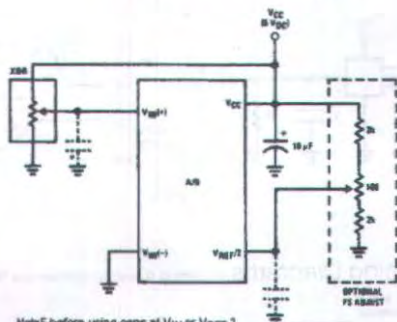
TLH 5871-4

Typical Applications (Continued)

6800 Interface

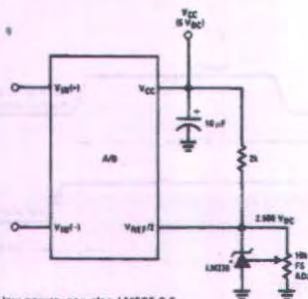


Ratiometric with Full-Scale Adjust



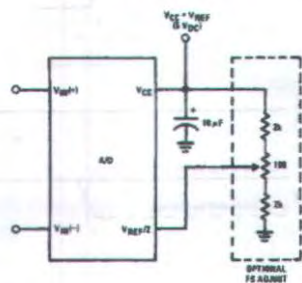
Note: Before using caps at V_{IN} or V_{REF} 2 see section 2.3.2 Input Bypass Capacitors.

Absolute with a 20500V Reference

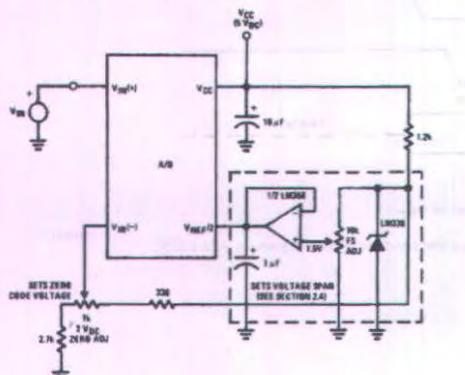


For low power see also LM385-2,5

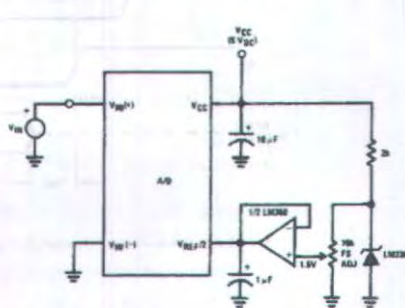
Absolute with a 5V Reference



Zero-Shift and Span Adjust; $2V \approx V_{IN} \approx 5V$

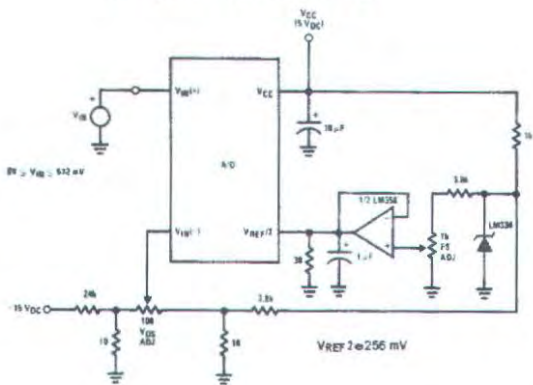


Span Adjust; $0V \approx V_{IN} \approx 3V$

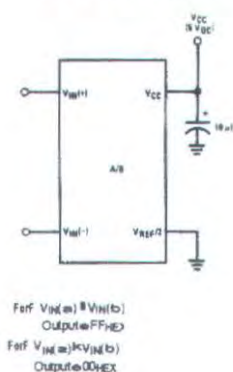


Typical Applications (Continued)

Directly Converting a Low-Level Signal

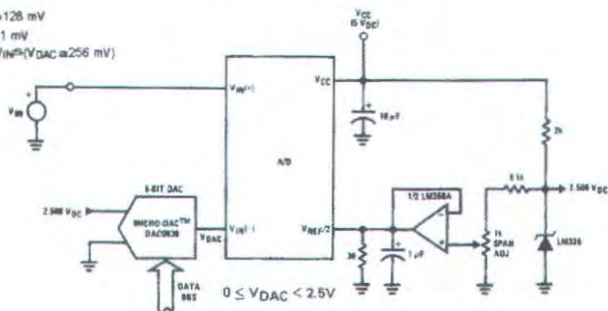


mP Interfaced Comparator

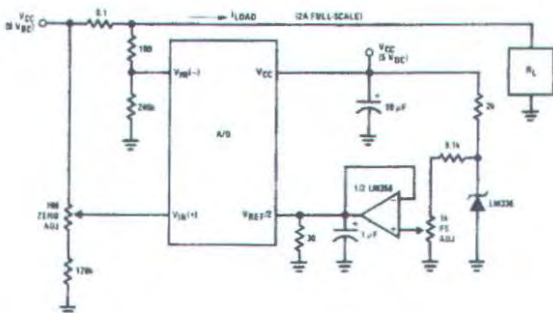


1 mV Resolution with mP Controlled Range

$V_{REF} = 128 \text{ mV}$
1 LSB = 1 mV
 $V_{DAC} = V_{INP} \cdot (V_{DAC} \approx 256 \text{ mV})$



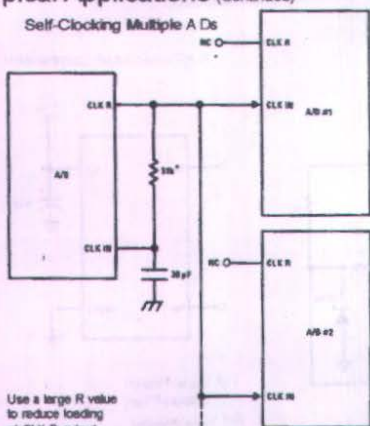
Digitizing a Current Flow



TLH 5071-6

Typical Applications (Continued)

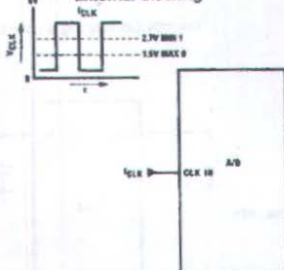
Self-Clocking Multiple A/Ds



Use a large R value to reduce loading at CLK R output.

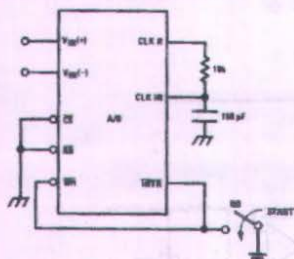
IF MORE THAN 8 ADDITIONAL A/Ds, USE A CHIB BUFFER (NOT 74C)

External Clocking



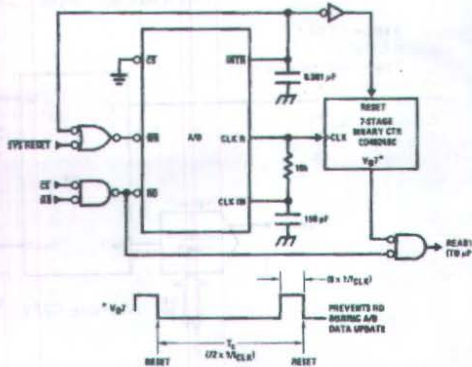
100 kHz \leq CLK \leq 1400 kHz

Self-Clocking in Free-Running Mode

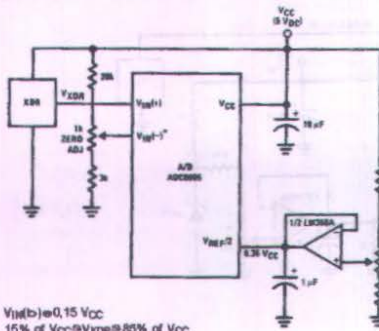


After power-up a momentary grounding of the WR input is needed to guarantee operation.

mP Interface for Free-Running A/D

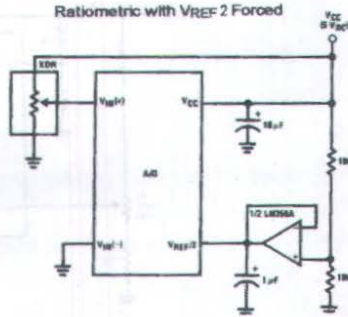


Operating with "Automotive" Ratiometric Transducers



$V_{REF+} \approx 0.15 V_{CC}$
 $15\% \text{ of } V_{CC} \approx V_{REF+} \approx 85\% \text{ of } V_{CC}$

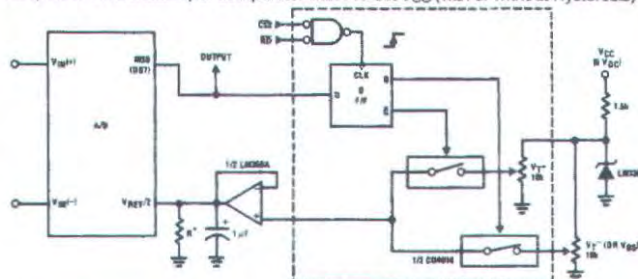
Ratiometric with V_{REF} 2 Forced



TL H 0071

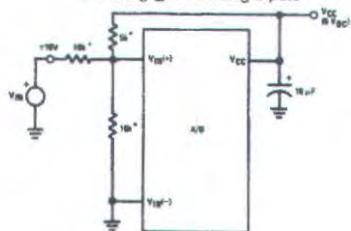
Typical Applications (Continued)

mP Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



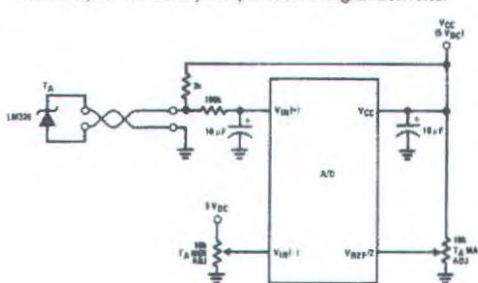
See Figure 5 to select R value
 $DB7 \approx 1$ for $V_{IN(a)} \neq V_{IN(b)}$ or V_{REF}
 Omit circuitry within the dotted area if
 hysteresis is not needed

Handling $\geq 10V$ Analog Inputs

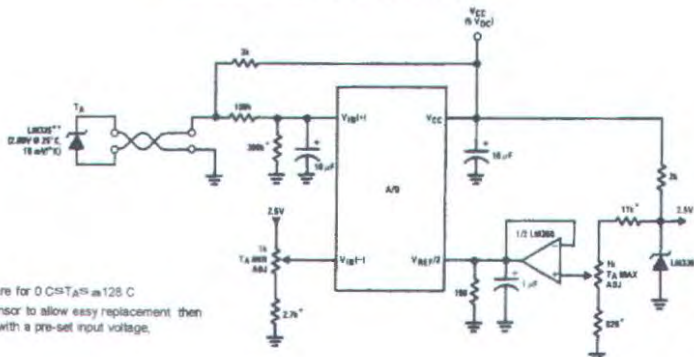


Beckman Instruments 694-3-R10K resistor array

Low-Cost mP Interfaced Temperature-to-Digital Converter



mP Interfaced Temperature-to-Digital Converter

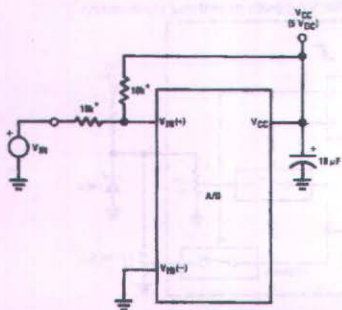


Circuit values shown are for $0 \text{ C} \Rightarrow T_{A \text{ (} \approx 128 \text{ C)}$
 Can calibrate each sensor to allow easy replacement then
 A/D can be calibrated with a pre-set input voltage.

TLH 5871-B

Typical Applications (Continued)

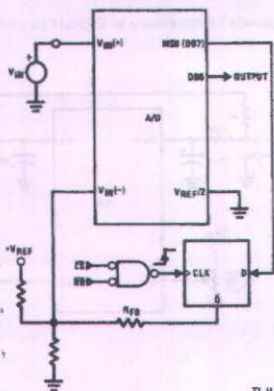
Handling 5V Analog Inputs



TL H 5871-33

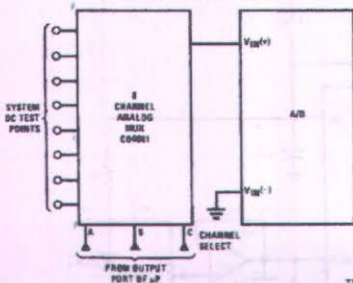
Beckman Instruments 604-3-R10K resistor array

mP Interfaced Comparator with Hysteresis



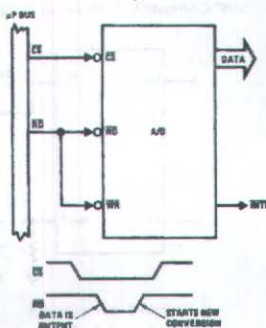
TL H 5871-35

Analog Self-Test for a System



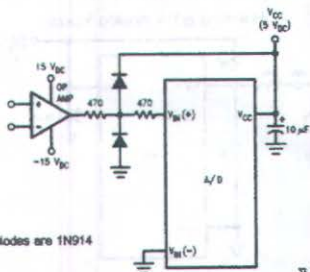
TL H 5871-36

Read-Only Interface



TL H 5871-34

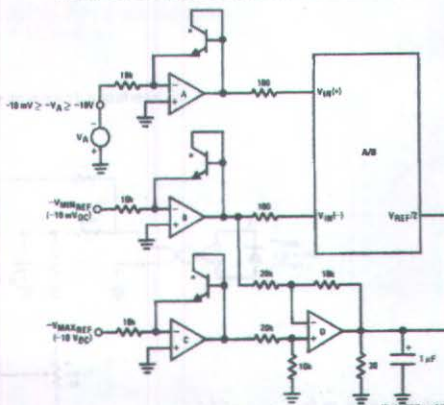
Protecting the Input



Diodes are 1N914

TL H 5871-9

A Low-Cost 3-Decade Logarithmic Converter



LM389 transistors

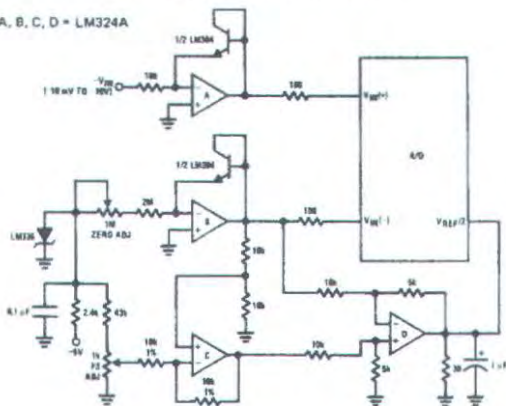
A B C D = LM324A quad op amp

TL H 5871-37

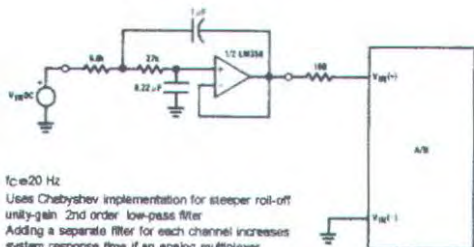
Typical Applications (Continued)

3-Decade Logarithmic A/D Converter

A, B, C, D = LM324A



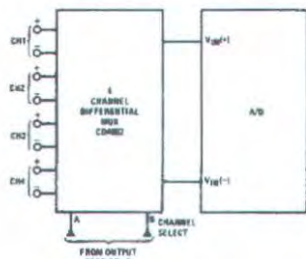
Noise Filtering the Analog Input



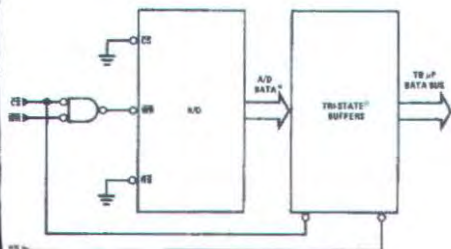
$f_c \approx 20$ Hz

Uses Chebyshev implementation for steeper roll-off unity-gain 2nd order low-pass filter. Adding a separate filter for each channel increases system response time if an analog multiplexer is used.

Multiplexing Differential Inputs

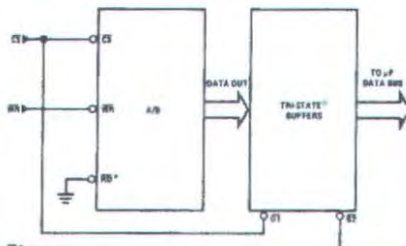


Output Buffers with A/D Data Enabled



A/D output data is updated 1 CLK period prior to assertion of INTR.

Increasing Bus Drive and/or Reducing Time on Bus

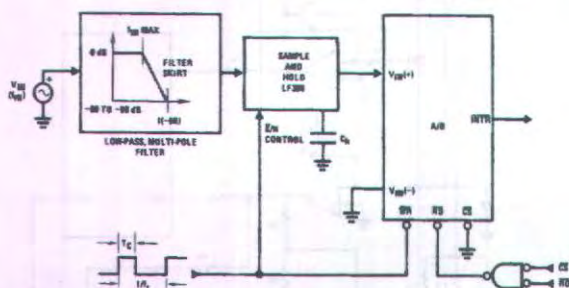


Allows output data to set-up at falling edge of CS.

TLH 9871-10

Typical Applications (Continued)

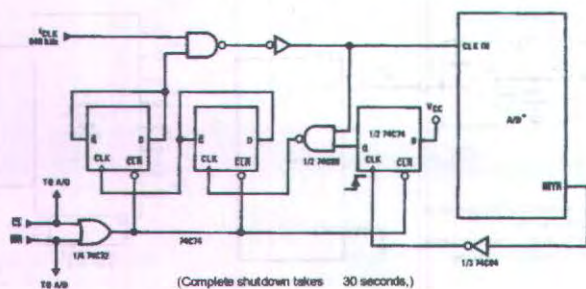
Sampling an AC Input Signal



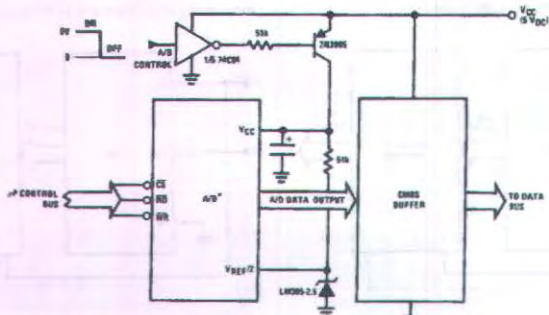
Note 1: Oversample whenever possible keep $f_s \gg 2f(\text{band})$ to eliminate input frequency folding (aliasing) and to allow for the start response of the filter.

Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



Power Savings by A/D and VREF Shutdown



Use ADC0801 02 03 or 05 for lowest power consumption.

Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts. Buffer prevents data bus from overdriving output of A/D when in shutdown mode.

TLH 5071-11

Functional Description

100 UNDERSTANDING A/D ERROR SPECS

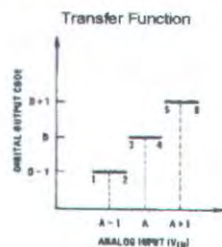
A perfect A/D transfer characteristic (staircase waveform) is shown in Figure 1a. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the VREF 2 pin). The digital output codes that correspond to these inputs are shown as D-1, D and D+1. For the perfect A/D not only will center-value (A-1, A, A+1, ...) analog inputs produce the correct output digital codes but also each riser (the transitions between adjacent output codes) will be located 1/2 LSB away from each center-value. As shown the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages that extend 1/2 LSB from the ideal center-values. Each tread (the range of analog input voltage that provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than 1/2 LSB. In

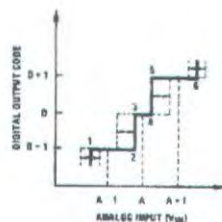
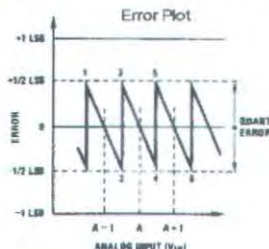
other words if we apply an analog input equal to the center-value $\pm 1/2$ LSB we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than 1/2 LSB.

The error curve of Figure 1c shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the 1/2 LSB analog voltage center-value the A/D will produce the correct digital code.

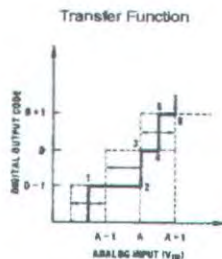
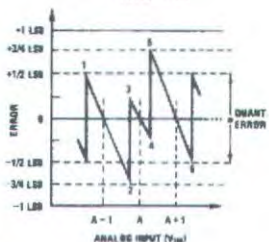
Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of Figure 1a is $\pm 1/2$ LSB because the digital code appeared 1/2 LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt up-side steps are always 1 LSB in magnitude.



a) Accuracy $\pm 1/2$ LSB; A Perfect A/D Transfer Function



b) Accuracy $\pm 1/2$ LSB



c) Accuracy ± 1 LSB

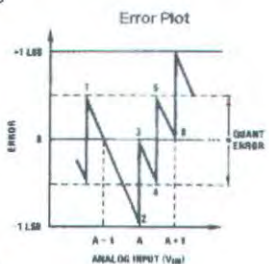


FIGURE 10 Clarifying the Error Specs of an A/D Converter

TLH 5871-12

Functional Description (Continued)

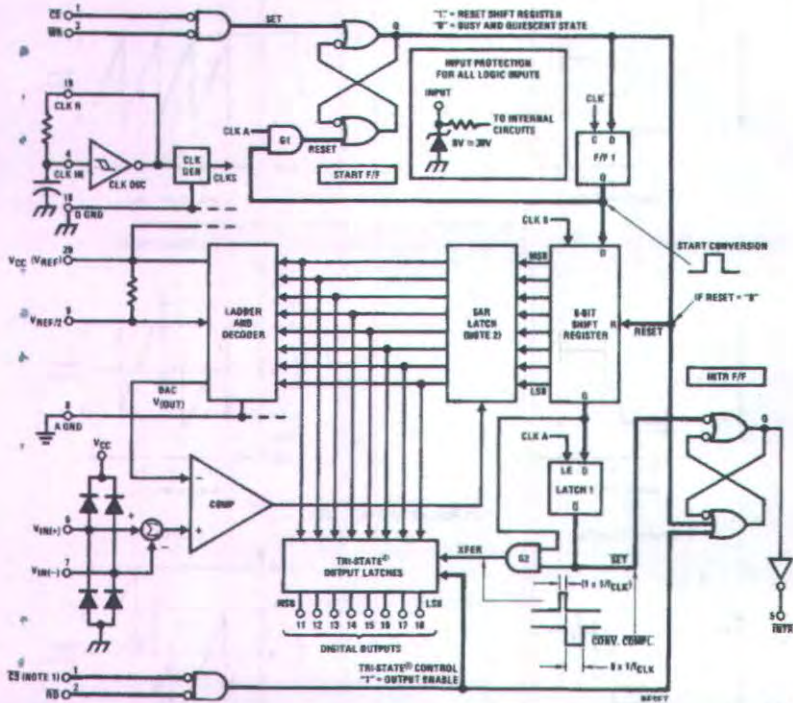
200 FUNCTIONAL DESCRIPTION

The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $V_{IN}(A)$ to $V_{IN}(B)$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting INTR to the WR input with $\overline{CS} = 0$. To ensure start-up under all possible conditions an external WR pulse is required during the first power-up cycle.

On the high-to-low transition of the WR input the internal SAR latches and the shift register stages are reset. As long as the \overline{CS} input and WR input remain low the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 20. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having \overline{CS} and WR simultaneously low. This sets the start flip-flop (FF) and the rising "1" level resets the 8-bit shift register. The interrupt (INTR) FF and inputs a "1" to the D flip F F1 which at the input end of the 8-bit shift register, internal clock signals then transfer this "1" to the Q output of F F1. The AND gate G1 combines this "1" output with a clock signal to provide a reset signal to the start FF. If the set signal no longer present (either WR or \overline{CS} is a "1") the start FF resets and the 8-bit shift register then can have the clocked in which starts the conversion process. If the signal were to still be present this reset pulse would have no effect (both outputs of the start FF would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows wide \overline{CS} and WR signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start FF.



Note 1: \overline{CS} shown twice for clarity.

Note 2: SAR = Successive Approximation Register.

FIGURE 20 Block Diagram

Functional Description (Continued)

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch LATCH 1. As soon as this "1" is output from the shift register the AND gate G2 causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled the Q output makes a high-to-low transition which causes the INTR FF to set. An inverting buffer then supplies the INTR input signal.

Note that this SET control of the INTR FF remains low for 8 of the external clock periods (as the internal clocks run at 8 of the frequency of the external clock). If the data output is continuously enabled (CS and RD both held low) the INTR output will still signal the end of conversion (by a high-

to-low transition) because the SET input can control the Q output of the INTR FF even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the SET signal which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin tied to WR and CS wired low*see also section 2.8) the START FF is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER which causes the input to the D-type latch LATCH 1 to go low. As the latch enable input is still present the Q output will go high which then allows the INTR FF to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read the combination of both CS and RD being low will cause the INTR FF to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

201 Digital Control Inputs

The digital control inputs (CS, RD and WR) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications the CS input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the WR input (pin 3) and the Output Enable function is caused by an active low pulse at the RD input (pin 2).

202 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The $V_{IN}(a)$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA-20 mA current loop conversion. In addition common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN}(a)$ and $V_{IN}(b)$ is 4 clock periods. The maximum error voltage due to this

slight time difference between the input voltage samples is given by

$$e(\text{MAX}) \approx (V_p)(2qf_{cm})$$

$$DV$$

$$\frac{1}{f_{CLK}} \downarrow$$

$$4.5$$

where

DV_e is the error voltage due to sampling delay

V_p is the peak value of the common-mode voltage

f_{cm} is the common-mode frequency

As an example to keep this error to ± 1 LSB (E5 mV) when operating with a 60 Hz common-mode frequency f_{cm} and

$$(2qf_{cm}) (4.5)$$

$$\text{or}$$

$$V_p \approx \frac{(5 \times 10^{-3})(60 \times 10^3)}{(6.28)(60)(4.5)}$$

which gives

$$V_p \approx 1.9V.$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

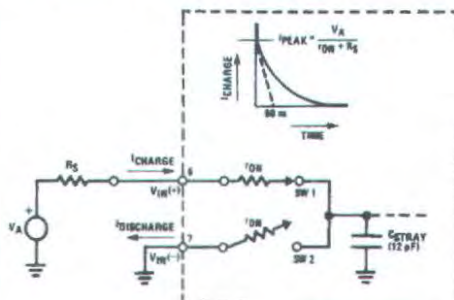
An analog input voltage with a reduced span and a relatively large zero offset can be handled easily by making use of the differential input (see section 2.4 Reference Voltage).

203 Analog Inputs

20301 Input Current

Normal Mode

Due to the internal switching action displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3.



TLH 8471-14

R_{ON} of SW 1 and SW 2 $\approx 5 \text{ k}\Omega$

R_{OFF} on CSTRAY $\approx 5 \text{ k}\Omega$ $\approx 12 \text{ pF} \approx 60 \text{ ns}$

FIGURE 30 Analog Input Impedance

Functional Description (Continued)

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(A)$ input pin and leaving the $V_{IN}(B)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not cause errors as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source applied to the $V_{IN}(A)$ or $V_{IN}(B)$ pin exceeds the allowed operating range of $V_{CC} \pm 50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents can exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode the voltage at the $V_{IN}(A)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

20302 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(A)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(A)$ input at 5V, this DC current is at a maximum of approximately 5 mA. Therefore bypass capacitors should not be used at the analog inputs or the V_{REF2} pin for high resistance sources (≈ 1 k Ω). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance which is due to the average value of the input current can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

20303 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used will not cause errors as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≈ 1 k Ω) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications (≈ 1 k Ω) a 0.1 μ F bypass capacitor at the inputs will prevent noise pickup due to series lead inductance of a long wire. A 100 Ω series resistor can be used to isolate this capacitor both the R and C are placed outside the feedback loop from the output of an op amp if used.

20304 Noise

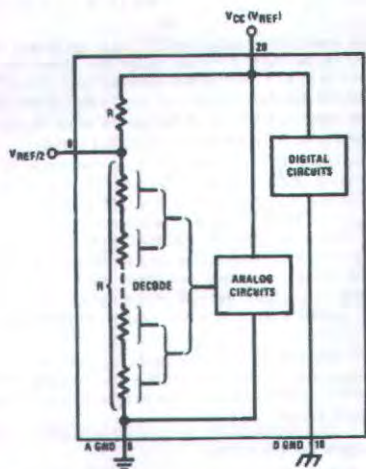
The leads to the analog inputs (pin 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should in general be kept below 5 k Ω . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors placed from the analog inputs to ground will eliminate system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the AD (see section 2.3.1.1). This scale error depends on both a large source

resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the AD (adjust V_{REF2} for a proper full-scale reading*see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

204 Reference Voltage

20401 Span Adjust

For maximum applications flexibility these ADs have been designed to accommodate a 5 V_{DC}, 2.5 V_{DC} or an adjustable voltage reference. This has been achieved in the design of the IC as shown in Figure 4.



TLH 9071-15

FIGURE 40 The VREFERENCE Design on the IC Notice that the reference voltage for the IC is either the voltage applied to the V_{CC} supply pin or is equal to the voltage that is externally forced at the V_{REF2} pin. This allows for a ratiometric voltage reference using the V_{CC} supply. A 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the V_{REF2} input for increased application flexibility. The internal gain to the V_{REF2} input is 2, making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span*or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC} instead of 0V to 5 V_{DC} the span would be 3V as shown in Figure 5. With 0.5 V_{DC} applied to the $V_{IN}(B)$ pin to absorb the offset, the reference voltage can be made equal to the 3V span or 1.5 V_{DC}. The AD now will encode the $V_{IN}(A)$ signal from 0.5V to 3.5 V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

Functional Description (Continued)

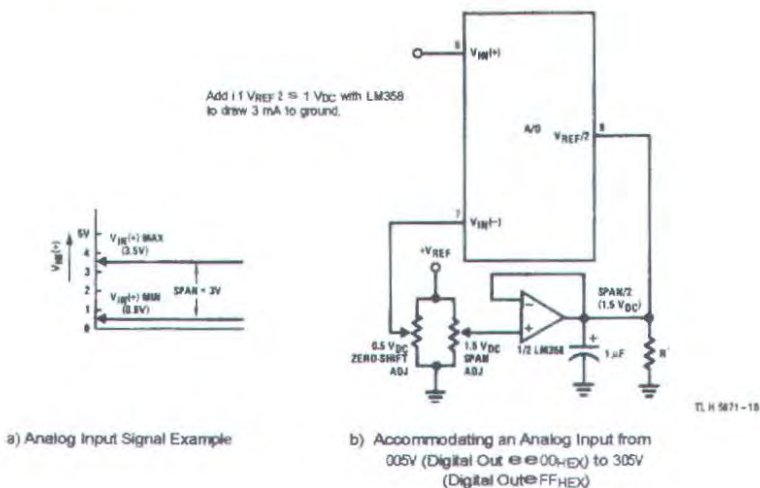


FIGURE 50 Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

20402 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications both the initial value and the temperature stability of the reference voltage are important factors in the accuracy of the A/D converter. For $V_{REF(2)}$ voltages of $2.4 V_{DC}$ nominal value initial errors of ± 10 mVDC will cause conversion errors of ± 1 LSB due to the gain of 2 of the $V_{REF(2)}$ input. In reduced span applications the initial value and the stability of the $V_{REF(2)}$ input voltage become even more important. For example if the span is reduced to 2.5V the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF(2)}$ input becomes 5 mV. As can be seen this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode (from National Semiconductor) has a temperature stability of 1.8 mV typ (6 mV max) over $0 \leq T_A \leq 70^\circ C$. Other temperature range parts are also available.

205 Errors and Reference Voltage Adjustments

20501 Zero Error

The zero of the A/D does not require adjustment, if the minimum analog input voltage value $V_{IN(MIN)}$ is not ground a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN(2)}$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN(2)}$ input and applying a small magnitude positive voltage to the $V_{IN(1)}$ input. Zero error is the difference between the actual DC input voltage that is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal 1 LSB value (1 LSB = 9.8 mV for $V_{REF(2)} = 2.500 V_{DC}$).

20502 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage that is 1 LSB less than the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF(2)}$ input (pin 9 or the V_{CC} supply if pin 9 is not used) for a digital output code that is just changing from 1111 1110 to 1111 1111.

Functional Description (Continued)

20503 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the AD is shifted away from ground (for example to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(a)$ voltage that equals this desired zero reference plus 1 LSB (where the LSB is calculated for the desired analog span 1 LSB @ analog span 256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00HEX to 01HEX code transition. The full-scale adjustment should then be made (with the proper $V_{IN}(b)$ voltage applied) by forcing a voltage to the $V_{IN}(a)$ input which is given by:

$$\frac{(V_{MAX} - V_{MIN})}{256} \left(\frac{e}{b} \right) + V_{IN}(a) = V_{MAX} \quad 1,5$$

where e is the high end of the analog input range and b is the low end (the offset zero) of the analog range. (Both are ground referenced.)

The V_{REF-2} (or V_{CC}) voltage is then adjusted to provide a code change from FEHEX to FFHEX. This completes the adjustment procedure.

206 Clocking Option

The clock for the AD can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.

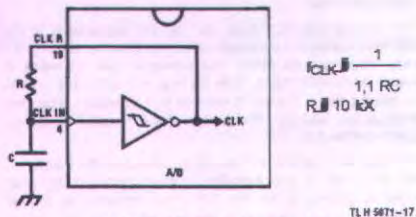


FIGURE 60 Self-Clocking the AD

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF such as driving up to 7 AD converter clock inputs from a single clock R pin of 1 converter are allowed. For larger clock line loading a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

207 Restart During a Conversion

If the AD is restarted (\overline{CS} and \overline{WR} go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the

conversion in process is not allowed to be completed. Therefore the data of the previous conversion remains in the latch. The INTR output simply remains at the "1" level.

208 Continuous Conversions

For operation in the free-running mode an initializing power should be used following power-up to ensure circuit operation. In this application the \overline{CS} input is grounded and the \overline{WR} input is tied to the INTR output. This \overline{WR} and INTR node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

209 Driving the Data Bus

This MOS AD like MOS microprocessors and memories will require a bus driver when the total capacitance of the data bus gets large. Other circuitry which is tied to the data bus will add to the total capacitive loading even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus. There are some alternatives available to the designer to handle this problem. Basically the capacitive loading of the data bus slows down the response time even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for 0 reads (and/or writes) by inserting wait states (8080) using clock extending circuits (6800).

Finally if time is short and capacitive loading is high external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

210 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 mF or greater are recommended. If an unregulated voltage is available in the system a separate LM340LAZ-5.0 TO-92 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

211 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this AD converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup; therefore shielded leads may be necessary in many applications.

Functional Description (Continued)

A single point analog ground that is separate from the logic ground points should be used. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any V_{REF2} bypass capacitors analog input filter capacitors or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of 1 LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

300 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing the V_{REF2} (pin 9) should be supplied with 2,560 VDC and a V_{CC} supply voltage of 5.12 VDC should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made an analog input voltage of 5,090 VDC (5,120 - 1 LSB) should be applied to the $V_{IN}(A)$ pin with the $V_{IN}(B)$ pin grounded. The value of the V_{REF2} input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of V_{REF2} should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters: the 4 most significant (MS) and the 4 least significant (LS). Table 1 shows the fractional binary equivalent of these two 4-bit groups. By adding the voltages obtained from the "VMS" and "VLS" columns in Table 1 the nominal value of the digital display (when

$V_{REF2} = 2,560V$) can be determined. For example for an output LED display of 1011 0110 or B6 (in hex) the voltage values from the table are 3,520 \pm 0,120 or 3,640 VDC. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results. For a higher speed test system or to obtain plotted data a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be expressed as either analog voltages or differences in 2 digital words.

A basic A/D tester that uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to read the difference voltage "A-C" directly. The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis).

For operation with a microprocessor or a computer-based test system it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9 where the output code transitions can be detected as the 10-bit DAC is incremented. This provides LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis a useful transfer function of the A/D under test results. For acceptance testing the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

400 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors a common sample subroutine structure is used. The microprocessor starts the A/D reads and stores the results of 16 successive conversions then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

401 Interfacing 8080 Microprocessor Derivatives (8048) 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A/D can be mapped into memory space (using standard memory address decoding for CS and the MEMR and MEMW strobes) or it can be controlled as an I/O device by using the I/O R and I/O W strobes and decoding the address bits A_0 - A_7 (or address bits A_8 - A_{15} as they will contain the same 8-bit address information) to obtain the CS input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

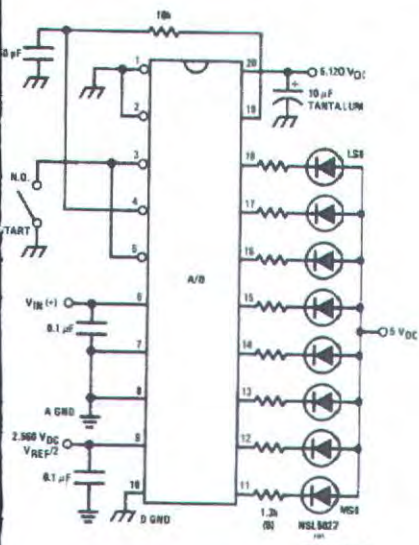


FIGURE 70 Basic A/D Tester

TLH 5471-10

Functional Description (Continued)

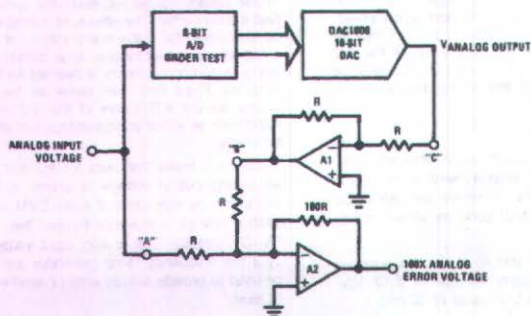


FIGURE 80 A/D Tester with Analog Error Output

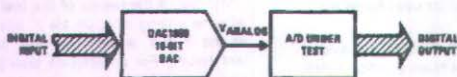


FIGURE 90 Basic "Digital" A/D Tester

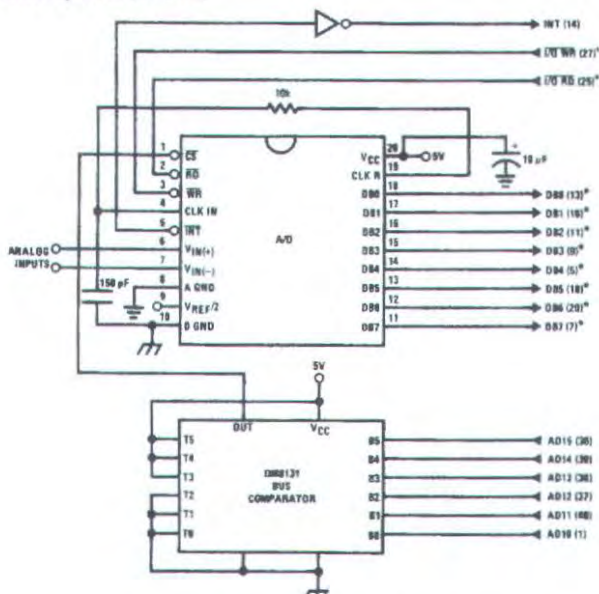
TL N 5671-19

TABLE 8 DECODING THE DIGITAL OUTPUT LEDs

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF} = 20560 \text{ V}_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP	VLS GROUP
F	1 1 1 1		15 16		0,300
E	1 1 1 0	7 8		7 128	0,280
D	1 1 0 1		13 16		0,260
C	1 1 0 0	3 4		3 64	0,240
B	1 0 1 1		11 16		0,220
A	1 0 1 0	5 8		5 128	0,200
9	1 0 0 1		9 16		0,180
8	1 0 0 0	1 2		1 32	0,160
7	0 1 1 1		7 16		0,140
6	0 1 1 0	3 8		3 128	0,120
5	0 1 0 1		5 16		0,100
4	0 1 0 0	1 4		1 64	0,080
3	0 0 1 1		3 16		0,060
2	0 0 1 0	1 8		1 128	0,040
1	0 0 0 1		1 16		0,020
0	0 0 0 0				0

Display Output = VMS Group = VLS Group

Functional Description (Continued)



Note 1: Pin numbers for the DP8228 system controller others are INS8080A.

Note 2: Pin 23 of the INS8228 must be tied to a 12V through a 1 k Ω resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program.

FIGURE 100 ADC0801-INS8080A CPU Interface

TLH 8871-20

SAMPLE PROGRAM FOR FIGURE 100 ADC0801-INS8080A CPU INTERFACE

0038	C3 00 03	RST 7	JMP	LD DATA	
0100	21 00 02	START	LXI H 0200H		HL pair will point to data storage locations
0103	31 00 04	RETURN	LXI SP 0400H		Initialize stack pointer (Note 1)
0106	7D		MOV A/ L		Test of bytes entered
0107	FE 0F		CPI 0F H		If 4 164 JMP to user program
0109	CA 13 01		JZ CONT		Start A/D
010C	D3 E0		OUT E0 H		Enable interrupt
010E	FB		EI		Loop until end of conversion
010F	00	LOOP	NOP		
0110	C3 0F 01		JMP LOOP		
0113		CONT			
		(User program to process data)			
0300	DB E0	LD DATA	IN E0 H		Load data into accumulator
0302	77		MOV M/ A		Store data
0303	23		INX H		Increment storage pointer
0304	C3 03 01		JMP RETURN		

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.

Note 2: All address used were arbitrarily chosen.

Functional Description (Continued)

The standard control bus signals of the 8080 (\overline{CS} , \overline{RD} and \overline{WR}) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

40101 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor the INS8228 system controller and the INS8224 clock generator). For simplicity the A/D is controlled as an I/O device specifically an 8-bit bi-directional port located at an arbitrarily chosen port address E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device however address decoding is still required to generate the appropriate \overline{CS} for the converter.

It is important to note that in systems where the A/D or other 1-of-8 or less I/O mapped devices no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as \overline{CS} inputs*one for each I/O device.

40102 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D thus eliminating the use of an external address decoder. The control signals \overline{RD} , \overline{WR} and \overline{INT} of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The \overline{RD} and \overline{WR} signals are generated by reading from and writing into dummy address respectively. A sample interface program is shown below.

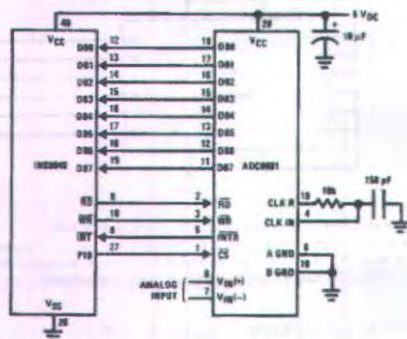


FIGURE 110 INS8048 Interface

TLH 5871-21

SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

04 10		JMP	10H	Program starts at addr 10
		ORG	3H	Main program
04 50		JMP	50H	Interrupt jump vector
		ORG	10H	Main program
99 FE		ANL	P1/ 0FEH	Chip select
81		MOVX	A/ R1	Read in the 1st data to reset the intr
89 01	START	ORL	P1/ 1	Set port pin high
B8 20		MOV	R0/ 20H	Data address B9
FF		MOV	R1/ 0FFH	Dummy address
BA 10		MOV	R2/ 10H	Counter for 16 bytes
23 FF	AGAIN	MOV	A/ 0FFH	Set ACC for intr loop
99 FE		ANL	P1/ 0FEH	Send CS (bit 0 of P1)
91		MOVX	R1/ A	Send WR out
05		EN	I	Enable interrupt
98 21	LOOP	JNZ	LOOP	Wait for interrupt
EA 1B		DJNZ	R2/ AGAIN	If 16 bytes are read go to user's program
00		NOP		
00		NOP		
81	INDATA	ORG	50H	
A0		MOVX	A/ R1	Input data/ CS still low
18		MOV	R0/ A	Store in memory
		INC	R0	Increment storage counter
89 01		ORL	P1/ 1	Reset CS signal
27		CLR	A	Clear ACC to get out of the interrupt loop
93		RETR		

Functional Description (Continued)

402 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General RD and WR strobes are provided and separate memory request MREQ and I/O request IORQ signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the RD and WR strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 13.

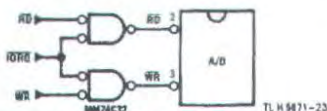


FIGURE 130 Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example MUX channel selection for the A/D can be accomplished with this operating mode.

403 Interfacing 6800 Microprocessor Derivatives (6802) etc0)

The control bus for the 6800 microprocessor derivatives does not use the RD and WR strobe signals. Instead it employs a single R/W line and additional timing if needed can be derived from the w2 clock. All I/O devices are memory mapped in the 6800 system and a special signal VMA indicates that the current address is valid. Figure 14 shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity the CS decoding is shown using DM8092. Note that in many 6800 systems an si-

ready decoded 4.5 line is brought out to the common bus at pin 21. This can be tied directly to the CS pin of the A/D provided that no other devices are addressed at HEX ADDR# 4XXX or 5XXX.

The following subroutine performs essentially the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

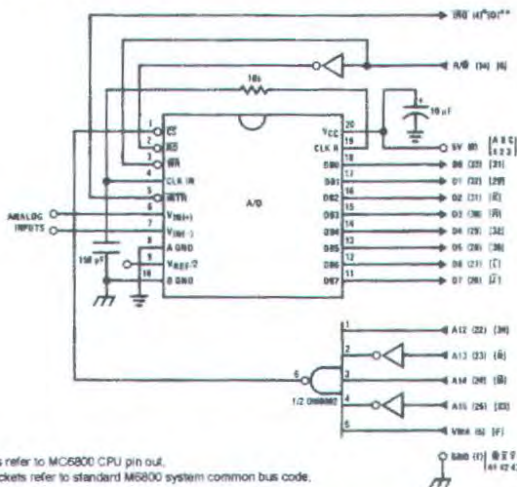
In Figure 15 the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter (PIA). Here the CS pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no CS decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D RD pin can be grounded.

A sample interface program equivalent to the previous one is shown below Figure 15. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007 respectively.

500 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor that is desired.

501 Multiple ADC0801 Series to MC6800 CPU Interface To transfer analog data from several channels to a single microprocessor system a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801 series the differential inputs allow individual span adjustment for each channel. Furthermore all analog input channels are sensed simultaneously which essentially divides the microprocessor's total system servicing time by the number of channels since all conversions occur simultaneously. This scheme is shown in Figure 16.



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Number or letters in brackets refer to standard M6800 system common bus code.

FIGURE 140 ADC0801-MC6800 CPU Interface

Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 14 ADC0801-MC6800 CPU INTERFACE

0010	DF 36	DATIN	STX	TEMP2	Save contents of X
0012	CE 00 2C		LDX	\$002C	Upon IRQ low CPU
0015	FF FF F8		STX	\$\$\$F8	jumpsto 002C
0018	B7 50 00		STAA	\$5000	Start ADC0801
001B	0E		CLI		
001C	3E	CONVRT	WAI		Wait for interrupt
001D	DE 34		LDX	TEMP1	
001F	8C 02 0F		CPX	\$020F	If final data stored
0022	27 14		BEQ	ENDP	
0024	B7 50 00		STAA	\$5000	Restarts ADC0801
0027	0B		INX		
0028	DF 34		STX	TEMP1	
002A	20 F0		BRA	CONVRT	
002C	DE 34	INTRPT	LDX	TEMP1	
002E	B6 50 00		LDAA	\$5000	Read data
0031	A7 00		STAA	X	Store it at X
0033	3B		RTI		
0034	02 00	TEMP1	FDB	\$0200	Starting address for data storage
0036	00 00	TEMP2	FDB	\$0000	
0038	CE 02 00	ENDP	LDX	\$0200	Reinitialize TEMP1
003B	DF 34		STX	TEMP1	
003D	DE 36		LDX	TEMP2	
003F	39		RTS		Return from subroutine To user's program

Note 1: In order for the microprocessor to service subroutines and interrupts the stack pointer must be dimensioned in the user's program.

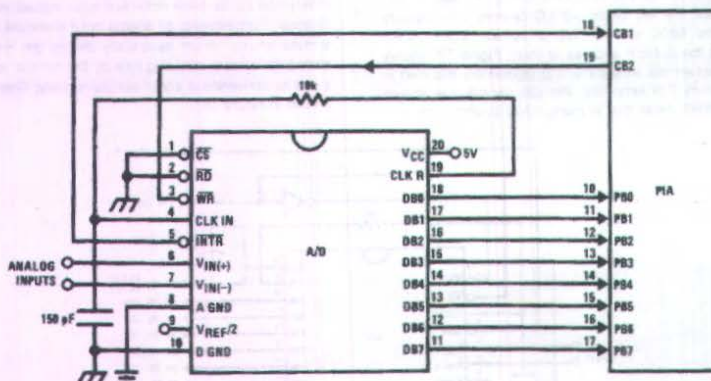


FIGURE 150 ADC0801-MC6820 PIA Interface

TL 8 5871-

Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 15 ADC0801 - MC6820 PIA INTERFACE

0010	CE 00 38	DATAIN	LDX	\$0038	Upon \overline{IRQ} low CPU
0013	FF FF F8		STX	\$FFF8	jumpsto 0038
0016	B6 80 06		LDAA	PIAORB	Clear possible \overline{IRQ} flags
0019	4F		CLRA		
001A	B7 80 07		STAA	PIACRB	
001D	B7 80 06		STAA	PIAORB	Set Port B as input
0020	0E		CLI		
0021	C6 34		LDAB	\$34	
0023	86 3D		LDAA	\$3D	
0025	F7 80 07	CONVRT	STAB	PIACRB	Starts ADC0801
0028	B7 80 07		STAA	PIACRB	
002B	3E		WAI		Wait for interrupt
002C	DE 40		LDX	TEMP1	
002E	8C 02 0F		CPX	\$020F	Is final data stored?
0031	27 0F		BEQ	ENDP	
0033	08		INX		
0034	DF 40		STX	TEMP1	
0036	20 ED		BRA	CONVRT	
0038	DE 40	INTRPT	LDX	TEMP1	
003A	B6 80 06		LDAA	PIAORB	Read data in
003D	A7 00		STAA	X	Store it at X
003F	3B		RTI		
0040	02 00	TEMP1	FDB	\$0200	Starting address for data storage
0042	CE 02 00	ENDP	LDX	\$0200	Reinitialize TEMP1
0045	DF 40		STX	TEMP1	
0047	39		RTS		Return from subroutine
		PIAORB	EQJ	\$8006	To user's program
		PIACRB	EQJ	\$8007	

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit pulling all the CS inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

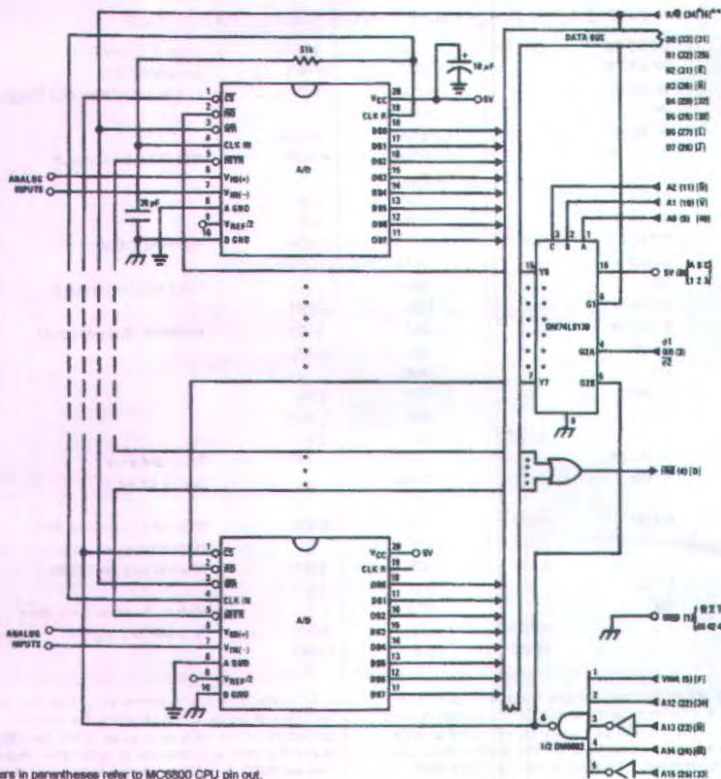
The subroutine DATA IN may be called from anywhere in the user's program. Once called this routine initializes the

CPU starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207 before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

502 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general a transducer preamp is required to take advantage of the full A/D converter input dynamic range.

Functional Description (Continued)



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.

Note 2: Numbers of letters in brackets refer to standard M6800 system common bus code.

TLH 8871-2

FIGURE 160 Interfacing Multiple A/Ds in an MC6800 System
 SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	STX DATAIN	Save Contents of X
0012	CE 00 2A	LDX \$002A	Upon \overline{IRQ} LOW CPU
0015	FF FF F8	STX \$FFF8	Jump to 002A
0018	B7 50 00	STAA \$5000	Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	Wait for interrupt
001D	CE 50 00	LDX \$5000	
0020	DF 40	STX INDEX1	Reset both INDEX
0022	CE 02 00	LDX \$0200	1 and 2 to starting
0025	DF 42	STX INDEX2	addresses
0027	DE 44	LDX TEMP	
0029	39	RTS	Return from subroutine
002A	DE 40	INTRPT LDX INDEX1	INDEX1 \times X
002C	A6 00	LDAA X	Read data in from ASD at X
002E	08	INX	Increment X by one
002F	DF 40	STX INDEX1	X \times INDEX1
0031	DE 42	LDX INDEX2	INDEX2 \times X

Functional Description (Continued)

SAMPLE PROGRAM FOR FIGURE 18 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	X	COMMENTS
0033	A7 00	STAA	X	Store data at X
0035	8C 02 07	CPX	\$0207	Have all A/D's been read?
0038	27 05	BEQ	RETURN	Yes branch to RETURN
003A	08	INX		No increment X by one
003B	DF 42	STX	INDEX2	X ← INDEX2
003D	20 EB	BRA	INTRPT	Branch to 002A
003F	3B	RETURN	RTI	
0040	50 00	INDEX1	FDB	\$5000 Starting address for A/D
0042	02 00	INDEX2	FDB	\$0200 Starting address for data storage
0044	00 00	TEMP	FDB	\$0000

Note 1: In order for the microprocessor to service subroutines and interrupts the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 17 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 mV for 1 LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

$$V_O = \frac{V_{IN}(a) - bV_{IN}(b)}{X} \cdot \frac{1}{Y} \cdot \frac{1}{X} \cdot \frac{1}{Y}$$

SIGNAL GAIN

$$V_O = \frac{V_{OS2} - bV_{OS1} - bV_{OS3} \pm I_X R_X}{X} \cdot \frac{1}{Y} \cdot \frac{1}{X} \cdot \frac{2R_2}{RT}$$

DC ERROR TERM GAIN

where I_X is the current through resistor R_X . All of the offset error terms can be cancelled by making $\frac{1}{X} = \frac{V_{OS1} - V_{OS3}}{V_{OS2} - V_{OS1}}$. This is the principle of this auto-zeroing scheme.

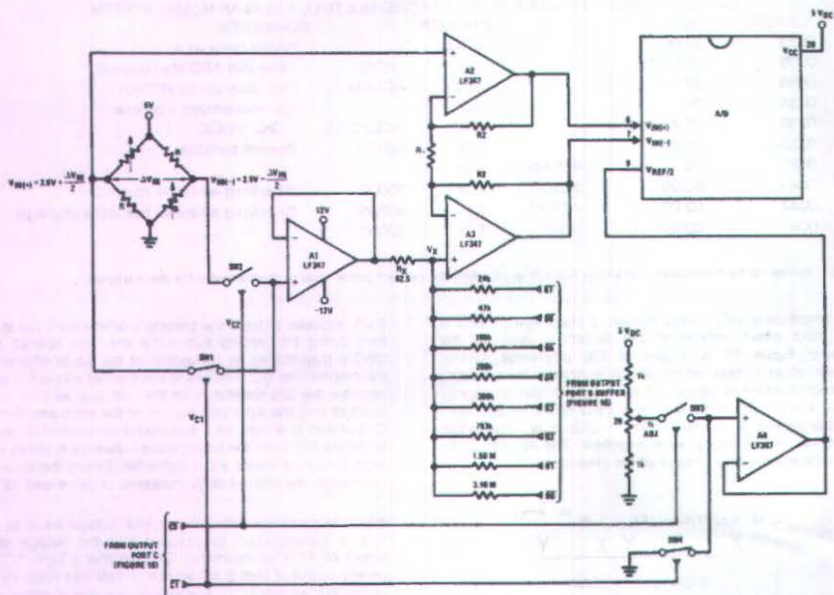
The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in Figure 18. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input of the preamp. Switch

SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers. Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine the voltage at V_X increases or decreases as re-

quired to make the differential output voltage equal to zero. This is accomplished by ensuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on any output of Port B will source current into node V_X thus raising the voltage at V_X and making the output differential

more negative. Conversely a logic "0" (0V) will pull current out of node V_X and decrease the voltage causing the differential output to become more positive. For the resistor values shown V_X can move ± 12 mV with a resolution of 50 mV which will null the offset error term to 1 LSB of full-scale for the ADC0801. It is important that the voltage levels that drive the auto-zero resistors be constant. Also for symmetry a logic swing of 0V to 5V is convenient. To achieve this a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.

Functional Description (Continued)



Note 1: $R2 \approx 40.5 R1$

Note 2: Switches are LMC13334 CMOS analog switches.

Note 3: The 9 resistors used in the auto-zero section can be $\pm 5\%$ tolerance.

FIGURE 170 Gain of 100 Differential Transducer Preamp

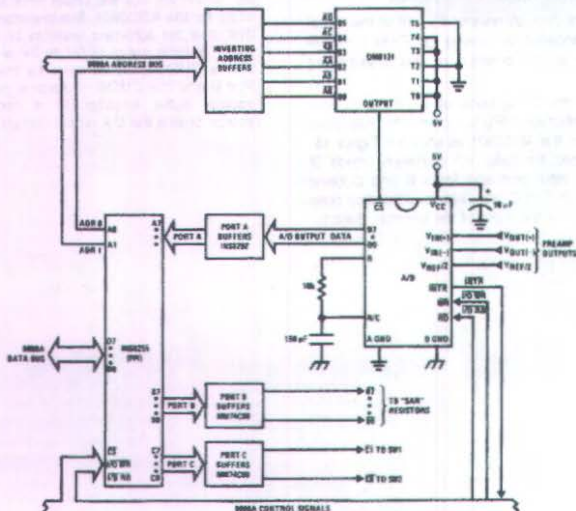


FIGURE 180 Microprocessor Interface Circuitry for Differential Preamp

TLH 9971-27

A flow chart for the zeroing subroutine is shown in Figure 19. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input $V_{IN}(P) \approx V_{IN}(N)$. Also a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically if the data read is zero the differential output voltage is negative so a bit in Port B is cleared to pull V_X more negative which will make the output more positive for the next conversion. If the data read is not zero the output voltage is positive so a bit in Port B is set to make V_X more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in Figure 20. All addresses used are compatible with the BLC 8010 microcomputer system, in particular:

Port A and the ADC0801 are at port address E4

Port B is at port address E5

Port C is at port address E6

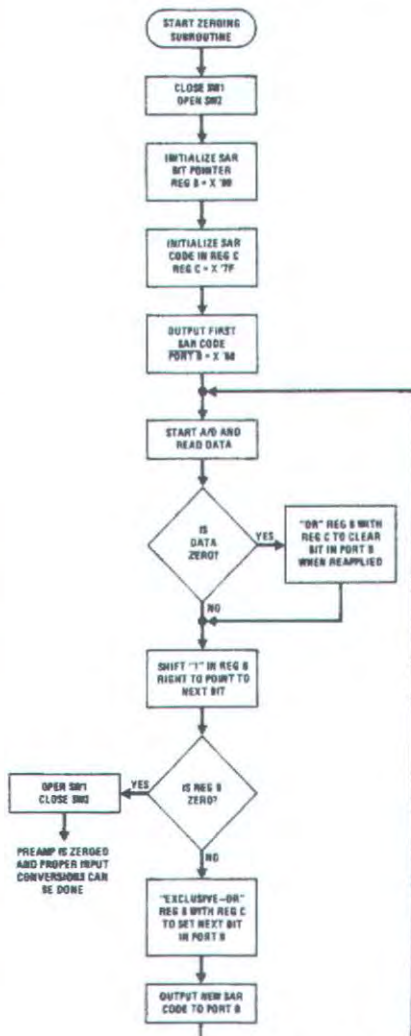
PPI control word port is at port address E7

Program Counter automatically goes to ADDR:F3C3D upon acknowledgement of an interrupt from the ADC0801

503 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor there is obviously a need for the CPU to determine which device requires servicing. Figure 21 and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INT asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence but will input and store valid data from the converters with a priority sequence of A/D 1 being read first A/D 2 second etc. through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the \overline{INT} outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.



TL H 5871-28

FIGURE 190 Flow Chart for Auto-Zero Routine

3D00	3E90	MVI 90		
3D02	D3E7	Out Control Port		Program PPI
3D04	2801	MVI H 01	Auto-Zero Subroutine	
3D06	7C	MOV A/H		
3D07	D3E6	OUT C		Close SW1 open SW2
3D09	0680	MVI B 80		Initialize SAR bit pointer
3D0B	3E7F	MVI A 7F		Initialize SAR code
3D0D	4F	MOV C/A	Return	
3D0E	D3E5	OUT B		Port B 4 SAR code
3D10	31AA3D	LXI SP 3DAA	Start	Dimension stack pointer
3D13	D3E4	OUT A		Start A9D
3D15	FB	IE		
3D16	00	NOP	Loop	Loop until \overline{INT} asserted
3D17	C3163D	JMP Loop		
3D1A	7A	MOV A/D	Auto-Zero	
3D1B	C600	ADI 00		
3D1D	CA2D3D	JZ Set C		Test A9D output data for zero
3D20	78	MOV A/B	Shift B	
3D21	F800	ORI 00		Clear carry
3D23	1F	RAR		Shift '1' in B right one place
3D24	FE00	CPI 00		IsB zero? If yes last approximation has been made
3D26	CA373D	JZ Done		
3D29	47	MOV B/A		
3D2A	C3333D	JMP New C		
3D2D	79	MOV A/C	Set C	
3D2E	B0	ORA B		Set bit in C that is in same position as '1' in B
3D2F	4F	MOV C/A		
3D30	C3203D	JMP Shift B		
3D33	A9	XRA C	New C	Clear bit in C that is in same position as '1' in B
3D34	C30D3D	JMP Return		
3D37	47	MOV B/A	Done	then output new SAR code 4
3D38	7C	MOV A/H		Open SW1/ close SW2 then proceed with program 4 Preamp is now zeroed 4
3D39	EE03	XRI 03		
3D3B	D3E6	OUT C		
3D3D			Normal	

Program for processing proper data values

3C3D	DBE4	IN A	Read A9D Subroutine	Read A9D data
3C3F	EEFF	XRI FF		Invert data
3C41	57	MOV D/A		
3C42	78	MOV A/B		IsB Reg 4 0D If not stay in auto zero subroutine
3C43	E6FF	ANI FF		
3C45	C21A3D	JNZ Auto-Zero		
3C48	C33D3D	JMP Normal		

Note: All numerical values are hexadecimal representations.

FIGURE 200 Software for Auto-Zeroed Differential A/D

503 Multiple A/D Converters in a Z-80 Interrupt Driven Mode (Continued)

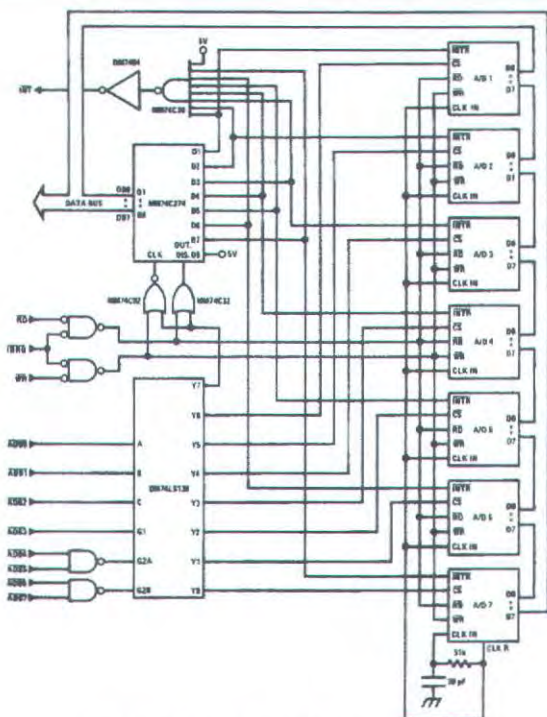
The following notes apply:

- 1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPL is in interrupt mode 1), Hence the subroutine starting address of XD038.
- 2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- 3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- 4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

- 5) The peripherals of concern are mapped into I/O space with the following port assignments:

ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	AD 1
02	AD 2
03	AD 3
04	AD 4
05	AD 5
06	AD 6
07	AD 7

This port address also serves as the A/D identifying word in the program.



TLH 8471-29

FIGURE 210 Multiple A/Ds with Z-80 Type Microprocessor

INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE STATEMENT	COMMENT
0038	E5	PUSH HL	Save contents of all registers affected by this subroutine ⁴
0039	C5	PUSH BC	
003A	F5	PUSH AF	Assumed INT mode 1 earlier set ⁴
003B	21 00 3E	LD (HL)/X3E00	Initialize memory pointer where data will be stored ⁴
003E	0E 01	LD C/ X01	C register will be port ADDR of A/D converters ⁴
0040	D300	OUT X00/ A	Load peripheral status word into 8-bit latch ⁴
0042	DB00	IN A/ X00	Load status word into accumulator ⁴
0044	47	LD B/A	Save the status word ⁴
0045	79	TEST LD A/C	Test to see if the status of all A/D's have been checked ⁴ If so/ exit subroutine
0046	FE 08	CP/ X08	
0048	CA 80 00	JPZ/ DONE	
004B	78	LD A/B	Test a single bit in status word by looking for a '1' to be rotated into the CARRY (an INT is loaded as a '1') ⁴ If CARRY is set then load contents of A/D at port ADDR in C register ⁴
004C	1F	RRA	If CARRY is not set/ increment C register to point to next A/D/ then test next bit in status word ⁴
004D	47	LD B/A	
004E	DA 5500	JPC/ LOAD	Read data from interrupting A/D and invert the data ⁴
0051	0C	INC C	
0052	C3 4500	JP/TEST	
0055	ED 78	LOAD IN A/ (C)	
0057	EE FF	XOR FF	
0059	77	LD (HL)/A	Store the data
005A	2C	INC L	
005B	71	LD (HL)/C	Store A/D identifier (A/D port ADDR) ⁴
005C	2C	INC L	
005D	C3 51 00	JP/NEXT	Test next bit in status word ⁴
0060	F1	POP AF	Re-establish all registers as they were before the interrupt ⁴
0061	C1	POP BC	
0062	E1	POP HL	
0063	C9	RET	Return to original program

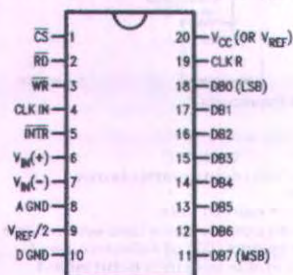
Ordering Information

TEMP RANGE		0 C TO 70 C	0 C TO 70 C	0 C TO 70 C	140 C TO 185 C
ERROR	<input type="checkbox"/> Bit Adjusted	ADC0802LQWM	ADC0802LCV	ADC0802LCN	ADC0801LCN
	<input type="checkbox"/> Bit Unadjusted				ADC0802LCN
	<input type="checkbox"/> Bit Adjusted				ADC0803LCN
	<input type="checkbox"/> 1Bit Unadjusted				ADC0805LCN
PACKAGE OUTLINE		M20B*Small Outline	V20A*Chip Carrier	N20A*Molded DIP	

TEMP RANGE		140 C TO 185 C	155 C TO 125 C
ERROR	<input type="checkbox"/> Bit Adjusted	ADC0801LCJ	ADC0801LJ
	<input type="checkbox"/> Bit Unadjusted	ADC0802LCJ	ADC0802LJ
	<input type="checkbox"/> Bit Adjusted	ADC0803LCJ	ADC0802LJ 883
	<input type="checkbox"/> 1Bit Unadjusted	ADC0804LCJ	
PACKAGE OUTLINE		J20A*Cavity DIP	J20A*Cavity DIP

Connection Diagrams

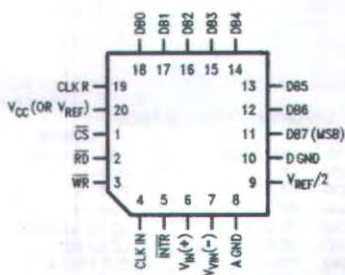
ADC080X
Dual-In-Line and Small Outline (SO) Packages



TLH 5871-30

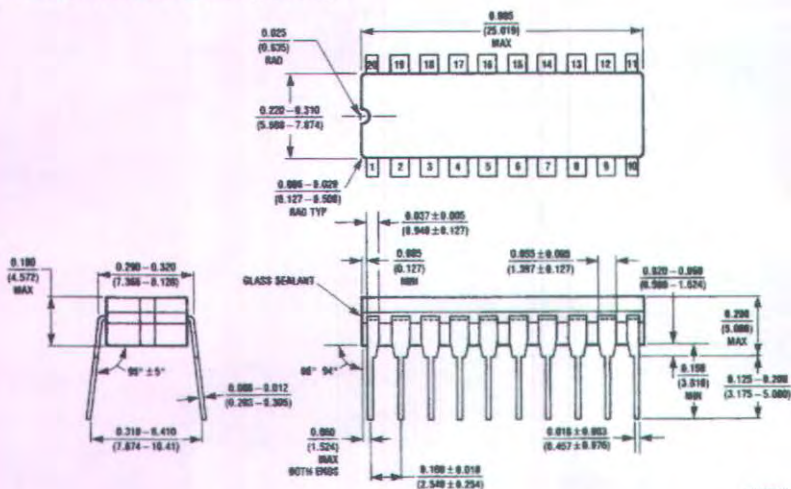
See Ordering Information

ADC080X Molded Chip
Carrier (PCC) Package



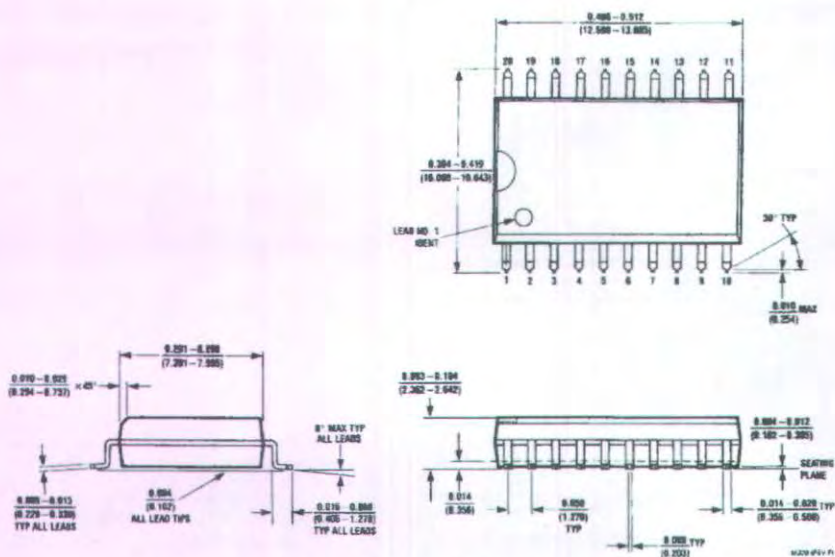
TLH 5871-3

Physical Dimensions inches (millimeters)



J20A (REV 14)

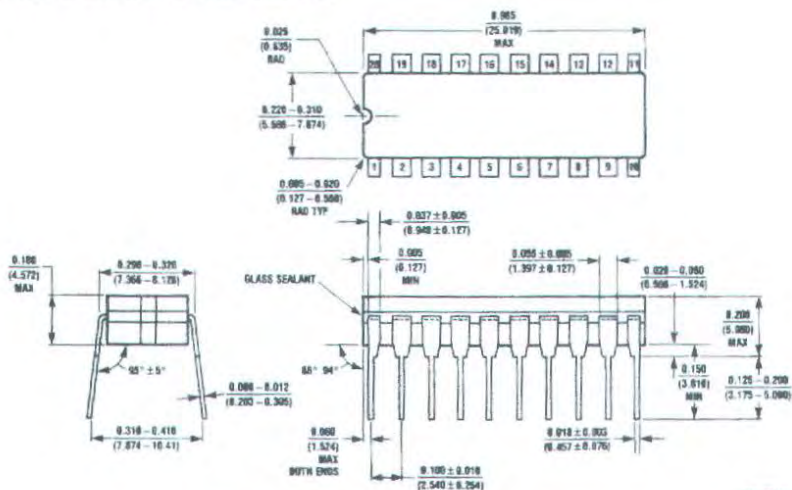
Dual-In-Line Package (J) Order Number ADC0801(LJ) ADC0802(LJ) ADC0801(LCJ) ADC0802(LCJ) ADC0803(LCJ) or ADC0804(LCJ) ADC0802(LJ) 883 or 5962-9096601M/RA NS Package Number J20A



M20 (REV 14)

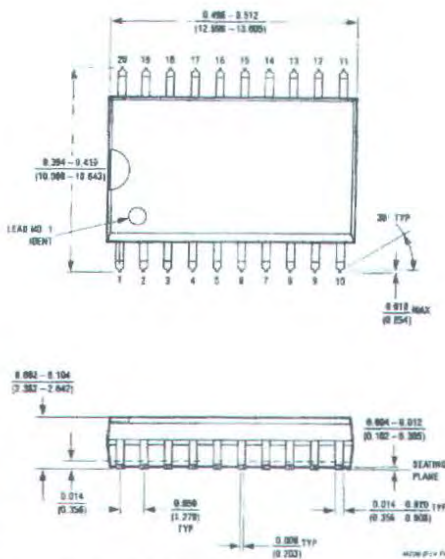
SO Package (M) Order Number ADC0802(LCWM) ADC0803(LCWM) or ADC0804(LCWM) NS Package Number M20B

Physical Dimensions inches (millimeters)



4226a (REV. 81)

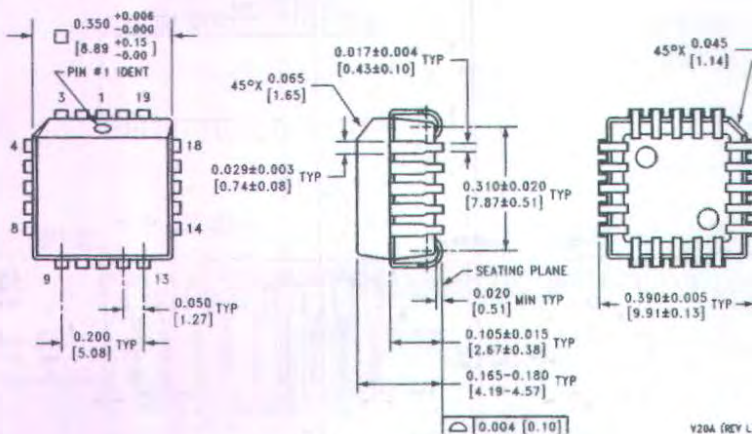
Dual-In-Line Package (J) Order Number ADC0801LJ) ADC0802LJ) ADC0801LCJ) ADC0802LCJ) ADC0803LCJ) or ADC0804LCJ) ADC0802LJ) 883 or 5962-9096601 MRA
NS Package Number J20A



4226b (REV. 81)

SO Package (M) Order Number ADC0802LCWM) ADC0803LCWM) or ADC0804LCWM) NS Package Number M20B

Physical Dimensions inches (millimeters) (Continued)



Molded Chip Carrier Package (V) Order Number
ADC0802LCV ADC0803LCV or ADC0804LCV NS Package
Number V20A

V20A (REV L)

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION, As used herein:

- 1, Life support devices or systems are devices or systems which (a) are intended for surgical implant into the body or (b) support or sustain life and whose failure to perform when properly used in accordance with instructions for use provided in the labeling can be reasonably expected to result in a significant injury to the user,
- 2, A critical component is any component of a support device or system whose failure to perform be reasonably expected to cause the failure of the support device or system or to affect its safety effectiveness,



National Semiconductor Corporation
1111 West Bardin Road
Arlington TX 76017
Tel: 1(800) 272-9969
Fax: 1(800) 432-7018

National Semiconductor Europe
Fax: (249) 0-180-530 85 88
Email: enrage, tevm2,nsc.com
Deutsch: Tel: (249) 0-180-530 85 85
English: Tel: (249) 0-180-532 78 32
Franz: Tel: (249) 0-180-532 83 58
Italiano: Tel: (249) 0-180-534 16 80

National Semiconductor Hong Kong Ltd
13th Floor, Straight Block
Ocean Centre, 5 Canton Rd,
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1800
Fax: (852) 2738-6660

National Semiconductor Japan Ltd
Japan Ltd
Tel: 81-043-290-2
Fax: 81-043-290-2

Ucapan Terima Kasih.....

1. ALLAH SWT yang telah memberiku nafas di dunia ini
2. Alm Ayahanda Eddy Priansyah dan Mamaku tecinta Akhlian Noor, terima kasih segalanya atas doa, kasih sayang, bimbingan dan selalu menyemangati n0va dalam perjuangan n0va untuk meraih impian kita bersama. Walaupun Ayah udah tidak ada disampingku, kasih sayangku akan selalu abadi untukmu.....Terima kasih segalanya, kalian telah memberiku kehidupan di dunia ini.....Doaku akan selalu untukmu Yah....
3. Adikku tercinta Melda dan Nazar, aku sayang kalian. Terima kasih selalu membuatku ceria Selalu menanyakan, "kapan pulang Aa n0va???".....huhuhu aku kangen kalian.....
4. Untuk Aa Ican, makasi banget udah menjadi teman hidupku selama ini...dan slalu memberikan perhatian dan kasih sayang penuh ke aku...membuat hari-hariku penuh canda-tawa..A milion words will not enough.....luv u
5. Buat keluargaku yang diBalikpapan, om-omku, bibi-bibiku, uwa-uwaku dan mamang-mamangku terima kasih telah memberiku dukungan dan kasih sayang kepada aku....
6. Buat teman2ku 04, Aam teman seperjuanganku setiap hari rabu hehehe....yang kdg2 slalu bikn aku pngn jitak kamu slalu ingetin aq dhari rabu,thx atas masukannya. Ucil, Sidig dan salam yang selalu kurepotkan pd rangkaianku hehe...mas farit, elak "gendut", richo, rahmat "maniez", haqi, mustakim, budi, hery, aden, Aulia "arabia", mas awang, virgo, andi "song go kong"..maksu banget ya...kalian telah banyak bantu aku selama kuliah....sukses buat kalian selalu. Kalian akan kurindu ☺☺
7. Cewek 04 cayo buat kalian selalu hehehe ☺....trio jamu "mbak linda, sunyi, dan mbak yani " , lelita dengan keceriaannya ☺, dewi, ifa, mbak esa yang sering ngasih aku semangat dan udh mau dngerin unek2ku, dan lia " gendut "

makasi banyak ya, selama 3 taon kita slalu bersama...huhuhu
aku bakal kangen kalian.....cayo ya☺

8. Buat penghuni J7....chandra, ryan, arif, kiki “gendut”, rasyid, dan mas bayu..makasi kalian telah menghiburku dan thx udah dkaasih ijin masuk kostan buat ngeprint.....
9. Buat penghuni kostku 3E/7A....meymey, mbak fajar, mbak liring, mbak tyas, mbak mila, oink, rara “jongkrang”, mbak dida, tika, machi, mbak kiki dan mbak prei...thx ya dah selalu memberikan keceriaan didalam kost....dan aku g suntuk lagi☺
10. Dhira “nenek” sahabatku thx ya walupun qt jauh, kamu selalu memberikan petuah2mu yang membangkitkan semangatku....nana”bothe”, hisma “manyun”, neno “nixie”.d_nha, fitri, dan seluruh teman2 terbaikkmu thx banget...atas masukan yang kalian berikan kepadaku....Balikpapan is the best...
11. Buat kel HSC/PROD PERTAMINA, om tohang makasi slalu nyemangatin aku walaupun g ada ayah lagi, Kel.besar Om Arsan, Kel Besar Om Yuli special buat dina dan ozy hehe kalian pa kabar???, mas Fajri dan yang tdk bisa aku sebutkan. Terima kasih udah banyak ngasih masukan....
12. Angkatan 2004VIVAT TF!!!!
13. Adek2ku angkatan 2005 dan 2006 semangat ya dek....perjalanan tidak semudah yang kalian pikirkan...coba dan maju terus....
14. Sekali lagi terima kasih atas pihak yang telah banyak terlibat secara langsung dan tak langsung. Membuat semangat ada pada diri ini. Slalu mengingatkan betapa pentingnya detik dalam kehidupan. Membuat inspirasi yang tidak terduga sebelumnya. Serta membuat diri ini tidak malas dalam mencoba....terima kasih.....