



TUGAS AKHIR - TE 141599

PENGARAH SUARA PADA SISTEM AUDIO BERDASARKAN BEDA PHASA

OLLY BANGON BASKHORO
NRP 07111545000055

Dosen Pembimbing
Dr. Muhammad Rivai, ST., MT.
Fajar Budiman, ST., M.Sc.

DEPARTEMEN TEKNIK ELEKTRO
Fakultas Teknologi Elektro
Institut Teknologi Sepuluh Nopember
Surabaya 2018

.....*Halaman ini sengaja dikosongkan*.....



ITS
Institut
Teknologi
Sepuluh Nopember

TUGAS AKHIR - TE 141599

PENGARAH SUARA PADA SISTEM AUDIO BERDASARKAN BEDA PHASA

OLLY BANGON BASKHORO
NRP 07111545000055

Dosen Pembimbing
Dr. Muhammad Rivai, ST., MT.
Fajar Budiman, ST., M.Sc.

DEPARTEMEN TEKNIK ELEKTRO
Fakultas Teknologi Elektro
Institut Teknologi Sepuluh Nopember
Surabaya 2018

.....*Halaman ini sengaja dikosongkan*.....



FINAL PROJECT - TE 141599

SOUND STEERING FOR AUDIO SYSTEM BASED ON PHASE DIFFERENCE

OLLY BANGON BASKHORO
NRP 07111545000055

Supervisor
Dr. Muhammad Rivai, ST., MT.
Fajar Budiman, ST., M.Sc.

DEPARTMENT OF ELECTRICAL ENGINEERING
Faculty of Electrical Technology
Institut Teknologi Sepuluh Nopember
Surabaya 2018

.....*Halaman ini sengaja dikosongkan*.....

PERNYATAAN KEASLIAN TUGAS AKHIR

Dengan ini saya menyatakan bahwa isi sebagian maupun keseluruhan Tugas Akhir saya dengan judul “Pengaruh Suara pada Sistem Audio Berdasarkan Beda Fasa” adalah benar-benar hasil karya intelektual mandiri, diselesaikan tanpa menggunakan bahan-bahan yang tidak diijinkan dan bukan merupakan karya pihak lain yang saya akui sebagai karya sendiri.

Semua referensi yang dikutip maupun dirujuk telah ditulis secara lengkap pada daftar pustaka. Apabila ternyata pernyataan ini tidak benar, saya bersedia menerima sanksi sesuai peraturan yang berlaku.

Surabaya, Januari 2018

OLLY BANGON B.
NRP.07111545000055

.....*Halaman ini sengaja dikosongkan*.....

**Pengaruh Suara pada Sistem Audio Berdasarkan Beda
Fasa**

TUGAS AKHIR

**Diajukan Guna Memenuhi Sebagian Persyaratan Untuk
Memperoleh Gelar Sarjana Teknik
Pada
Bidang Studi Elektronika
Departemen Teknik Elektro
Institut Teknologi Sepuluh Nopember**

Dosen Pembimbing I,



Dr. Muhammad Rivai, ST., MT.
NIP: 196904261994031003

Dosen Pembimbing II,



Fajar Budiman, ST., M.Sc.
NIP: 198103252005011002



.....*Halaman ini sengaja dikosongkan*.....

PENGARAH SUARA PADA SISTEM AUDIO BERDASARKAN BEDA PHASA

Nama : Olly Bangaon Baskhro
Pembimbing I : Dr. Muhammad Rivai, ST., MT.
Pembimbing II : Fajar Budiman S.T.,M.Sc.

ABSTRAK

Pemberian informasi seperti pengumuman, ceramah, dan musik sering dilakukan dalam berbagai acara yang memerlukan ruangan yang luas. Supaya pemberian informasi hanya mencapai target yang dituju dan tidak mengganggu pengunjung lain maka suara harus diarahkan untuk lokasi tertentu. Pada penelitian ini telah dilakukan sebuah perancangan dan realisasi sistem deret speaker dimana intensitas sinyal suara dapat diarahkan dengan sudut kemiringan antara -90° sampai 90° . Untuk menghindari munculnya intensitas suara pada arah yang berlawanan maka jarak antar titik pusat speaker untuk frekuensi 2Khz adalah 8,6 centimeter. Pengarahan suara dilakukan dengan cara memberikan waktu tunda di setiap speaker dengan menggunakan Field Programable Gate Array ALTERA DE-2. Sinyal audio dikonversi dengan menggunakan Analog to Digital Converter 24-bit. Waktu tunda tersebut dihasilkan dengan menggunakan sub program 8-bit D *flip-flop* dengan *clock input* sebesar 1 mikro detik. Data pengujian dengan menggunakan osiloskop menunjukkan untuk waktu tunda pada beda fasa 90° sampai 90° memiliki rata-rata kesalahan 3,5%. Data hasil pengujian lobe deret speaker menunjukkan rerata kesalahan pengarahan suara sebesar 19%. Sistem dapat diterapkan pada berbagai acara komersil sehingga meningkatkan efisiensi penggunaan daya dan mengurangi noise lingkungan.

Kata Kunci : *Audio beam steering*, Beda fasa, Deret Speaker, *Field Programable Gate Array*

.....*Halaman ini sengaja dikosongkan*.....

Sound Steering for Audio System Based on Phase Difference

Name : Olly Bangon Baskhoro
1st Advisor : Dr. Muhammad Rivai, ST., MT.
2nd Advisor : Fajar Budiman, S.T., M.Sc.

ABSTRACT

Information such as announcements, lectures, and music are often given in various events that require a large room. In order to provide information to only reach the intended target and does not disturb other visitors, the sound should be directed to a certain area. In this research speaker array system has been designed on which the sound signal slope angle intensity can be directed in between -90° to 90° . To avoid the emergence of sound intensity in the opposite direction the distance between two adjacent speakers center point for the frequency of 2Khz is 8.6 cm. Sound directing is done by giving time delay on each speaker using Field Programable Gate Array ALTERA DE-2. Audio signal is converted by using a 24-bit Analog to Digital Converter. The delay time is generated by using an 8-bit D flip-flop sub-program with input clock of 1 microsecond. Experiment using oscilloscope shows that time delay has an average error of 3.5% at phase -90° to 90° . The results of sound lobe test indicate that the average error is 19%. The system is applicable to a variety of commercial events to increase the power efficiency and to reduce environmental noise.

Keyword: *Audio beam steering, Array Speakers, Field Programable Gate Array, phase diference*

.....*Halaman ini sengaja dikosongkan*.....

KATA PENGANTAR

Alhamdulillah, puji syukur penulis panjatkan kehadirat Allah SWT karena atas rahmat dan karunia-Nya penulis dapat menyelesaikan penulisan buku Tugas Akhir dengan judul **“Pengaruh Suara pada Sistem Audio Berdasarkan Beda Fasa”**.

Tugas Akhir ini dibuat berdasarkan teori-teori yang didapat selama mengikuti perkuliahan, berbagai literatur penunjang dan pengarahan dosen pembimbing dari awal hingga akhir pengerjaan Tugas Akhir ini.

Penulis menyadari bahwa dalam penulisan skripsi ini banyak mengalami kendala, namun berkat bantuan, bimbingan, dan kerjasama dari berbagai pihak sehingga kendala-kendala tersebut dapat diatasi. Untuk itu pada kesempatan ini penulis menyampaikan banyak terimakasih dan penghargaan setinggi-tingginya kepada:

1. Bapak Dr. Muhammad Rivai, ST., MT. dan Bapak Fajar Budiman, ST., M.Sc selaku dosen pembimbing atas pengarahan dan motivasi yang diberikan selama pengerjaan penelitian tugas akhir ini.
2. Bapak Dr. Ir. Hendra Kusuma, M.Eng.Sc; Bapak Harris Pirngadi; Totok Mujiono, Ir., M.IKom.,Dr.Eng. ; Bapak Astria Nur Irfansyah, ST., M.Eng, PhD dan Muhammad Attamimi, B.Eng, M.Eng, PhD. sebagai dosen penguji atas evaluasi, arahan dan koreksi yang diberikan pada tugas akhir ini.
3. Bapak Dr. Eng. Ardyono Priyadi, ST., M.Eng. selaku kepala departemen teknik elektro, Bapak, dan Ibu staf administrasi teknik elektro its.
4. Kedua orang tua tercinta yaitu Bapak Baidowi dan Ibu Sunarmiati yang memberikan semangat, motivasi, dan doa selama penelitian tugas akhir ini.
5. Teman-teman bidang studi Elektronika di lab B202 dan B402 serta angkatan 2012,2013,2014 dan 2015 Teknik Elektro ITS yang telah memberikan bantuan pada saat pengujian dan pengambilan data.

Penulis menyadari bahwa pada penyusunan laporan tugas akhir ini masih terdapat kekurangan-kekurangan karena keterbatasan kemampuan yang penulis miliki, walaupun demikian penulis berharap tugas akhir ini dapat bermanfaat bagi yang membutuhkannya.

Surabaya,

Olly Bangon Baskhoro

.....*Halaman ini sengaja dikosongkan*.....

DAFTAR ISI

	Halama n
HALAMAN JUDUL.....	i
HALAMAN JUDUL.....	iii
PERNYATAAN KEASLIAN TUGAS AKHIR.....	vii
ABSTRAK.....	xi
<i>ABSTRACT</i>	xiii
KATA PENGANTAR	xv
DAFTAR ISI.....	xvii
DAFTAR GAMBAR	xix
DAFTAR TABEL.....	xxi
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Perumusan Masalah	2
1.3 Tujuan Penelitian	2
1.4 Batasan Masalah	2
1.5 Metodologi Penelitian	2
1.6 Sistematika Penulisan	3
1.7 Relevansi.....	4
BAB II TEORI PENUNJANG.....	5
2.1. Deret Speaker.....	5
2.1.1. Suara pada satu sumber	5
2.1.2. Suara pada deret speaker	5
2.2. <i>Audio Beam Steering</i>	5
2.2.1. Grating Lobe	6
2.3. <i>Field Programable Gate Array</i>	6
2.3.1. Altera DE-2 Training Kit	8
2.4. Power Amplifier Kelas AB	10
2.5. DAC0808.....	13
2.6. SPEAKER.....	14
2.6.1. Impedansi Speaker	15
BAB III	17
PERANCANGAN SISTEM	17
3.1. Diagram Blok Sistem	17
3.2. Perancangan Deret Speaker.....	18
3.3. Perancangan Perangkat Elektrik.....	20
3.3.1. Power Supply.....	20
3.3.2. Rangkaian DAC0808lcn.....	21

3.3.3. Power Amplifier TDA2003.....	21
3.4. Perangkat lunak	22
3.4.1 Perancangan waktu tunda pada FPGA	22
3.4.1. Perancangan <i>clock</i> 1 mikro detik.....	25
3.4.1.1 Perancangan program 8-bit D flip-flop	26
3.4.1.2 Perancangan program waktu tunda dengan Bahasa VHDL	28
BAB IV.....	31
PENGUJIAN DAN ANALISIS SISTEM	31
4.1 Realisasi Desain Deret Speaker	31
4.2 Pengujian Perangkat Keras	32
4.2.1 Pengaturan prosedur <i>upload</i> program ke EEPROM FPGA.....	32
4.2.2 Pengujian Keluaran DAC0808 dengan <i>input</i> sinus.....	35
4.2.3 Pengujian Sinyal yang telah diberi waktu tunda	36
4.2.3.1 Pengujian dengan waktu tunda untuk beda fasa 10°	36
4.2.3.2 Pengujian dengan waktu tunda untuk beda fasa 20°	37
4.2.3.3 Pengujian dengan waktu tunda untuk beda fasa 30°	37
4.2.3.4 Pengujian dengan waktu tunda untuk beda fasa 40°	38
4.2.3.5 Pengujian dengan waktu tunda untuk beda fasa 50°	39
4.2.3.6 Pengujian dengan waktu tunda untuk beda fasa 60°	39
4.2.3.7 Pengujian dengan waktu tunda untuk beda fasa 70°	40
4.2.3.8 Pengujian dengan waktu tunda untuk beda fasa 80°	40
4.2.3.9 Pengujian dengan waktu tunda untuk beda fasa 90°	40
4.2.4 Pengujian Lobe Sistem	41
4.2.4.1 Perhitungan kesalahan pada pengukuran lobe	46
BAB V	49
PENUTUP	49
5.1 Kesimpulan	49
5.2 Saran	49
DAFTAR PUSTAKA	51
LAMPIRAN	53
BIODATA PENULIS.....	67

DAFTAR GAMBAR

Gambar 2.1	<i>Constructive Interference</i>	6
Gambar 2.2	Bagian isi dari FPGA buatan Xilinx.....	7
Gambar 2.3	Logic Cell.....	8
Gambar 2.4	Blok diagram amlifier kelas AB.....	10
Gambar 2.5	Kurva amplifier kelas A dan B.....	11
Gambar 2.6	Rangkaian dasar penguat kelas AB.....	12
Gambar 2.7	Rangkaian DAC R-2R.....	13
Gambar 2.8	DAC0808.....	14
Gambar 2.9	Bagian-bagian speaker.....	15
Gambar 3.1	Diagram Blok Sistem Deret Speaker.....	18
Gambar 3.2	Perancangan jarak anrara speaker.....	19
Gambar 3.3	Perancangan lubang mur.....	20
Gambar 3.4	Rangkaian <i>Power Supply</i>	20
Gambar 3.5	Rangkaian DAC 0808.....	21
Gambar 3.6	Rangkaian Power Amplifier.....	22
Gambar 3.7	Pengarahan suara pada deret speaker.....	23
Gambar 3.8	Segitiga siku – siku dari hasil pengarahan suara..	23
Gambar 3.9	Satu periode <i>clock</i> 1 mikro detik.....	25
Gambar 3.10	Diagram alir program <i>clock</i> 1 mikro detik.....	26
Gambar 3.11	Diagram alir program 8-bit D <i>flip - flop</i>	27
Gambar 3.12	Diagram alir program <i>waktu tunda</i>	28
Gambar 4.1	Sistem Deret Speaker.....	29
Gambar 4.2	Realisasi desain Sistem Deret Speaker.....	30
Gambar 4.3	pin planer pada perangkat lunak quartus.....	30
Gambar 4.4	prosedur <i>upload</i> ke EEPROM FPGA altera DE2.....	31
Gambar 4.5	Program <i>clock</i> 1 mikro detik.....	31
Gambar 4.6	Hasil pengujian <i>clock</i> 1 mikro detik.....	32
Gambar 4.7	(a) sinyal <i>input</i> dari function generator; b) sinyal <i>output</i> dari DAC0808.....	32
Gambar 4.8	<i>input</i> ADC(1) dan <i>output</i> dac(2) dan(3).....	33
Gambar 4.9	hasil sinyal <i>output</i> DAC0808 setelah proses penambahan bit MSB.....	34
Gambar 4.10	Hasil pengujian beda fasa 10°.....	35
Gambar 4.11	Hasil pengujian beda fasa 20°.....	35
Gambar 4.12	Hasil pengujian beda fasa 30°.....	36
Gambar 4.13	Hasil pengujian beda fasa 40°.....	36
Gambar 4.14	Hasil pengujian beda fasa 50°.....	37

Gambar 4.15 Hasil pengujian beda fasa 60°	37
Gambar 4.16 Hasil pengujian beda fasa 70°	38
Gambar 4.17 Hasil pengujian beda fasa 80°	39
Gambar 4.18 Hasil pengujian beda fasa 90°	39
Gambar 4.19 Hasil pengujian lobe untuk beda fasa -70°	40
Gambar 4.20 Hasil pengujian lobe untuk beda fasa 0°	42
Gambar 4.21 Hasil pengujian lobe untuk beda fasa -30°	42
Gambar 4.22 Hasil pengujian lobe untuk beda fasa 30°	43
Gambar 4.23 Hasil pengujian lobe untuk beda fasa 60°	43
Gambar 4.22 Hasil regresi polinomial.....	44
Gambar 4.22 Pengujian lobe sistem dengan TES 1351.....	45

DAFTAR TABEL

Tabel 2.1	alamat pin Swich DE2	9
Tabel 2.2	alamat pin 24 <i>bits</i> DAC	10
Tabel 2.3	alamat pin <i>clock input</i>	10
Tabel 3.1	Hasil perhitungan jarak titik pusat speaker.	19
Tabel 3.2	hasil perhitungan <i>waktu tunda</i>	24
Tabel 4.1	perbedaan <i>bits</i> data signed dan unsigned	35
Table 4.2.a	hasil pengujian dengan sound level meter pada kemiringan sistem 70°.	41
Table 4.2.b	hasil pengujian dengan sound level meter pada kemiringan sistem -70°.	42
Table 4.3	Hasil Pengukuran lobe dengan input suara audio dengan frekuensi maksimum 2kHz.	43
Table 4.4	Hasil Perhitungan kesalahan sistem pengarahan pada jarak pengukuran 1 m.	45
Table 4.5	Hasil Perhitungan kesalahan sistem pengarahan pada jarak pengukuran 2 m.	45
Table 4.6	Hasil Perhitungan kesalahan sistem pengarahan pada jarak pengukuran 4 m.	45

.....*Halaman ini sengaja dikosongkan*.....

BAB I

PENDAHULUAN

1.1 Latar Belakang

Selama dekade terakhir ini banyak dilakukan pengembangan pada sistem audio. Hal ini bertujuan untuk mempermudah pertukaran informasi baik itu secara langsung maupun tidak langsung. Pemberian informasi sendiri sering digunakan dalam acara – acara komersil seperti pameran, perlombaan, dan juga konser.

Audiens yang banyak dalam gedung olah raga, konser, dan aula perlombaan memerlukan sistem penguat suara yang memadai. konfigurasi speaker yang tetap tidak optimal karena posisi audiens selalu berubah. Intensitas suara yang difokuskan ke audiens akan membuat sistem lebih baik, karena pantulan suara yang tidak diinginkan akan meningkatkan gema dan menurunkan kualitas suara [1]. Oleh karenanya diperlukan penguat suara yang dapat diarahkan, contohnya seperti seorang pemilik stand ingin memberikan informasi pada area tertentu saja, kemudian pada perlombaan panitia ingin memberikan informasi ke blok tertentu dan tidak ingin mengganggu blok lain sedangkan penguat suara yang ada hanya di panggung, oleh karenanya diperlukan penguat suara yang dapat diarahkan, akan tetapi bila menggunakan penguat suara yang diarahkan dengan menggunakan motor tidaklah memungkinkan dikarenakan akan mengganggu pengkabelan dan membutuhkan tempat yang lebih luas.

Solusi yang ditawarkan adalah deret speaker yang merupakan salah satu pengembangan sistem penguat suara audio. Deret speaker adalah susunan dari elemen speaker yang identik, dan disusun berjajar biasanya secara vertikal. Keunggulan dari deret speaker adalah sinyal suara dapat diarahkan berdasarkan susunan speaker yang digunakan, hal ini bertujuan mengatur panjang gelombang suara sehingga sama saat diterima pada titik tujuan dan suara dapat terdengar jelas saat di titik tujuan, untuk mempermudah pengarahannya tanpa merubah susunan speaker maka dibutuhkan pengaturan *waktu tunda* pada tiap speaker supaya gelombang tetap dapat sampai pada titik tujuan dengan fasa yang sama.

Untuk dapat mengatur *waktu tunda* pada tiap speaker dengan menggunakan sebuah mikrokontroler, dibutuhkan *waktu tunda* secara digital.

1.2 Perumusan Masalah

Permasalahan pada penelitian ini adalah sebagai berikut :

1. Bagaimana cara mengarahkan energi suara.
2. Bagaimana pengaturan *waktu tunda* secara digital.

1.3 Tujuan Penelitian

Tujuan penelitian ini adalah sebagai berikut :

1. Penggunaan deret speaker yang mana pada setiap speaker memiliki *waktu tunda* yang berbeda dan dapat diatur.
2. Penggunaan FPGA untuk pembuat program *waktu tunda* dengan VHDL

1.4 Batasan Masalah

Batasan masalah dari penelitian ini adalah sebagai berikut:

1. Pengarahan suara pada deret speaker dilakukan secara manual menggunakan modul altera DE2.
2. Masukan sistem yang digunakan pada penelitian ini adalah suara dengan maksimum frekuensi 2kHz

1.5 Metodologi Penelitian

Dalam penyelesaian penelitian ini digunakan metodologi sebagai berikut:

1. Studi literatur Pengaturan *waktu tunda* pada FPGA
Pada tahap ini dilakukan pembelajaran pembuatan waktu tunda pada FPGA termasuk mempelajari VHDL.
2. Studi Literatur *Phased Lenear Array*
Pada tahap ini dilakukan pembelajaran mengenai deret speaker termasuk cara pembuatannya.
3. Perancangan Sistem Secara Keseluruhan
Pada tahap ini, ini akan dilakukan perancangan system secara keseluruhan yaitu derective speaker (perangkat keras) dan program waktu tunda pada FPGA (perangkat lunak). Perancangan perangkat keras meliputi perancangan deret speaker, Power Amplifier kelas AB,ADC , dan DAC. Perancangan perangkat lunak meliputi pembuatan *flowchart* dari program waktu tunda pada perangkat FPGA.
4. Perancangan Deret Speaer
Pada tahap ini dilakukan perancangan deret speaker termasuk perancangan bentuk kotak yang akan digunakan untuk deret speaker. Speaker yang digunakan berukuran 7.6 cm, 3 watt 5 ohm. Bahan yang

digunakan untuk kotak deret speaker menggunakan akrilik dengan tebal 5mm.

5. Pengujian dan Perbaikan Deret Speaker

Pada tahap ini dilakukan pengujian pada masing-masing speaker pada deret speaker dengan memberikan masukan suara pada masing-masing speaker untuk melihat apakah dapat mengeluarkan suara bila speaker tidak mengeluarkan suara maka dilakukan penggantian speaker pada kotak akrilik yang sudah dibuat, dan pengukuran jarak antar speaker apakah sudah sama.

6. Perancangan Perangkat Lunak Waktu tunda Menggunakan FPGA

Pada tahap ini akan dilakukan perancangan perangkat lunak untuk menunda dari masukan data yang sudah disampling dengan menggunakan VHDL kemudian dibuat blok gerbang untuk mempermudah perbaikan. Untuk lebih jelasnya dapat dilihat pada gambar 12 *flowchart* perangkat lunak FPGA.

7. Pengujian dan Perbaikan Perangkat Lunak pada FPGA

Pada tahap ini dilakukan *debugging* program untuk pengecekan *kesalahan* pada program yang telah dibuat dan pengambilan data untuk buku penelitian.

8. Pengujian dan Perbaikan Keseluruhan system

Pada tahap ini dilakukan implementasi perangkat lunak dengan keseluruhan perangkat keras yang telah dibuat. Pengujian dilakukan dengan menguji suara yang keluar dari deret speaker dan dilakukan pengambilan data untuk sudut kemiringan yang berbeda.

9. Penulisan Laporan Penelitian

Tahap penulisan laporan penelitian dilakukan pada saat tahap pengujian sistem dimulai serta setelahnya.

10. Penyusunan Jurnal Ilmiah POMITS

Tahap penulisan jurnal ilmiah dilakukan pada akhir dari Penelitian dengan menggunakan *template* yang ada pada situs *web* POMITS.

1.6 Sistematika Penulisan

Laporan penelitian ini terdiri dari Lima Bab dengan sistematika penulisan sebagai berikut:

- Bab 1: Pendahuluan

Bab ini meliputi latar belakang, perumusan masalah, tujuan penelitian, batasan masalah, metodologi, sistematika penulisan, dan relevansi.

- Bab 2: Teori Penunjang

Pada bab ini dikemukakan berbagai macam dasar teori yang berhubungan dengan permasalahan yang dibahas, antara lain meliputi teori tentang pengenalan Deret Speaker, Audio Beam Steering, FPGA, Altera DE2 Training Kit, Amplifier, DAC 0808, dan Speaker.

- Bab 3: Perancangan Sistem

Bab ini menjelaskan tentang perencanaan sistem perangkat keras elektrik dan mekanik, serta perangkat lunak. Bab ini juga berisi menjelaskan tentang prosedur pengujian yang dilakukan dalam penelitian.

- Bab 4: Pengujian dan Pembahasan Sistem

Bab ini menjelaskan tentang hasil yang didapat dari pengujian tiap Blok sistem secara keseluruhan

- Bab 5: Penutup

Bab ini menjelaskan tentang kesimpulan meliputi kekurangan-kekurangan pada kerja alat dari hasil analisa serta saran untuk pengembangan ke depan.

1.7 Relevansi

Matakuliah yang mendukung penelitian ini adalah Rangkaian Listrik, Rangkaian Digital, Perancangan Komponen Terprogram, Sensor dan Aktuator, Teknik Akuisisi Data dan beberapa referensi tentang pemrograman fpga. Hasil akhir penelitian ini berupa prototype yang diharapkan dapat dikembangkan dan diimplementasikan sebagai alat penguat suara yang dapat diarahkan untuk memberikan informasi pada daerah tertentu yang diinginkan dengan jelas

BAB II

TEORI PENUNJANG

2.1. Deret Speaker

Deret speaker merupakan sejumlah elemen speaker yang biasanya identik dan disusun dalam 1 garis biasa dikenal dengan line array speaker. Teori dari deret speaker didasarkan pada geometri dan eksperimen pada bidang bebas dimana suara dapat menyebar secara bebas dari faktor lingkungan seperti gangguan pantulan pada ruangan dan pembelokan arah dikarenakan temperature, Deret speaker juga sering digunakan di area local atau auditorium untuk penguatan suara terarah [2].

2.1.1. Suara pada satu sumber

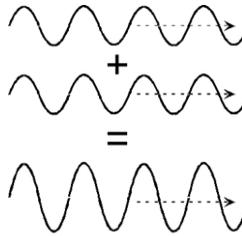
Speaker tunggal atau suara dari satu sumber merupakan speaker yang memiliki keunggulan penyebaran yang luas, dan ukuran speaker bervariasi. Speaker tunggal memiliki tingkat penyebaran sesuai ukurannya dan desain frekuensi kerjanya. Tetapi bila diinginkan suara dapat sampai pada jarak dan pendengar yang banyak. Suara satu sumber memerlukan daya yang besar bila dibandingkan output sejumlah speaker secara bersamaan.

2.1.2. Suara pada deret speaker

Suara deret speaker memiliki pola yang dapat diatur penyebarannya (main lobe), selain itu suara deret speaker dapat terdengar sama kuatnya dengan suara satu sumber dengan daya yang lebih kecil, interferensi suara satu sama lain mengakibatkan suara pada deret speaker tidak menyebar melainkan terfokus sehingga jangkauan suara lebih jauh dengan daya yang lebih kecil.

2.2. Audio Beam Steering

Audio beam steering merupakan teknik untuk mengarahkan sinyal suara dengan menggunakan perangkat keluaran berupa speaker yang dijejer tanpa menggerakkan speaker tersebut [3]. Constructive interference merupakan interferensi dari dua gelombang atau lebih dengan frekuensi dan fasa yang sama, menghasilkan penguatan dan amplitudo berupa total kedua gelombang.



Gambar 2.2 *Constructive Interference* [4].

Apabila sinyal yang keluar dari dua buah speaker koheren atau keluar bersamaan dengan sudut fasa yang sama, maka sinyal akan saling menguatkan pada arah lurus di depan speaker. Jika arah yang diinginkan oleh pengguna tidak lurus maka akan terdapat perbedaan panjang gelombang suara yang keluar dari speaker, sehingga jika diinginkan terjadi constructive interference pada kemiringan sudut tertentu akan diperlukan waktu tunda pada speaker supaya panjang gelombang yang sampai ke titik pendengar sama.

2.2.1. Grating Lobe

Ketika suara diarahkan menuju arah tertentu, terdapat kemungkinan akan muncul suara dengan intensitas yang sama kuatnya pada arah yang lain. Fenomena yang terjadi pada barisan speaker tersebut disebut grating lobes [4]. Fenomena ini terjadi karena jarak antar speaker terlalu jauh, melebihi panjang gelombang. Hal tersebut bisa diatasi dengan cara mengurangi jarak antar speaker.

2.3. Field Programmable Gate Array

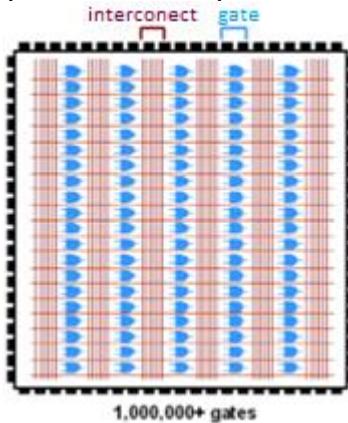
Field- Programmable Gate Array atau disingkat FPGA adalah komponen elektronika dan semikonduktor yang mempunyai komponen gerbang terprogram (programmable logic) dan sambungan terprogram. Secara umum FPGA terdiri dari logic block dan blok *input*/ouput. Semua blok didalamnya dapat diprogram sampai pada skala tertentu. Untuk generasi FPGA terbaru memiliki kemampuan yang tinggi dalam proses logika dengan konfigurasi mencapai 550MHz, dibandingkan dengan mikrokontroler yang hanya mampu sampai 24 Mhz [5].

Secara umum FPGA dapat digunakan untuk perancangan hardware digital yang terprogram seperti flip-flop, counter, shift register, dan komponen - komponen elektronika lainnya. Bila dilihat dari segi bentuk

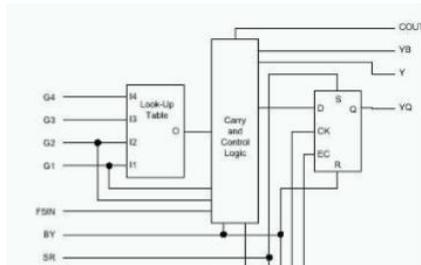
FPGA tidak berbeda jauh dengan bentuk IC lainnya. Hanya saja, bila dilihat fungsi dan rangkaiannya, FPGA memiliki bagian yang berbeda dengan komponen IC pada umumnya. Berikut isi dari FPGA pada umumnya::

- Configure Logic Blocks (CLB). Bisa dikatakan, bagian inilah yang akan memproses segala bentuk rangkaian logika yang dibuat oleh user atau pemakai.
- I/O Blocks. Sebagai interface antara external pin dari device dan internal user logic.
- Programmable Interconnect. Bagian ini berisi wire segments dan programmable *switches*, selain itu bagian ini juga akan menghubungkan antara CLB satu dengan CLB lainnya.

Sebuah FPGA tersusun dari sebuah bagian yang bernama “logic-cell” (Logic Blocks), yang kemudian pada perkembangannya saling terhubung satu sama lain. Kumpulan-kumpulan dari logic cell ini berjumlah ratusan bahkan ribuan dan membentuk suatu fungsi yang kompleks. Sebuah logic cell pada dasarnya terdiri atas sebuah lookup table(LUT), D flip-flop, dan sebuah multiplexer 2 ke 1.



Gambar 2.2 Bagian isi dari FPGA buatan Xilinx [11].



Gambar 2.3 Logic Cell [11].

Look Up Table (LUT) merupakan sejenis RAM (Random Access Memory) yang berkapasitas kecil. Di dalam FPGA, LUT ini memegang peranan penting dalam proses implementasi fungsi-fungsi logika. Selain itu, LUT ini berciri khas memiliki *output* sejumlah 4 buah. D *Flip - flop*. Seperti yang diketahui, flip-flop (Bistable Multivibrator) adalah suatu rangkaian sel biner yang memiliki dua buah *output* yang saling berkebalikan keadaannya (0 atau 1). Di dalam FPGA, terdapat sebuah jenis flip-flop yaitu D flip-flop atau Data *flip - flop*. Rangkaian D flip-flop ini berfungsi sebagai rangkaian logika sekuensial dimana di dalamnya terdapat peralatan memori dan pewaktu. Multiplexer 2 ke 1. Sebuah multiplexer adalah piranti digital yang bekerja sebagai *switch* (saklar) yang menghubungkan data dari n masukkan ke sebuah keluaran. Multiplexer berfungsi untuk memilih beberapa *output* untuk hanya menjadi 1 *output* saja. Di dalam FPGA, terdapat rangkaian multiplexer 2 ke 1 yang artinya, multiplexer tersebut memiliki 2 buah *output* dan 1 buah *output*.

2.3.1. Altera DE-2 Training Kit

Altera DE2 training kit merupakan perangkat Field Programmable Gate Array yang dikembangkan untuk memudahkan penggunaan FPGA untuk edukasi, DE2 ini dirancang dengan desain dan tataletak yang seksama. DE2 board Ini menggunakan teknologi mutakhir di perangkat keras dan perangkat CAD untuk mengekspos perancang ke berbagai topik. Board ini menawarkan seperangkat fitur yang kaya yang membuatnya cocok untuk digunakan di lingkungan laboratorium untuk kursus universitas dan perguruan tinggi, untuk berbagai proyek desain, dan juga untuk pengembangan sistem digital yang canggih. Altera DE2 dapat digunakan untuk pecangan komponen digital seperti Jk flip-flop,

Tabel 2.1 Plamat pin *Swich* DE2 [13].

Signal Name	FPGA Pin No.	Description
SW[0]	PIN_N25	DPDT Switch[0]
SW[1]	PIN_N26	DPDT Switch[1]
SW[2]	PIN_P25	DPDT Switch[2]
SW[3]	PIN_AE14	DPDT Switch[3]
SW[4]	PIN_AF14	DPDT Switch[4]
SW[5]	PIN_AD13	DPDT Switch[5]
SW[6]	PIN_AC13	DPDT Switch[6]
SW[7]	PIN_C13	DPDT Switch[7]
SW[8]	PIN_B13	DPDT Switch[8]
SW[9]	PIN_A13	DPDT Switch[9]
SW[10]	PIN_N1	DPDT Switch[10]
SW[11]	PIN_P1	DPDT Switch[11]
SW[12]	PIN_P2	DPDT Switch[12]
SW[13]	PIN_T7	DPDT Switch[13]
SW[14]	PIN_U3	DPDT Switch[14]
SW[15]	PIN_U4	DPDT Switch[15]
SW[16]	PIN_V1	DPDT Switch[16]
SW[17]	PIN_V2	DPDT Switch[17]

shift register, dan *counter* [6]. Altera menyediakan seperangkat bahan pendukung untuk papan DE2, termasuk tutorial, latihan laboratorium siap sedia, dan demonstrasi ilustratif. Tabel 2.1, 2.2, dan 2.3 menunjukkan alamat pin altera DE2.

Tabel 2.2 alamat pin 24-bit DAC [13]

Signal Name	FPGA Pin No.	Description
AUD_ADCLRCK	PIN_C5	Audio CODEC ADC LR Clock
AUD_ADCDAT	PIN_B5	Audio CODEC ADC Data
AUD_DACLK	PIN_C6	Audio CODEC DAC LR Clock
AUD_DACDAT	PIN_A4	Audio CODEC DAC Data
AUD_XCK	PIN_A5	Audio CODEC Chip Clock
AUD_BCLK	PIN_B4	Audio CODEC Bit-Stream Clock
I2C_SCLK	PIN_A6	I2C Data
I2C_SDAT	PIN_B6	I2C Clock

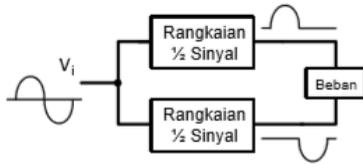
Tabel 2.3 alamat pin *clock input* [13]

Signal Name	FPGA Pin No.	Description
CLOCK_27	PIN_D12, PIN_E12	27 MHz clock input
CLOCK_50	PIN_L1	50 MHz clock input
CLOCK_24	PIN_A12, PIN_B12	24 MHz clock input from USB Blaster
EXT_CLOCK	PIN_M21	External (SMA) clock input

2.4. Power Amplifier Kelas AB

Rangkaian dasar penguat klas B menggunakan dua transistor, yang satu transistor jenis NPN dan yang satunya lagi transistor jenis PNP. Emitor kedua transistor tersebut berhubungan dengan tahanan beban, R L. Sedangkan sinyal *input* dimasukkan pada basis dari kedua transistor tersebut [7].

Jika pada power amplifier Kelas A menghasilkan rangkaian bias yang paling stabil, tapi sangat memerlukan rating daya yang besar, dan adanya aliran arus tanpa sinyal yang menyebabkan pemborosan yang tidak berguna. Untuk menekan pemborosan itu digunakan rangkaian penguat balans (*push-pull*) Kelas B, yaitu rangkaian dengan dua transistor dimana kedua transistor dibias pada cut off. dimana jika menggunakan amplifier kelas A memiliki efisiensi daya yang rendah ($\pm 25\%$) tetapi memiliki sinyal keluaran yang halus tanpa ada *cross over*, Dan jika

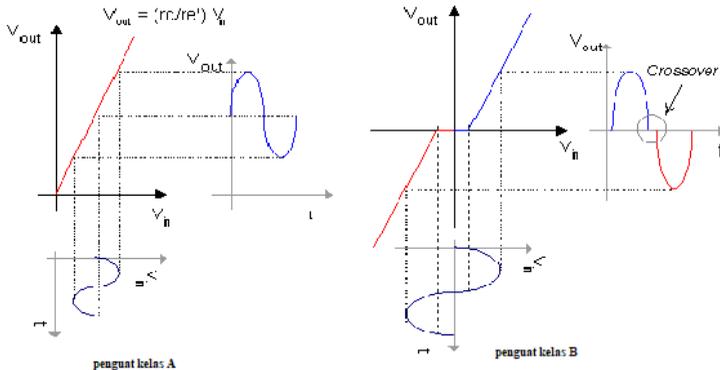


Gambar 2.4 blok amplifier kelas AB [10].

menggunakan amplifier kelas B yang memiliki efisiensi tinggi tetapi terdapat cross over. Secara blok diagram dapat dilihat pada gambar 2.4.

Rangkaian ini bekerja secara bergantian dimana saat $\frac{1}{2}$ gelombang positif maka rangkaian bagian atas yang bekerja dan meneruskan ke beban. Dan saat $\frac{1}{2}$ gelombang negatif rangkaian bagian bawah yang bekerja dan meneruskan ke beban. Karena rangkaian bekerja pada daerah cut off maka tidak ada daya yang terbuang pada keadaan standby.

Untuk menghindari distorsi crossover, maka basis emitter kedua transistor diberi bias maju sedikit (0.2 atau 0.7) sehingga jika sinyal ac diberikan pada basis maka arus kolektor mulai mengalir dengan cepat. Kondisi ini dinyatakan sebagai kelas AB. Ini diperoleh dengan menambahkan tahanan pembias dimana R1 dan R2 dipilih agar Q1 dan Q2 titik kerjanya dekat dengan cut off. Pada penguat akhir, salah satu cara mengatasi masalah cross-over adalah dengan menambah filter cross-over (filter pasif L dan C) pada output amplifier. Cara lain untuk mengatasi cross-over adalah dengan menggeser

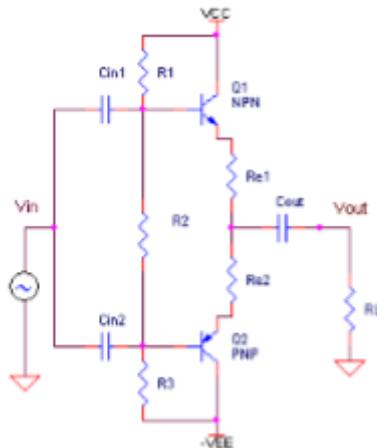


Gambar 2.5 Kurva amplifier kelas A dan B [10]

sedikit titik Q pada garis beban dari titik B ke titik AB. Ini tujuannya tidak lain adalah agar pada saat transisi sinyal dari fasa positif ke fasa negatif dan sebaliknya, terjadi overlap diantara transistor Q1 dan Q2. Pada saat itu, transistor Q1 masih aktif sementara transistor Q2 mulai aktif dan demikian juga pada fasa sebaliknya. Penguat kelas AB merupakan kompromi antara efisiensi (sekitar 50% - 75%) dengan mempertahankan fidelitas sinyal keluaran. Ada beberapa teknik yang sering dipakai untuk menggeser titik Q sedikit di atas daerah cutoff.

Salah satu contohnya adalah seperti gambar 2.5. Resistor R2 berfungsi memberi tegangan jepit antara base transistor Q1 dan Q2. Nilai R2 untuk memberikan arus bias tertentu bagi kedua transistor. Tegangan jepit pada R2 dihitung dari pembagi tegangan R1, R2 dan R3 dengan rumus $V_{R2} = (2V_{CC}) R2 / (R1+R2+R3)$. Lalu tentukan arus base dan lihat relasinya dengan arus I_c dan I_e sehingga dapat dihitung relasinya dengan tegangan jepit R2 dari rumus $V_{R2} = 2 \times 0.7 + I_e (R_{e1} + R_{e2})$.

Penguat kelas AB ternyata punya masalah dengan teknik ini, sebab akan terjadi penggemukan sinyal pada kedua transistornya aktif ketika saat transisi. Masalah ini disebut dengan gummying. Untuk menghindari masalah gummying, dibuatlah teknik yang hanya mengaktifkan salah satu transistor saja pada saat transisi.



Gambar 2.6 Rangkaian dasar penguat kelas AB [10].

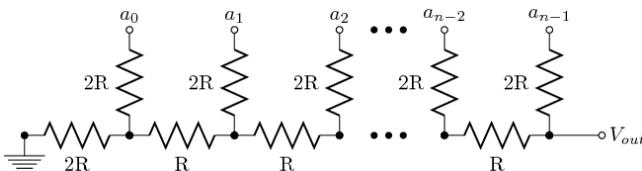
Caranya adalah dengan membuat salah satu transistornya bekerja pada kelas AB dan satu lainnya bekerja pada kelas B. Teknik ini bisa dengan memberi bias konstan pada salah satu transistornya yang bekerja pada kelas AB (biasanya selalu yang PNP). Caranya dengan menganjal base transistor tersebut menggunakan deretan dioda atau susunan satu transistor aktif. Maka kadang penguat seperti ini disebut juga dengan penguat kelas AB plus B atau bisa saja diklaim sebagai kelas AB saja atau kelas B karena dasarnya adalah Power Amplifier kelas B. Penguat kelas AB terlanjur memiliki konotasi lebih baik dari kelas A dan B. Namun yang penting adalah dengan teknik-teknik ini tujuan untuk mendapatkan efisiensi dan fidelitas yang lebih baik dapat terpenuhi.

2.5. DAC0808

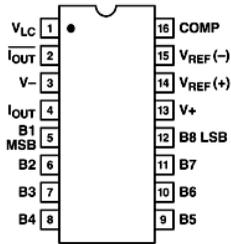
Konverter digital ke analog adalah perangkat yang banyak digunakan untuk mengubah data digital menjadi sinyal analog. Dua metode untuk menciptakan DAC adalah *binary weighted* dan *R-2R ladder*. DAC 0808 yang menggunakan metode R-2R dapat mencapai tingkat presisi yang tinggi dalam konversi data. Kriteria pertama untuk menilai DAC adalah resolusinya, yang merupakan fungsi dari jumlah *input* biner [6], contoh dari rangkaian R-2R *ladder* dapat dilihat pada gambar 2.6.

IC DAC 0808 ini dilengkapi dengan pin kontrol tegangan referensi yang berfungsi sebagai *adjustment output* DAC terhadap data *output* yang diberikan.

- *Relative accuracy*: $\pm 0.19\%$ maksimal *kesalahan*
- *Full scale current match*: ± 1 LSB typ
- *Fast settling time*: 150 ns typ
- *High speed multiplying input slew rate*: 8 mA/ μ s
- *Power supply voltage range*: $\pm 4.5V$ to $\pm 18V$
- Konsumsi power rendah yaitu: 33 mW pada $\pm 5V$



Gambar 2.7 Rangkaian DAC R-2R [14].



Gambar 2.8 DAC0808 [12].

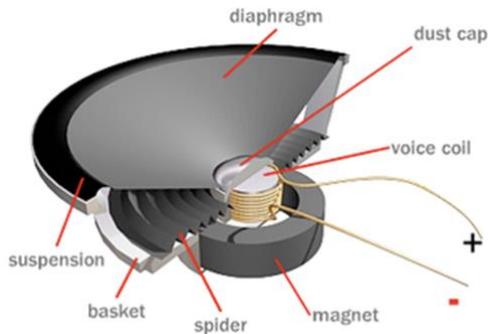
2.6. SPEAKER

Speaker merupakan sebuah transduser elektroacoustical yang mengubah sinyal listrik ke bentuk getaran suara. Speaker adalah mesin pengubah terakhir atau kebalikan dari mikropon. Speaker membawa sinyal listrik dan mengubahnya kembali menjadi getaran-getaran fisik untuk menghasilkan gelombang-gelombang suara.

Loudspeaker hampir selalu membatasi elemen fidelitas dari reproduksi suara dalam salah satu rumah atau teater. Dalam tingkatan lain reproduksi suara kebanyakan dikembangkan dari elektronik dan komponen elektronik tingkat tinggi. Loudspeaker meliputi proses mekanis dimana sinyal audio dikuatkan harus dipindahkan suatu konus atau piranti mekanis lain untuk menghasilkan suara seperti gelombang suara aslinya. Proses ini meliputi banyak kesulitan dan biasanya dari langkah-langkah reproduksi yang

sangat tidak sempurna. Hati-hati dalam memilih speaker. Beberapa gagasan dasar tentang enclosure speaker mungkin membantu menambah wawasan. Sekali sudah memilih suatu pengeras suara baik dari suatu pabrikan ternama dan dibayar suatu harga baik, mungkin mengira akan mendapatkan reproduksi suara baik. Tetapi tidak akan didapatkan tanpa suatu enclosure yang baik. Enclosure adalah bagian penting dari produksi suara karena dari permasalahan berikut berkaitan dengan radiasi langsung loudspeaker.

Dalam speaker terdapat sekat rongga tipis, membran agak kaku diletakkan ditengah-tengah magnet. Magnet menginduksi membran hingga bergetar dan menghasikan suara. Speaker ini mengubah sinyal listrik menjadi getaran suara sehingga dapat didengar manusia. Secara singkat bagian yang terpenting dari speaker adalah : konus (cone), suspensi, kumparan suara (voice coil), dan magnet.



Gambar 2.90 Bagian-bagian speaker [9]

Perubahan medan magnet di dalam speaker akan berinteraksi dengan medan konstan magnet yang menyebabkan kumparan bergerak sebagai reaksi akibat ada tidaknya arus. Konus ikut bergerak akibat kumparan suara bergerak sehingga pada udara sekitar konus akan terbentuk gelombang tekanan. Gelombang inilah yang terdengar sebagai bunyi.

2.6.1. Impedansi Speaker

Speaker bekerja menggunakan arus bolak-balik (*Alternating Current*, AC). Impedansi adalah ukuran resistansi pada sumber arus AC. Jadi secara sederhana impedansi adalah resistansi yang lebih kompleks dan akurat pada arus AC. Walaupun dalam speaker terdapat impedansi dan tidak mempengaruhi kualitas secara keseluruhan, tetapi secara otomatis akan mempengaruhi kerja sebuah sistem audio. [9]

Speaker biasanya mempunyai impedansi sekitar 4 ohm, 8 ohm dan sebagainya. Dalam elektronika, Hambatan = Resistensi (R) sedangkan Impedansi memiliki lambang Z. Namun keduanya memiliki satuan yang sama yaitu 'ohm'. Impedansi berhubungan dengan arus. Semakin besar impedansi maka akan semakin kecil arus yang bisa lewat, dan sebaliknya. Seberapa besar arus yang bisa mengalir ternyata mempengaruhi daya maksimal yang bisa dikeluarkan oleh suatu rangkaian. Jadi, daya maksimal yang bisa dikeluarkan ini ternyata ada hubungannya dengan volume kekuatan suara maksimal yang bisa dikeluarkan

.....*Halaman ini sengaja dikosongkan*.....

BAB III

PERANCANGAN SISTEM

Perancangan sistem meliputi perangkat keras dan perangkat lunak. Perangkat keras terbagi meliputi mekanik kerangka Deret speaker, perangkat elektrik *power supply*, *Power Amplifier*, dan Rangkaian DAC0808. Perangkat mekanik dirancang dengan perangkat elektrik yang akan diaplikasikan pada system deret speaker. Sehingga Deret Speaker dapat mengeluarkan suara sesuai kemiringan tetha yang diinginkan. Perangkat elektrik yang akan digunakan antara lain Rangkaian DAC0808, *build-in board* FPGA altera DE-2, dan rangkaian penguat amplifier kelas AB.

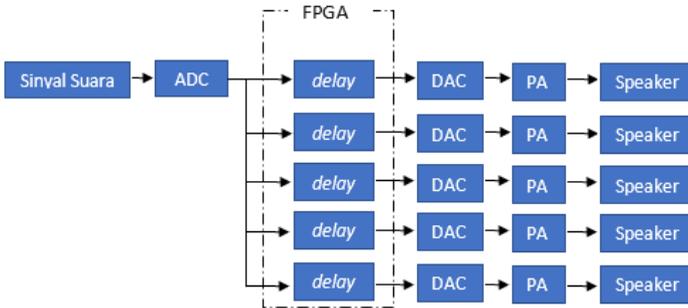
Perangkat lunak meliputi perancangan program waktu tunda *generator* menggunakan perangkat lunak quartus 13.0 web edition dengan bahasa VHDL, program *build-in* pembacaan Wolfson WM8731 24-bit dari altera *example*, dan program VHDL komtrol menggunakan *switch* untuk mengganti nilai waktu tunda yang ditamplkan pada seven segment. Bab ini menjelaskan secara keseluruhan dan desain di setiap blok yang ada.

3.1. Diagram Blok Sistem

Secara umum sistem ini terdiri dari perangkat keras dan perangkat lunak. Perangkat keras meliputi perancangan perangkat elektrik dan perangkat mekanik. Perangkat lunak meliputi program adc, Ifelay generator dan display seven segment pada *build-in* board FPGA altera DE-2.

Diagram blok sistem alat yang dirancang pada penelitian ini ditunjukkan pada gambar 3.1. Dimana sistem kerja dari Deret Speaker yang berupa 5 speaker mengeluarkan suara dari rangkaian DAC0808lcn yang telah diberikan waktu tunda dari perangkat lunak waktu tunda *generator* dari data adc *input*. Proses waktu tunda yang digunakan adalah memanfaatkan *system* kerja d flip-flop yang menahan data sampai terdapat *trigger clock* dan kemudian data disimpan pada variable yang ditentukan untuk penentuan waktu tunda yang diinginkan.

Sinyal *input* dapat berupa lagu dari handpone ataupun laptop yang akan diubah menjadi data digital oleh *audio codec* Wolfson WM8731 yang ada pada *build in board* altera DE-2. Resolusi dari audio *codec* Wolfson WM8731 adalah 2-bit sedangkan DAC yang digunakan adalah



Gambar 3.1 Diagram Blok Sistem Deret Speaker

DAC0808 yang mempunyai resolusi sebesar 8-bit, oleh karena itu data yang diproses adalah 8-bit MSB yang diambil dari 24-bit ADC.

3.2. Perancangan Deret Speaker

Deret Speaker dirancang dengan memperhitungkan jarak antar titik tengah speaker, hal ini bertujuan untuk mencegah munculnya sinyal dengan intensitas yang sama tetapi dengan arah yang berlawanan atau biasa disebut grating lobe, dimana jarak harus lebih kecil dari lambda dibagi $1 + \sin(x)$. Untuk menghindari grating lobe dapat diterapkan persamaan 3.1 [15] yaitu:

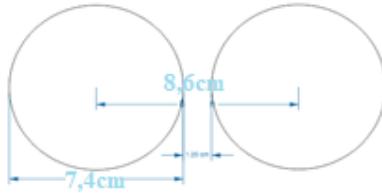
$$d < \frac{\lambda}{1 + \sin x} \quad (3.1)$$

Dimana x merupakan nilai dari sudut kemiringan terbesar dalam perancangan system deret speaker. Sehingga

$$d < \frac{\lambda}{1 + \sin 90} \quad (3.2)$$

$$\lambda = \frac{c}{f} \quad (3.3)$$

$$d = \frac{c}{2 * f} \quad (3.4)$$



Gambar 3.2 Perancangan jarak anrara speaker

- λ = panjang gelombang dari sebuah gelombang suara atau gelombang elektromagnetik
- c = kecepatan cahaya dalam vakum = 299,792.458 km/d ~ 300,000 km/d = 300,000,000 m/d atau
- c = kecepatan suara dalam udara = 344 m/d pada 20 °C (68 °F)
- f = frekuensi gelombang

Dengan memperhitungkan lebar speaker dan frekuensi maksimum suara maka didapatkan hasil dengan frekuensi tertinggi yaitu:

- Spesifikasi speaker 10watt, 4ohm, diameter 7.4 cm
- Frekuensi 300Hz – 20KHz

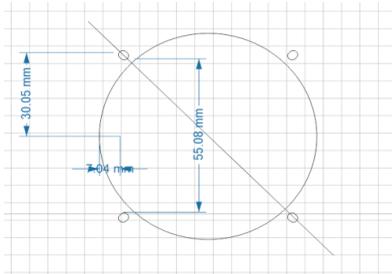
Hasil dari perhitungan dapat dilihat pada tabel 3.1, dari perhitungan diambil 2Khz dikarenakan karena diameter speaker 7,4cm sehingga (3.5) antara titik pusat harus lebih besar untuk kerangka penempatan speaker dan contoh perhitungan pada persamaan 3.5

$$d = \frac{34400 \text{ cm}}{2000 \text{ hz} * 2} = 8,6 \text{ cm}$$

Hasil dari perhitungan dapat dilihat pada gambar 3.3 dan juga gambar 3.4 yaitu perancangan lubang mur untuk kerangka speaker yang ada.

Tabel 3.1 Hasil perhitungan jarak titik pusat speaker.

C(cm)	F(hz)	d(cm)
34400	1700	10,11765
34400	1800	9,555556
34400	1900	9,052632
34400	2000	8,6



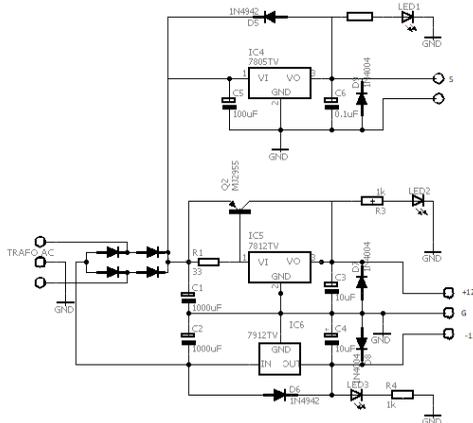
Gambar 3.3 Perancangan lubang mur

Kerangka yang digunakan untuk penempatan setiap speaker menggunakan bahan dari akrilik setebal 1cm dan untuk mengurangi getaran yang ditimbulkan ketika speaker dihidupkan maka digunakan bahan material dari *sponge* yang diberi lubang untuk tempat mur, hal ini diharapkan dapat menghindari *noise* yang mungkin ditimbulkan saat speaker bergetar.

3.3. Perancangan Perangkat Elektrik

Perancangan perangkat elektrik yang dibahas terdiri dari perancangan Rangkaian DAC08081cn, perancangan *power supply*, *power amplifier*.

3.3.1. Power Supply



Gambar 3.4 Rangkaian *Power Supply*

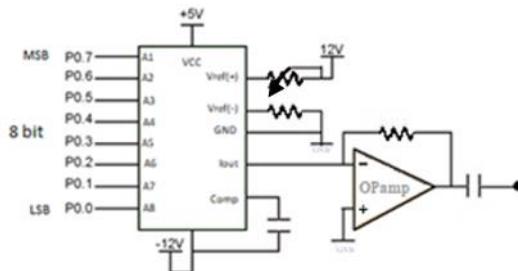
Rangkaian *power supply* ini menggunakan sumber dari *trafo* CT dengan arus sebesar 3 ampere. Komponen utama yang digunakan untuk memberikan tegangan referensi dan *supply* yang dibutuhkan oleh rangkaian dac0808 dan power amplifier adalah ic regulator 7805 untuk tegangan positif 5 volt, ic regulator 7812 untuk tegangan positif 12 volt, dan ic regulator 7912 untuk tegangan minus 12volt. Tegangan 5volt dibutuhkan untuk *supply* dan referensi IC DAC 0808lcn, sedangkan tegangan minus 12volt digunakan untuk bagian comparator ic DAC0808 lcn dan tegangan positif 12volt digunakan untuk memberikan *supply* pada rangkaian amplifier TDA2003 dan untuk sumber positif ic opamp. Dalam rangkaian *power supply* terdapat transistor TIP2955 yang berfungsi untuk penguatan arus keluaran pada *output* positif 12 volt.

3.3.2. Rangkaian DAC0808lcn

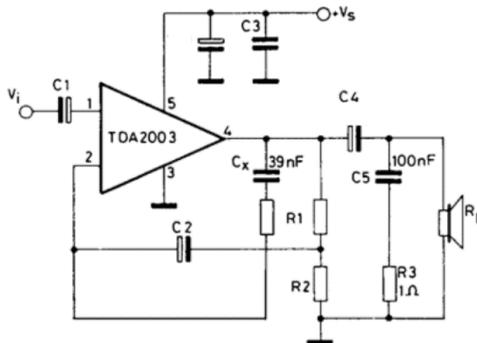
Perancangan rangkaian DAC 0808 berfungsi untuk merubah logika dari GPIO *board* altera DE2 menjadi sinyal audio sehingga dapat dikuatkan dan dikeluarkan dengan speaker. yaitu Tegangan referensi (+) yang digunakan dapat diatur dengan *multitune* sehingga referensi dapat diubah- ubah nilai tegangan dari sumber yang digunakan untuk referensi yaitu 5 volt. Opamp pada rangkaian DAC ini berfungsi sebagai komponen yang merubah arus menjadi tegangan dan kemudian dilewatkan melalui komponen kapasitor untuk menghilangkan nilai tegangan DC.

3.3.3. Power Amplifier TDA2003

Rangkaian power amplifier kelas AB ini menggunakan ic TDA 2003 dikarenakan spesifikasi speaker yang digunakan yaitu 10ohm 10watt sehingga memenuhi nilai penguatan TDA2003 sebesar 10watt.



Gambar 3.5 Rangkaian DAC 0808



Gambar 3.6 Rangkaian Power Amplifier

3.4. Perangkat lunak

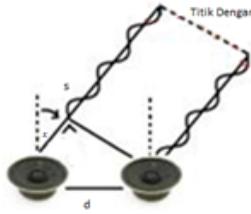
Perancangan perangkat lunak terdiri dari program waktu tunda, *clock* divider 1 mikro detik, dan program D *flip- flop* 8-bit. Bahasa pemrograman yang digunakan adalah VHDL dengan perangkat lunak Altera Quartus 13.0 web *edition*. Nilai waktu tunda digunakan untuk mendapatkan kemiringan suara *output* yang diinginkan. Perangkat lunak yang dirancang akan di-*upload* ke *board* FPGA altera DE-2.

3.4.1 Perancangan waktu tunda pada FPGA

Berdasarkan Teknik *beam steering* pada deret speaker yang merupakan interferensi dari dua gelombang atau lebih dengan frekuensi dan fasa yang sama, menghasilkan amplitudo dari jumlah kedua gelombang, maka bila diinginkan suara yang dikeluarkan oleh deret speaker terdengar pada titik tertentu dengan sudut kemiringan x suara yang dikeluarkan oleh speaker harus memiliki fasa yang sama pada titik dengar, oleh karena itu suara pada speaker harus diterapkan waktu tunda supaya suara pada sudut kemiringan x dapat dikuatkan pada titik dengar

Dari gambar 3.7 dapat dilihat bahwa kecepatan suara diudara (s) dan jarak antara titik pusat speaker (d) membentuk bangun segitiga siku – siku bila sudut dimiringkan sebesar sudut x . dari segitiga siku – siku tersebut dapat dicari persamaan waktu tunda dengan penurunan persamaan sebagai berikut:

$$\begin{aligned}
 y &= 180^\circ - 90^\circ - (90 - x) \\
 y &= x
 \end{aligned}
 \tag{3.6}$$



Gambar 3.7 Pengarahan suara pada deret speaker

Dari gambar segitiga siku – siku dan persamaan 3.6 dimana sudut x sama dengan sudut y dan berdasarkan persamaan trigonometri pada kuadran pertama pada gambar 3.8 dimana $\sin \alpha = \frac{y}{r}$ (y adalah sisi 7 dan r adalah sisi miring), didapatkan persamaan:

$$\sin x = \frac{s}{d} \quad (3.8)$$

$$s = d * \sin x \quad (3.9)$$

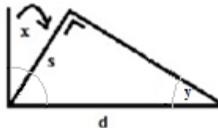
Bila 's' merupakan hasil kali dari $c * \tau$ maka persamaan no.8 dapat diturunkan menjadi:

$$c * \tau = d * \sin x \quad (3.10)$$

dimana nilai dari kecepatan suara di udara (c) dan jarak antara titik pusat pada speaker (d) merupakan suatu kostanta yang nilainya tidak berubah, dan jika sudut kemiringan sinyal *output* pada pada sistem deret speaker ingin diubah, maka satu – satunya nilai yang dapat dirubah adalah nilai τ atau waktu tunda, sehingga persamaan no.9 dapat diturunkan menjadi persamaan:

$$\tau = (d * \sin x)/c \quad (3.11)$$

Dari persamaan 3.11 dapat dihitung waktu yang diperlukan untuk setiap speaker



Gambar 3.8 Segitiga siku – siku dari hasil pengarahuan suara.

supaya suara dapat mengarahkan suara pada sudut kemiringan tertentu. Contoh bila kita ingin menghitung nilai waktu tunda untuk kemiringan pada sudut 30⁰

$$\tau = (0,086 * \sin 30)/344 \tag{3.12}$$

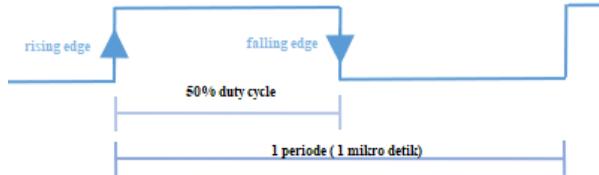
$$\tau = 125 \mu\text{S} \tag{3.13}$$

Hasil perhitungan pada masing sudut kemiringan 0⁰ sampai 90⁰ dapat dilihat pada table 3.1, dan dari hasil perhitungan pada tabel 3.1 dapat dirancang sebuah program waktu tunda dengan menirukan sistem kerja D *flip - flop* yaitu dimana data *input* ditahan sampai terdapat *triger* dari *clock* dan data dikeluarkan pada *output* D *flip - flop*. Dikarenakan DAC untuk sistem pengarah suara pada penelitian ini menggunakan DAC0808 yang memiliki konversi data *input* 8-bit maka perlu dirancang program D *flip-flop* untuk 8-bit. Pada program waktu tunda supaya mempermudah perancangan dan menghemat memory untuk tempat penyimpanan 8-bit data yang diambil dari MSB ADC maka *clock* yang digunakan untuk D *flip - flop* adalah 1 mikro detik, perangkat keras FPGA altera DE-2 memiliki *clock* bawaan sebesar 20 nano detik sehingga dibutuhkan program *clock divider* untuk dapat digunakan pada perancangan program waktu tunda.

Tabel 3.2 hasil perhitungan *dela*

SUDUT(derejat)	Waktu tunda(μs)
10	43.5
20	85.5
30	125
40	160.75
50	191.5
60	216.5
70	234.75
80	246.25
90	250

3.4.1. Perancangan *clock* 1 mikro detik



Gambar 3.9 satu periode *clock* 1 mikro detik

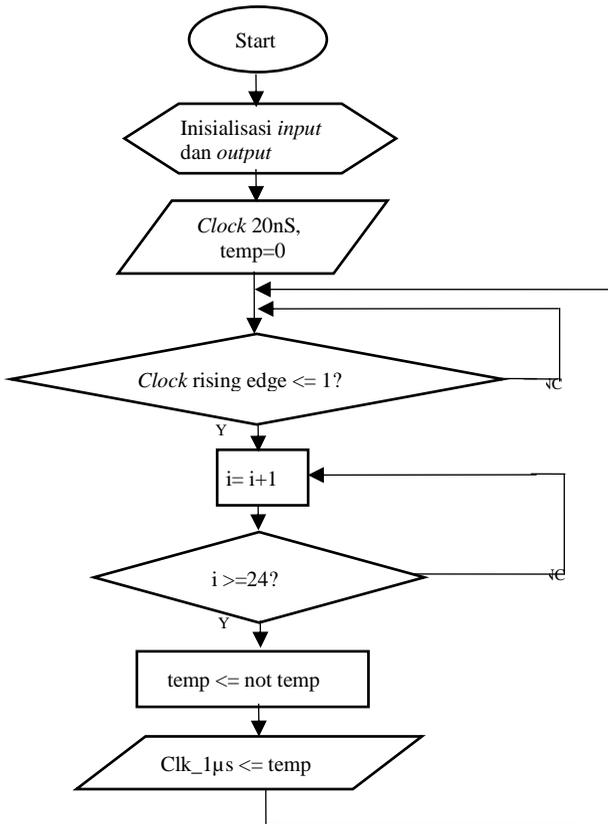
Clock input 20 nano detik akan menjadi 1 mikro detik dibutuhkan *counter up* sebanyak N kali untuk setiap *rising edge clock* 1 mikro detik. Nilai N dapat dihitung menggunakan persamaan 8 [13] yaitu:

$$N = \frac{f_{input}}{f_{output} * 2} - 1 \quad (3.14)$$

Dari persamaan no.8 nilai 2 merupakan *duty cycle* sebesar 50% dari *rising edge* dan *falling edge*. Bila besar frekuensi *input* dari periode *clock* 20 nano detik adalah 50Mhz dan frekuensi *output* sebesar 1Mhz atau 1 mikro detik maka bila dilakukan perhitungan dengan menggunakan persamaan 3.14

$$N = \frac{50Mhz}{1Mhz * 2} - 1 \quad (3.15)$$

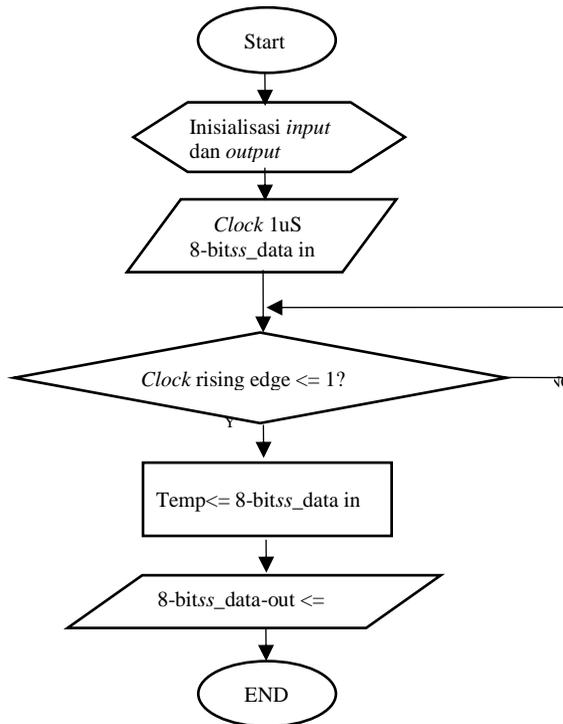
sehingga jika dihitung besar nilai N adalah 24. Dari perhitungan tersebut diketahui setiap 24 kali *counter up* bila *counter* menunjukkan angka 24 maka akan dihasilkan *rising edge* dan *counter* 24 berikutnya akan menghasilkan *falling edge* untuk *clock* 1 mikro detik. Gambar 3.9 merupakan diagram alir dari program *clock* 1 mikro detik.



Gambar 3.10 Diagram alir program *clock* 1 mikro detik

3.4.1.1 Perancangan program 8-bit D flip-flop

Berikut merupakan alur kerja dari perancangan program 8-bit D *flip-flop* menggunakan Bahasa pemrograman VHDL dengan menggunakan *software* quartus 13.0.1 sebagai *compiler* yang dapat dilihat pada gambar 3.10.



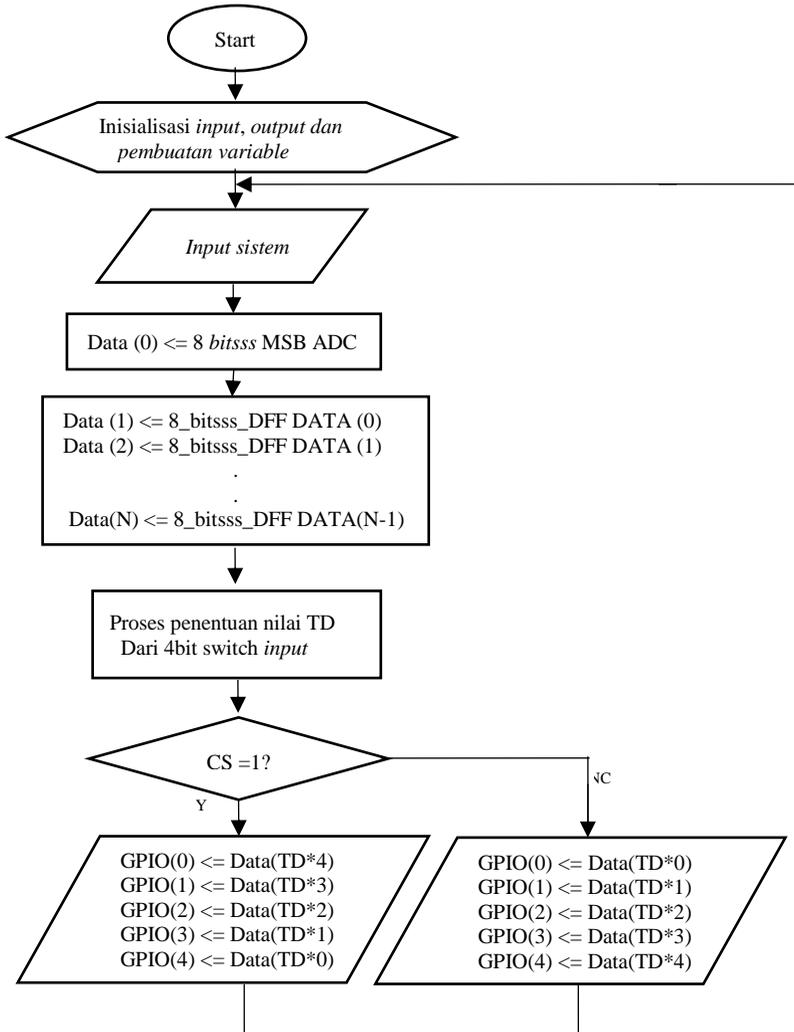
Gambar 3.11 Diagram alir program 8-bit D *flip - flop*

Penjelasan program dari Diagram alir gambar 3.10 program perangkat lunak 8-bit D *flip - flop* adalah:

1. FPGA aktif dan melakukan inisialisasi *input* dan *output*.
2. *Input* dari program 8-bits D *flip - flop* adalah *clock* 1 mikro detik dan 8-bit data.
3. Apabila perangkat lunak mendeteksi adanya *rising edge* dari *clock* 1 mikro detik maka 8-bit data *input* yang pada awalnya ditahan pada *input* akan diteruskan ke *output*.

3.4.1.2 Perancangan program waktu tunda dengan Bahasa VHDL

Alur kerja dari program waktu tunda untuk sistem deret speaker dapat dilihat pada gambar 3.11



Gambar 3.12 Diagram alir program waktu tunda

Penjelasan program dari diagram alir gambar 3.10 program perangkat lunak 8-bit D *flip – flop* adalah:

1. FPGA aktif dan melakukan inisialisasi *input / output*.
2. FPGA mendapat sinyal *input* dari line in dan kemudian diproses oleh *Wolfson codec* sehingga didapatkan data 24 *bits* ADC.
3. 24 *bits* data ADC diambil 8 bits dari MSB untuk dimasukkan ke variabel *array* data (0).
4. Dari 8-bit data (0) dilakukan pemanggilan *sub* program D flip-flop 8-bit yang dengan *triger clock* sebesar 1 mikro detik untuk dimasukkan ke variabel *array* data (1), dan akan dilakukan pemanggilan *sub* program D flip-flop 8-bit kembali untuk proses data (1) ke data (2) dan seterusnya sampai variabel data ke-1000.
5. Dilakukan penentuan nilai variabel TD bila 4 *bits switch* terdapat perubahan. Misalkan nilai 3 yang mewakili biner dari 0011 yang dihasilkan *input switch* pada *board* FPGA maka nilai variabel TD adalah 30 yang mewakili nilai sudut kemiringan 30°, nilai TD menjadi 125 sesuai perhitungan pada tabel 3.1. nilai *bits switch* 0011 tersebut akan ditampilkan juga pada 7- *segment* pada *board* FPGA.
6. Nilai *switch* CS bernilai 1 mewakili arah kemiringan untuk sudut positif sehingga bila 4 *bits input switch* bernilai 0011 *output* pada GPIO akan berurutan dari data (125*4) untuk GPIO (0), data (125*3) untuk GPIO (1), data (125*2) untuk GPIO (2), data (125*1) untuk GPIO (3), dan data (125*0) untuk GPIO (4). Dan bila nilai CS adalah 0 yang mewakili kemiringan sudut negatif maka *output* GPIO akan dikeluarkan secara terbalik seperti data (123*4) untuk GPIO (4) dan seterusnya sampai GPIO (0).

.....*Halaman ini sengaja dikosongkan*.....

BAB IV PENGUJIAN DAN ANALISIS SISTEM



Gambar 4.1 Sistem Deret Speaker

Pengujian system pengarah suara dengan deret *speaker* dibagi menjadi beberapa tahap bagian, dimulai dari pengujian perangkat keras dan perangkat lunak. Deret *speaker* yang digunakan sesuai pada gambar 4.1. Tujuan dari pengujian dari berbagai aspek dari perancangan ini untuk mendapatkan parameter atau evaluasi performa dari *system* pengarah suara.

4.1 Realisasi Desain Deret Speaker

Realisasi dari desain Deret speaker yaitu kerangka pada deret speaker menggunakan akrilik dengan tebal 1cm, jarak antara titik pusat pada deret speaker memiliki ukuran yang sama dengan desain, yaitu 8,6 cm. Realisasi peletakkan komponen-komponen ditunjukkan pada gambar 4.2 dimana sinyal *input* berasal dari *PC* atau *handphone* diteruskan ke *linein* board altera DE2 yang akan merubah sinyal analog menjadi 24 *bits* data digital dan diterapkan waktu tunda kemudian dikeluarkan ke GPIO menuju ke rangkaian DAC0808 sehingga data menjadi sinyal analog kembali dan dikuatkan oleh rangkaian *amplifier* sebelum keluar pada masing – masing speaker.



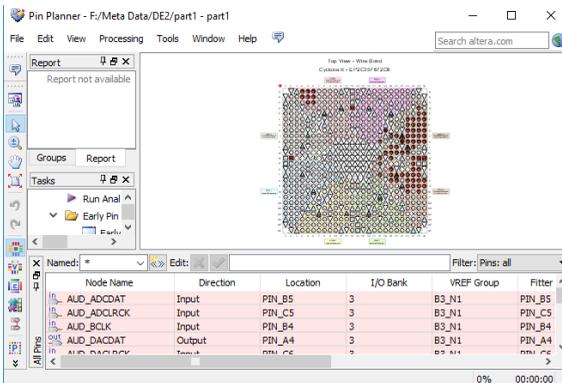
Gambar 4.2 Realisasi desain Sistem Deret Speaker.

4.2 Pengujian Perangkat Keras

Pengujian perangkat keras dilakukan dengan menguji hasil *output* dari tiap sub rangkaian elektrik secara keseluruhan.

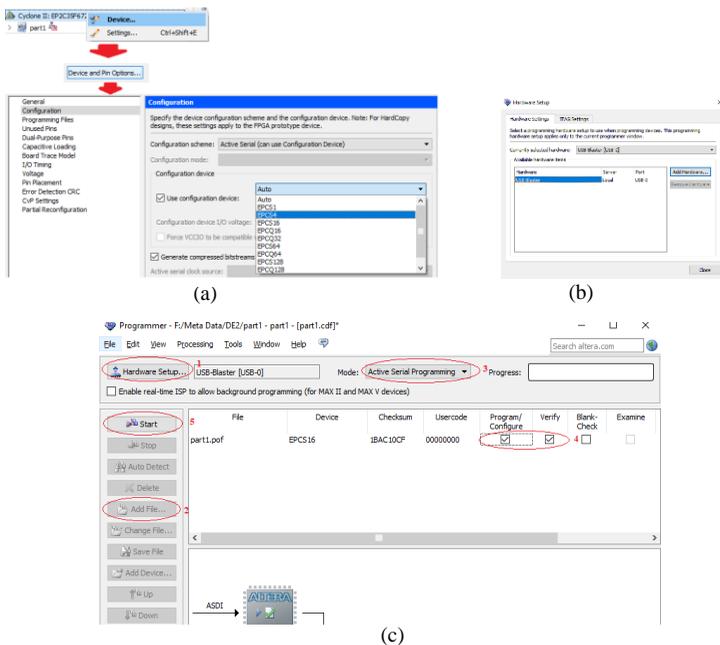
4.2.1 Pengaturan prosedur *upload* program ke EEPROM FPGA

Sebelum melakukan pengujian pada perangkat lunak quartus harus ditentukan pin *input* dan pin *output* dengan masuk pada tab pin *planer* yang dapat dilihat pada gambar 4.3.



Gambar 4.3 Pin *planer* pada perangkat lunak quartus.

Bila pengisian pin planer sudah selesai maka program dapat di *upload* ke board FPGA melalui tab program dan memilih driver usb blaster dan start, prosedur *upload* ke EEPROM FPGA altera DE-2 dapat dilihat pada gambar 4.4.a, 4.4.b, 4.4.c, dan 4.4.c yaitu masuk pada device option konfigurasi untuk merubah auto menjadi EPCS4 dan klik ok kemudian *compile* ulang program, bila proses compile sudah berakhir maka masuk pada window programmer tools dan pilih programer maka akan muncul tampilan seperti gambar 4.4.c dan pilih *hardware setup* untuk pengaturan *driver* menjadi *usb-blaster* seperti gambar 4.4.b, kemudian tambahkan file yang ingin di *upload* dengan ekstensi *.pof yang terdapat folder pengimanan program, rubah mode menjadi *active serial programming* dan centang *progra/configure* dan *verify*. Matikan perangkat keras FPGA altera DE2 rubah *run* menjadi *prog* nyalakan kembali dan klik start seperti gambar 4.4.c bagian no.5 tunggu proses *upload* selesai dan matikan FPGA untuk merubah ke mode *run*, program sudah dapat dijalankan pada perangkat keras FPGA.



Gambar 4.4 prosedur *upload* ke EEPROM FPGA altera DE2

```

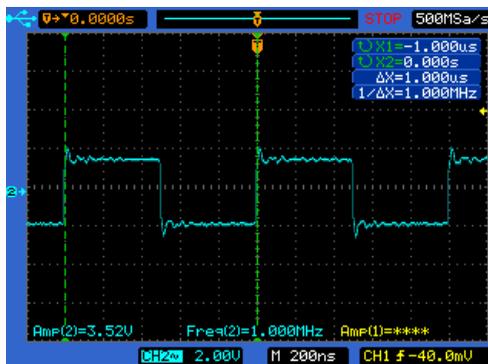
process(clk_50)
begin
  if(clk_50'event and clk_50='1') then
    if(count=max-1) then
      temp<=not temp;
      count<=0;
    else
      count<= count +1;
    end if;
  end if;
  c_out<= temp;
end process;

```

Gambar 4.5 program *clock* 1 mikro detik

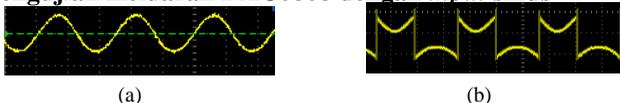
Pengujian sub program *clock* 1 mikro detik dengan osiloskop dari realisasi program pada gambar 4.5. pengujian ini dilakukan untuk memastikan apakah clock input untuk sub program D flip-flop sesuai dengan perancangan sistem. *Input clock* untuk sub program 1 mikro detik ini menggunakan clock sebesar 20 nano detik, sehingga dibutuhkan 24 cycle untuk *rising edge* 1 mikro dan 24 kali lock input untuk *falling edge*, duty cycle pada perancangan adalah 50%. Hasil pengujian dapat dilihat pada gambar 4.6

Dari hasil pengujian *clock* 1 mikro detik pada gambar 4.6 dapat dilihat bahwa program yang telah dirancang dari *clock input* 20 nano detik sudah sesuai dengan yang diharapkan yaitu 1 mikro detik. Pada perancangan waktu tunda untuk beda fasa 0° sampai 90° menggunakan D flip-flop sehingga bila clock input di beri 1 mikro detik untuk memenuhi misal pada beda fasa 30o membutuhkan 125 mikro detik, sistem membutuhkan 125 D flip-flop untuk memenuhi beda fasa speaker 0 dan 1 agar sinyal mendapat perbedaan fasa sebesar 125 mikro detik.



Gambar 4.6 Hasil pengujian *clock* 1 mikro detik.

4.2.2 Pengujian Keluaran DAC0808 dengan *input* sinus



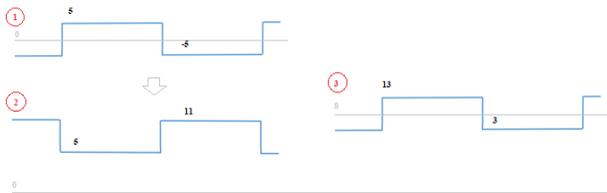
Gambar 4.7 (a) sinyal *input* dari function generator; (b) sinyal *output* dari DAC0808

Pada pengujian dapat dilihat bahwa sinyal *input* seolah – olah naik keatas hal ini disebabkan *bits* yang didapatkan dari adc dan *bits* yang didapatkan pada dac tidak cocok pada adc *bits* yang di hasilkan berupa data *unsigned* sedangkan *bits* data yang dibutuhkan DAC berupa *signed*. Untuk lebih jelas dapat melihat gambar 4.5

Solusi yang dapat diterapkan adalah menambahkan *bits* MSB dengan 1, misalkan *bits* data pembacaan ADC bernilai 1011 yang bernilai decimal -5 sedangkan dan yang terbaca pada *output* DAC adalah 11 dan saat ADC bernilai 0101 desimal 5 sedangkan DAC akan bernilai 5 juga padahal seharusnya nilai 5 disini lebih tinggi dari *output* DAC sebelumnya yang bernilai 11 seperti pada gambar 4.8 no.1 dan no.2, sehingga bila ditambahkan 1 pada *bit* MSB data akan seperti turun dari 1011 menjadi 0011 sama dengan 3 dan 0101 menjadi 1101 sama dengan 13 dalam decimal.

Tabel 4.1 perbedaan *bits* data signed dan unsigned

Binary	Hex	Decimal	
		US	S
0000	0	0	0
0001	1	1	1
0010	2	2	2
0011	3	3	3
0100	4	4	4
0101	5	5	5
0110	6	6	6
0111	7	7	7
1000	8	8	-8
1001	9	9	-7
1010	A	10	-6
1011	B	11	-5
1100	C	12	-4
1101	D	13	-3
1110	E	14	-2
1111	F	15	-1



Gambar 4.8 *input* ADC(1) dan *output* dac(2) dan (3)

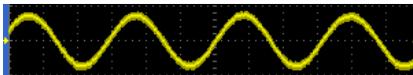
Sehingga data *output* memiliki rentang yang sama seperti gambar 4.8 no.3 dan hasil pembacaan pada osiloskop untuk sinyal *input* sinus akan keluar sinus pula pada pada *output* DAC0808 pada gambar 4.9.

4.2.3 Pengujian Sinyal yang telah diberi waktu tunda

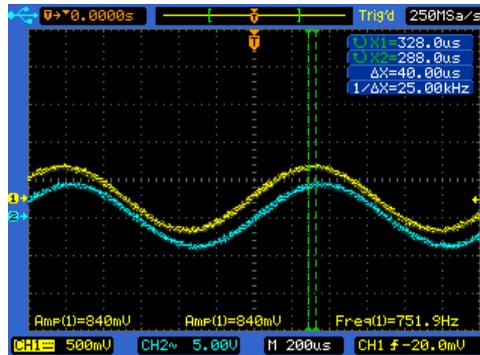
Pengujian waktu tunda dilakukan dengan memberikan sinyal sinus dari *function generator* ke *line in board* altera DE2, kemudian diterapkan waktu tunda dari 43,5 mikro detik untuk kemiringan 10° sampai 250 mikro untuk kemiringan sudut 90° sesuai hasil perhitungan waktu tunda pada tabel 3.1. pengujian hasil dilakukan menggunakan osiloskop yang diambil untuh *chanel 1 output* speaker 1 dan *chanel 2* untuk speaker 2.

4.2.3.1 Pengujian dengan waktu tunda untuk beda fasa 10°

Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus, dari hasil pengambilan data dapat dilihat pada gambar 4.10 bahwa sulit membedakan waktu tunda antara kedua sinyal, dan setelah diberi *cursor* terlihat waktu tunda yang dihasilkan adalah 40 mikro detik sedangkan seharusnya 43,5 mikro detik yang didapat dari perhitungan waktu tunda pada perancangan system. Hal ini mungkin diakibatkan oleh ketidak telitian alat ukur yang dalam hal ini adalah *cursor* osiloskop yang perpindahannya kurang halus, sehingga nilai tercantum memiliki sedikit berbeda dari nilai sebenarnya.



Gambar 4.9 hasil sinyal *output* DAC0808 setelah proses penambahanbit MSB.



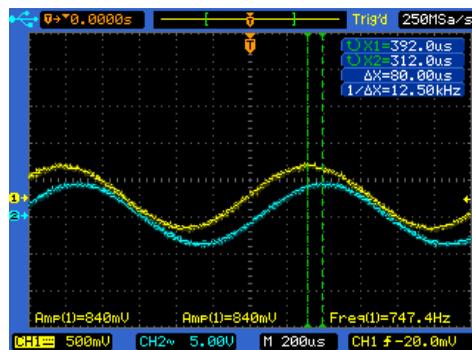
Gambar 4.10 Hasil pengujian beda fase 10°

4.2.3.2 Pengujian dengan waktu tunda untuk beda fase 20°

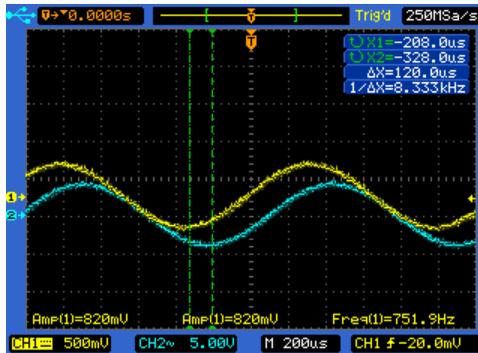
Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.11, didapatkan waktu tunda antar sinyal output DAC0 dan DAC1 memiliki perbedaan sebesar 80 mikro detik, sedangkan pada perhitungan untuk kemiringan 20° seharusnya waktu tunda yang dihasilkan adalah 85,5 mikro detik.

4.2.3.3 Pengujian dengan waktu tunda untuk beda fase 30°

Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.13, didapatkan waktu tunda antar sinyal adalah 120mikro detik, pada kemiringan 30° seharusnya waktu tunda yang ada adalah 125 mikro detik.



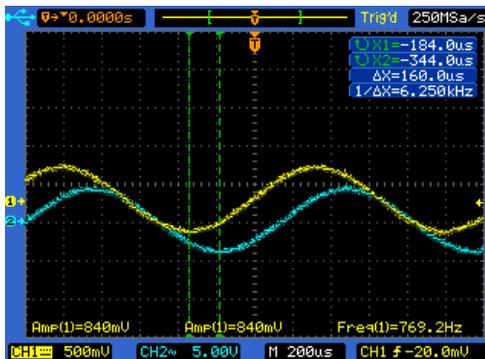
Gambar 4.11 Hasil pengujian beda fase 20°



Gambar 4.12 Hasil pengujian beda fase 30°

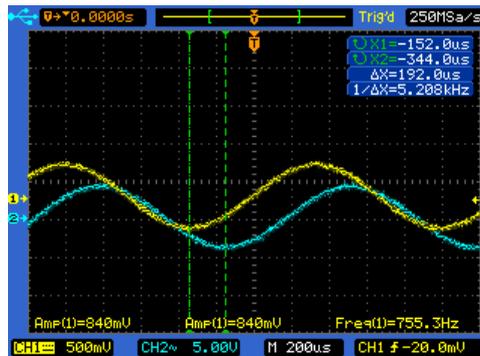
4.2.3.4 Pengujian dengan waktu tunda untuk beda fase 40°

Pengujian dilakukan menggunakan osiloskop, sinyal yang diuji adalah output sinyal dari *digital to analog converter* nol dan 1. Pada gambar 4.13 dapat dilihat pengujian dilakukan dengan menggunakan *input* sinyal sinus yang di hasilkan oleh *function genetaor* dengan frekuensi 750 KHz. Hasil pengujian dari output sinyal DAC0 dan DAC 1 adalah 160mikro detik, sedangkan pada perancangan sistem hasil perhitungan waktu tunda pada kemiringan 40° seharusnya adalah sebesar 160.75 mikro detik.



Gambar 4.13 Hasil pengujian beda fase 40°

4.2.3.5 Pengujian dengan waktu tunda untuk beda fase 50°

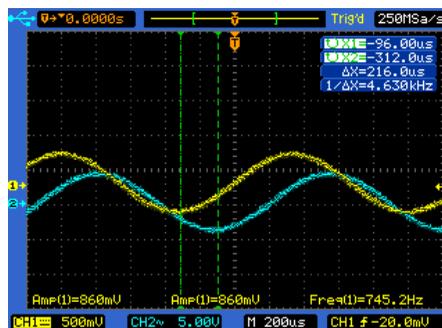


Gambar 4.14 Hasil pengujian beda fase 50°

Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.14, didapatkan waktu tunda antar sinyal adalah 200mikro detik, pada kemiringan 50° seharusnya waktu tunda yang ada adalah 191.5 mikro detik.

4.2.3.6 Pengujian dengan waktu tunda untuk beda fase 60°

Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.15 didapatkan waktu tunda antar sinyal adalah 200mikro detik, pada kemiringan 60° seharusnya waktu tunda yang ada adalah 216.5 mikro detik.



Gambar 4.15 Hasil pengujian beda fase 60°

4.2.3.7 Pengujian dengan waktu tunda untuk beda fase 70°

Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.16 didapatkan waktu tunda antar sinyal adalah 240mikro detik, pada kemiringan 70° seharusnya waktu tunda yang ada adalah 234.75 mikro detik.

4.2.3.8 Pengujian dengan waktu tunda untuk beda fase 80°

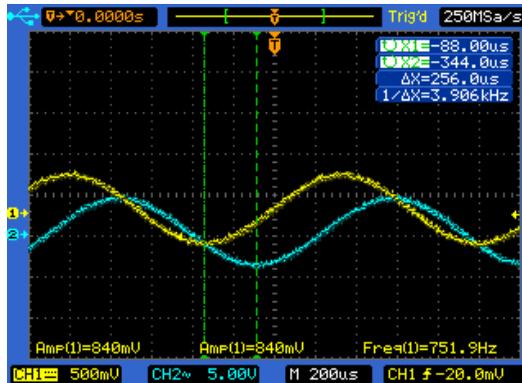
Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.17 didapatkan waktu tunda antar sinyal adalah 240mikro detik, pada kemiringan 80° seharusnya waktu tunda yang ada adalah 246.25 mikro detik.

4.2.3.9 Pengujian dengan waktu tunda untuk beda fase 90°

Pada osiloskop terlihat pengujian dilakukan dengan *input* sinyal sinus yang dapat dilihat pada gambar 4.18, didapatkan waktu tunda antar sinyal output DAC0 dan DAC1 memiliki perbedaan sebesar 260 mikro detik, sedangkan pada perhitungan untuk kemiringan 90° seharusnya waktu tunda yang dihasilkan adalah adalah 250 mikro detik.



Gambar 4.17 Hasil pengujian beda fase 80°



Gambar 4.18 Hasil pengujian beda fasa 90°

4.2.4 Pengujian Lobe Sistem

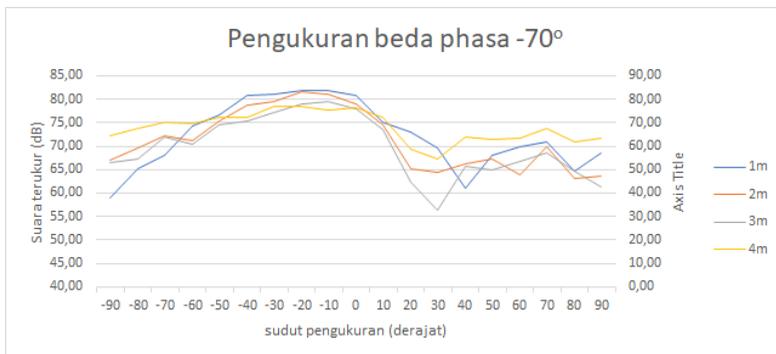
Pengujian dilakukan dengan pengukuran dB menggunakan sound level meter untuk mengetahui lobe pada system Deret Speaker pada kemiringan -70° pada tabel 4.2

Table 4.2.a hasil pengujian dengan sound level meter pada kemiringan sistem -70°

sudut	Jarak ukur			
	4m	3m	2m	1m
-90	59,00	65,30	68,00	74,40
-80	66,90	69,60	72,30	71,30
-70	66,60	67,30	72,00	70,30
-60	64,64	67,60	70,30	69,60
-50	59,00	65,30	68,00	74,40
-40	76,60	80,70	81,20	81,80
-30	75,30	78,70	79,60	81,50
-20	74,60	75,40	77,20	79,10
-10	72,40	72,40	76,70	76,80
0	76,60	80,70	81,20	81,80
10	75,30	78,70	79,60	81,50
20	74,60	75,40	77,20	79,10
30	72,40	72,40	76,70	76,80

Table 4.2.b hasil pengujian dengan sound level meter pada kemiringan sistem -70°

Sudut	Jarak ukur			
	4m	3m	2m	1m
40	76,60	80,70	81,20	81,80
50	75,30	78,70	79,60	81,50
60	74,60	75,40	77,20	79,10
70	72,40	72,40	76,70	76,80
80	76,60	80,70	81,20	81,80
90	75,30	78,70	79,60	81,50

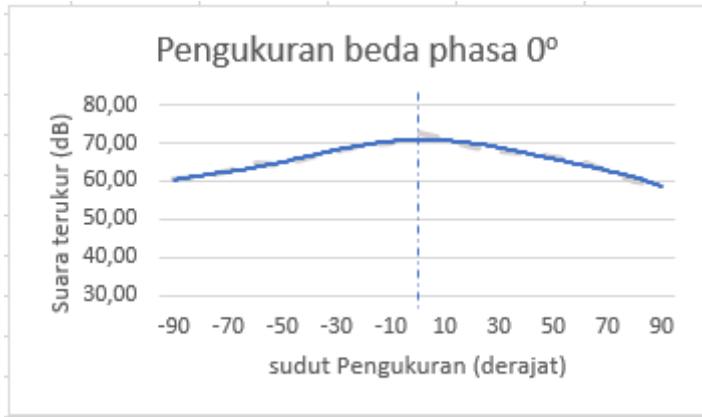


Gambar 4.19 Hasil pengujian lobe untuk beda fase -70°

Pengujian dilakukan bertempat di tempat parkir dosen elektro ITS menggunakan *input* dari *function generator* berupa gelombang sinus dengan frekuensi 750 Hertz. Dari pengukuran gambar 4.19 dapat dilihat bahwa terdapat kesalahan pengarahan dari sudut fase deret speaker dimana intensitas suara terbesar ada pada 10° . dari hasil pengukuran diambil jarak 4m untuk dilakukan pengukuran untuk suara audio dengan frekuensi maksimum 2kHz. data pengukuran dilakukan dengan jarak 4m menggunakan *sound level meter* dimana nilai tengah seperti tabel 4.3, dari pengukuran ditampilkan dan dapat dilihat pada gambar 4.20, gambar 4.21, gambar 4.22, gambar 4.23

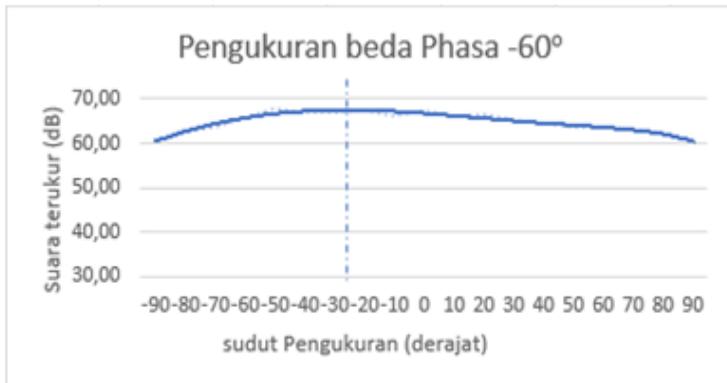
Tabel 4.3 Hasil Pengukuran lobe dengan input suara audio dengan frekuensi maksimum 2kHz

Sudut pengukuran		Sudut beda fasa pada speaker			
		-90	-60	-30	0
1	-90	60,70	60,50	59,80	60,40
2	-80	61,40	62,80	60,90	61,00
3	-70	61,30	63,70	61,80	62,80
4	-60	62,40	65,70	63,00	64,50
5	-50	64,00	67,90	64,30	64,40
6	-40	63,80	67,10	65,30	66,30
7	-30	64,80	67,00	67,00	68,10
8	-20	67,00	67,60	68,10	69,40
9	-10	67,50	66,30	69,10	70,30
10	0	64,50	67,30	68,80	72,50
11	10	65,40	66,10	67,80	71,20
12	20	64,90	66,40	68,00	68,90
13	30	64,20	65,10	66,70	67,90
14	40	63,70	64,30	64,90	67,30
15	50	62,90	63,80	64,30	66,40
16	60	62,80	63,40	63,80	65,40
17	70	62,60	63,00	62,50	62,60
18	80	61,70	62,50	61,60	60,10
19	90	60,50	60,20	60,40	59,00

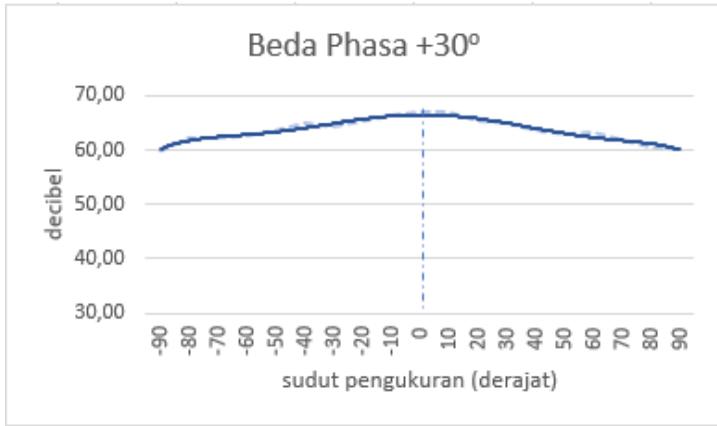


Gambar 4.20 Hasil pengujian lobe untuk beda fase 0°

Pengujian dilakukan menggunakan suara audio dengan frekuensi yang dibatasi, maksimum frekuensi yang digunakan sesuai perancangan kerangka deret speaker dimana jarak titik pusat speaker 8,6 didapat dari maksimum frekuensi perhitungan 2kHz. pada pengujian 0° dapat dilihat bahwa intensitas suara terbesar berada pada titik 0° deret speaker sudah dapat mengarahkan suara.

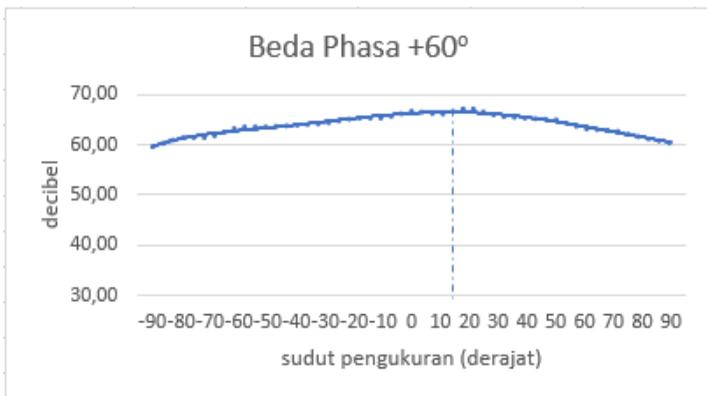


Gambar 4.21 Hasil pengujian lobe untuk beda fase -60°



Gambar 4.22 Hasil pengujian lobe untuk beda phasa +30°

Dari hasil pengujian suara keluaran dari speaker dapat terdengar jelas. Tetapi pada amplitudo input yang kecil terdengar *white noise*, hal ini disebabkan oleh tidak samanya resolusi *analog to digital konverter* dan *digital to analog converter* dimana ADC memiliki resolusi 24bit dan DAC memiliki resolusi 8-bit, pada sistem input DAC menggunakan 8-bit MSB dari 24bit input, hal inilah yang mengakibatkan *noise* muncul pada amplitudo kecil dan normal bila amplitudo input besar.



Gambar 4.23 Hasil pengujian lobe untuk beda phasa +60°

4.2.4.1 Perhitungan kesalahan pada pengukuran lobe

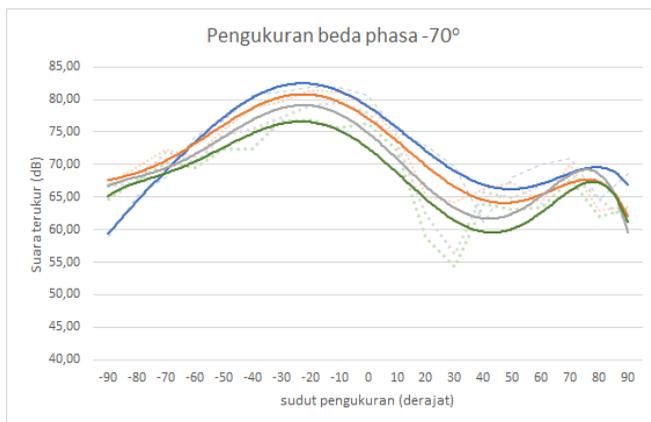
Dari hasil pengambilan data pada lobe sistem dilakukan perhitungan kesalahan terhadap sudut referensi didapatkan hasil kesalahan sistem pengarahan yang dapat dilihat pada tabel 4.3. dengan menggunakan persamaan 4.1

$$\% e = \frac{\text{Sudut Pengarahan} - \text{Sudut pengukuran}}{180^\circ} \times 100\% \quad (4.1)$$

Perhitungan kesalahan (e) dilakukan pada tabel yang telah diregresi polinomial orde 6 agar diketahui nilai maksimum pengarahan sistem sehingga dapat dihitung rerata kesalahan dari sistem. Contoh dari regresi polinomial dapat dilihat pada gambar 2.24 dimana terdapat kesalahan dari sistem yaitu beda fasa pada speaker di tetapkan -70° dan pada pengukuran terlihat intensitas suara terbesar adalah 20° , sehingga bila dilakukan perhitungan kesalahan untuk kemiringan -70° menggunakan persamaan 4.1

$$\% e = \frac{70^\circ - 23^\circ}{180^\circ} \times 100\% \quad (4.2)$$

$$\% e = 26\% \quad (4.3)$$



Gambar 4.24 Hasil regresi polinomial sudut -70°

Tabel 4.4 Hasil Perhitungan kesalahan sistem pengarahan pada jarak pengukuran 1m.

Sudut Pengarahan (derajat)	Sudut Terukur (derajat)	Kesalahan (%)
-80	-11	38,3
-50	-5	25,0
-20	4	13,3
0	0	0,0
20	10	5,6
50	25	13,9
80	30	27,8

Dari tabel 4.4 didapatkan rerata kesalahan untuk pengarahan suara dengan jarak ukur 1-meter sebesar 17,7%. Dari tabel 4.5 memiliki rerata kesalahan sebesar 19% dan pada tabel 4.6 memiliki rerata kesalahan sebesar 22%. pada pengambilan data terdapat

Tabel 4.5 Hasil Perhitungan kesalahan sistem pengarahan pada jarak pengukuran 2m.

Sudut Pengarahan (derajat)	Sudut Terukur (derajat)	Kesalahan (%)
-80	-28	28,9
-50	-8	23,3
-20	5	13,9
0	0	0,0
20	50	16,7
50	15	19,4
80	25	30,6

Tabel 4.6 Hasil Perhitungan kesalahan sistem pengarahan pada jarak pengukuran 4m.

Sudut Pengarahan (derajat)	Sudut Terukur (derajat)	Kesalahan (%)
-90	-10	44,4
-60	-28	17,8
-30	-3	15,0
0	0	0,0
30	1	16,1
60	15	25,0
90	18	40,0



Gambar 4.25 Pengujian lobe sistem dengan TES 1351

beberapa faktor yang mempengaruhi kesalahan dalam pengambil data antara lain:

1. saat pengambilan data terjadi hujan yang mengakibatkan suara naik dari 3 dB hingga 10 dB.
2. suara kendaraan seperti motor dan mobil mengakibatkan pembacaan pada alat ukur naik dari 4 – 12 dB.
3. Saat pengambilan muncul angin yang cukup kencang pada dan pada pembacaan alat ukur akan naik atau berdasarkan arah angin. Ketika naik pembacaan akan bertambah 3 – 7 dB dan ketika turun pembacaan akan berkurang 2 – 8 dB.
4. Suara seseorang berbicara juga mempengaruhi pengambilan data yang menyebabkan pembacaan pada alat ukur naik sampai 9dB tergantung jarak dan volume suara orang tersebut.
5. Pantulan benda padat seperti tembok dapat mengakibatkan intensitas suara pada daerah tertentu bertambah atau berkurang. Perubahan yang terjadi biasanya sekitar 2-6dB.

Selain itu desain sistem pengarahan dengan menggunakan 5 speaker masih belum memenuhi kriteria yang diinginkan, kesalahan yang didapat pada pengujian lobe masi sangat besar yaitu 87,5%, Berdasarkan percobaan yang dilakukan oleh Takemichi I, Shuma Y dkk, dengan menggunakan 20 speaker dan hasil uji coba lobe yang dilakukan maka semakin banyak jumlah transducer yang digunakan pada desain pengarahan suara, semakin memusat pulah sinyal suara yang dihasilkan.

BAB V

PENUTUP

5.1 Kesimpulan

Pada penelitian ini telah dilakukan rancang bangun sebuah sistem pengarah suara yang terdiri dari rangkaian analog to digital converter 24-bit, pengaturan waktu tunda ($0 - 250 \mu\text{s}$) diterapkan dalam modul Field Programmable Gate Array Altera DE-2, rangkaian digital to analog converter 8-bit, rangkaian penguat kelas-AB 10 watt, dan deret 5 speaker. Dengan menerapkan waktu tunda dapat mengubah arah suara ($-90^\circ - 90^\circ$) tanpa merubah posisi speaker. Hasil pengukuran menunjukkan bahwa waktu tunda yang dihasilkan pada perancangan ini terdapat rerata kesalahan sebesar 3,5%. Hasil pengukuran intensitas suara dengan menggunakan sound level meter diperlukan untuk menggambarkan profil lobe intensitas suara yang dihasilkan kesegala arah. Pengukuran pada jarak 1 meter dengan beda fasa -80° menghasilkan suara pada arah -11° dengan intensitas suara 85 dB, pada beda fasa 50° menghasilkan pada arah 25° dengan intensitas suara 75 dB. Pengukuran pada jarak 2 m dengan beda fasa 80° intensitas suara terbesar terukur pada arah 30° dengan intensitas suara 65° . rerata kesalahan pengukuran lobe suara pada jarak 1 m adalah 17%, 2 m adalah 19% dan pengukuran pada jarak 4 m memiliki rerata kesalahan sebesar 22%.

5.2 Saran

Penggunaan digital to analog converter disarankan memiliki resolusi yang besar atau sama dengan resolusi input analog to digital converter supaya tidak terdengar noise saat amplitudo sinyal input kecil. Dalam pengambilan data menggunakan sound level meter disarankan untuk menggunakan ruang luas tertutup supaya tidak mendapat gangguan suara dari lingkungan sehingga diperoleh data dengan fluktuasi yang relative kecil.

.....*Halaman ini sengaja dikosongkan*.....

DAFTAR PUSTAKA

- [1] Martin O., Steffen S., Daniel F., Javier G. V. Moreno Artagoitia. *Digital Directivity Control of Loudspeakers for Sound Reinforcement*. Department of Electronic System, juni 2008.
- [2] Brian E. Anderson, Brad Moser, and Kent L. Gee. *Loudspeaker line array educational demonstration*. Acoustics Research Group, Department of Physics and Astronomy, Brigham Young University, N283 ESC, Provo, Utah 84602, pp.2394-2400. 2011.
- [3] Y Tang, Y Fang, and Q Huang. *Multi-Beam Steering for 3D Audio Rendering in Linear Phased Loudspeaker Arrays*. Image Analysis and Signal Processing (IASP), International Conference, 2010.
- [4] Hafiyyan Habib, “Perancangan Audio Beam Steering Untuk Sistem Pengusiran Hama Burung”, Institut Teknologi Sepuluh Nopember, Surabaya 2017.
- [5] Reza B. H., Muhammad Rivai, Rudy D. Metode Pencacahan Frekuensi Reciprocal untuk Sensor Gas Resonator Kuarsa yang Diimplementasikan pada *Field Programmable Gate Array*. Jurnal Teknik ITS Vol. 4, No. 1, pp 2301-9271 July 2017.
- [6] Hari Agus S., dan Muhammad Rivai. Vapor Identification System Using Quartz Resonator Sensor Array and Support Vector Machine, ARPN Journal of Engineering and Applied Sciences. Pp 2426-2430, juli 2017.
- [7] Handry K., Yohanes T.D.S, Iwan W. Balanced Amplifier dengan Menggunakan Driver Op Amp. Jurnal Teknik Elektro Vol. 4, No. 2, 92-99, September 2004.
- [8] G. Tripathi, Shubhangi M., Smitha S. DAC Interfacing with 805.1 *International Journal of Research in Advent Technology*, Vol.2, No.2, pp 2321-963, February 2014
- [9] altious, Apa itu Impedansi pada Speaker. www.audioengine.co.id/apa-itu-impedansi-pada-speaker, february 2017
- [10] Douglas Self, 2009, *Audio Power Amplifier Design Handbook*, United States of America: Elsevier Ltd.
- [11] Karen Parnel, dan Nick Mehta. *Programable Logic Design Quick Start Handbook*. Fourth Edition ISE5.1 Xilinx. Juni 2003

- [11] Texas Instruments. DAC0808 8-Bit D/A Converter. National Semiconductor Corporatio, May 1999
- [12] Sean Peng. *Altera DE2 Board*. www.altera.com. Agustus 2005
- [13] petEEy, *Add a voltage offset to a resistor ladder R-2R*. <https://electronics.stackexchange.com/questions/293596/add-a-voltage-offset-to-a-resistor-ladder-r-2r>. Mar 2017
- [14] Daniel. *Verilog clock divider*. <https://embdev.net/topic/352362>. Desember 2014.
- [15] Patel, Parbhu D., “*Fundamentals of Phased Arrays*”, ASTRON, The Netherlands, 2007
- [16] Takemichi I., Shuma Y., Noboru H., Dai T., Jun S., Michitaka Y. and Akira Y., Member, IEEE, *A Highly Directional Speaker with Amplitude-Phase Control Using a Digitally Direct-Driven System*. International Conference on Consumer Electronics (ICCE),pp 135-136. 2014

LAMPIRAN

Program quartus

```
library IEEE;
  use IEEE.std_logic_1164.all;
  use IEEE.std_logic_arith.all;
  use IEEE.std_logic_unsigned.all;

entity D_audio is
  port (CLOCK_50,AUD_DACLCK, AUD_ADCLRCK,
  AUD_BCLK,AUD_ADCDAT,CLOCK_27,EN,HL :in std_logic;
  KEY :in std_logic_vector(0 downto 0);
  GP0,GP1,GP2,GP3,GP4 :out
  std_logic_vector(0 to 7);
  tmb
  :in std_logic_vector(0 to 3);
  svsgmn0,svsgmn1 :out std_logic_vector(0 to
  6);
  I2C_SDAT :inout std_logic;
  I2C_SCLK,AUD_DACDAT,AUD_XCK :out std_logic;
  TP0 :out std_logic
  );
end D_audio;

architecture behavior of D_audio is
  component cLock_generator
    port(CLOCK_27, reset :in std_logic; AUD_XCK :out
  std_logic);
  end component;
  component audio_and_video_config
    port(CLOCK_50,reset :in std_logic; I2C_SDAT :inout
  std_logic; I2C_SCLK :out std_logic);
  end component;
  component audio_codec
    port(CLOCK_50,reset,read_s,write_s
  :in std_logic;
  writedata_left, writedata_right
  :in std_logic_vector(23 downto 0);
  AUD_ADCDAT,AUD_BCLK,AUD_ADCLRCK,AUD_DACLCK
  :in std_logic;
  read_ready, write_ready :out std_logic;
  readdata_left, readdata_right
  :out std_logic_vector(23
  downto 0);
  AUD_DACDAT
  :out std_logic);
```

```

end component;
component d_ff8
    port (clk:in std_logic; d:in std_logic_vector(7 downto
0); q:out std_logic_vector(7 downto 0));
end component;
component c_1us
    port (clk_50:in std_logic; c_out:out std_logic );
end component;

type MEM is array(0 to 1000) of std_logic_vector(7 downto 0);
signal data: MEM :=(others => (others => '0')); -- 8 bit array
dari 0 sampai 560
signal adc_rd,dac_rd,adc_s,dac_s,clk_1uS :std_logic;
signal adc_l,adc_r,dac_l,dac_r :std_logic_vector(23 downto 0);
signal reset,aclk,sclk,AUD_DACBUF,cdff :std_logic;
signal dat_p : std_logic_vector (23 downto 0) :="1000" & X"00000";
signal TD :integer:=0;
--signal clk_1u : std_logic:='0';

begin

c1us: c_1us port map(CLOCK_50,clk_1uS);
AUD_DACDAT <= AUD_DACBUF;
AUD_XCK <= aclk;
sclk <= AUD_DACLRCK;
cdff <=sclk;--clk_1uS; --clk dff
TP0<=clk_1uS;
dac_r <= adc_r;
dac_l <= adc_l+dat_p; --pembalik

process (tmb) begin
    case tmb is
        when "0000" =>svsgmn1<="0000001";TD<=0;--0
        when "0001" =>svsgmn1<="1001111";TD<=44;--1
        when "0010" =>svsgmn1<="0010010";TD<=85;--2
        when "0011" =>svsgmn1<="0000110";TD<=125;--3
        when "0100" =>svsgmn1<="1001100";TD<=161;--4
        when "0101" =>svsgmn1<="0100100";TD<=191;--5
        when "0110" =>svsgmn1<="0100000";TD<=217;--6
        when "0111" =>svsgmn1<="0001111";TD<=235;--7
        when "1000" =>svsgmn1<="0000000";TD<=246;--8
        when "1001" =>svsgmn1<="0000100";TD<=250;--9
        when others =>svsgmn1<="0000001";TD<=0;
    end case;
end process;
data(0) <= dac_l(23 downto 16);
-----
w1: d_ff8 port map(cdff,data(0),data(1));      w2: d_ff8 port
map(cdff,data(1),data(2));
w3: d_ff8 port map(cdff,data(2),data(3));      w4: d_ff8 port
map(cdff,data(3),data(4));
w5: d_ff8 port map(cdff,data(4),data(5));      w6: d_ff8 port
map(cdff,data(5),data(6));
w7: d_ff8 port map(cdff,data(6),data(7));      w8: d_ff8 port
map(cdff,data(7),data(8));

```

```

        w9: d_ff8 port map(cdff,data(8),data(9));      w10: d_ff8 port
map(cdff,data(9),data(10));
        w13: d_ff8 port map(cdff,data(12),data(13));  w14: d_ff8 port
map(cdff,data(13),data(14));
        w15: d_ff8 port map(cdff,data(14),data(15));  w16: d_ff8 port
map(cdff,data(15),data(16));
        w17: d_ff8 port map(cdff,data(16),data(17));  w18: d_ff8 port
map(cdff,data(17),data(18));
        w19: d_ff8 port map(cdff,data(18),data(19));  w20: d_ff8 port
map(cdff,data(19),data(20));

..
..
..
        w21: d_ff8 port map(cdff,data(20),data(21));  w22: d_ff8 port
w997: d_ff8 port map(cdff,data(996),data(997));      w998:
d_ff8 port map(cdff,data(997),data(998));
        w999: d_ff8 port map(cdff,data(998),data(999));  w1000:
d_ff8 port map(cdff,data(999),data(1000));
-----
        process (EN) begin -- enable
            if EN = '1' then
                GP0<=adc_l(23 downto 16);
                GP1<=data(TD*1);
                GP2<=data(TD*2);
                GP3<=data(TD*3);
                GP4<=data(TD*4);
            else
                GP0<=adc_r(23 downto 16);--data(172);
                GP1<="10000000";--data(1);
                GP2<=dac_l(23 downto 16);
                GP3<=data(3);
                GP4<=data(0);
            end if;
        end process;
        --dac_r <= adc_r;
        --dac_l <= adc_l;
        --adc_dat <=adc_l(23 downto 16);
        adc_s <= adc_rd;
        dac_s <= dac_rd;
        reset <= not(KEY(0));

        scaler: cLock_generator port map (CLOCK_27,reset,ac1k);
        config: audio_and_video_config port map
(CLOCK_50,reset,I2C_SDAT,I2C_SCLK);
        aud_io: audio_codec port
map(CLOCK_50,reset,adc_s,dac_s,dac_l,dac_r,AUD_ADCDAT,AUD_BCLK,AUD_ADCLRCK,
AUD_DACLCK,adc_rd,dac_rd,adc_l,adc_r,AUD_DACBUF);

end behavior;

```

Datasheet Sound Level Meter TES

TES-1351 Sound Level Meter

FEATURES

0.1dB Resolution
Maximum hold function
AUX OUTPUT JACKS



SPECIFICATION

Standard applied	IEC 651 Type2
Range	A LO (Low) - Weighting: 35- 90dB A HI (High) - Weighting: 75-130dB C LO (Low) - Weighting: 35- 90dB C HI (High) - Weighting: 75-130dB
Resolution	0.1dB
Frequency Range	31.5Hz to 8KHz
Accuracy	± 1.5dB (ref 94dB @1KHz)
Dynamic Range	55dB
Frequency Weighting	A、 C
Time Weighting	Slow & Fast
Maximum Hold	Decay < 1dB/3min
Microphone	Electret condenser microphone
Calibration	Electrical calibration by using the internal oscillator (1KHz sine Wave at 94dB)
Auxiliary Output	AC conditioned, 0.55Vrms corresponding to each range step, impedance: 600 W DC conditioned, 10mV/dB (nominally) impedance: 100 W
Operating Condition	0 °C to 40 °C < 80% R. H.
Storage Condition	-10 °C to 60 °C < 70% R.H.

Signal Name	FPGA Pin No.	Description
GPIO_0[0]	PIN_D25	GPIO Connection 0[0]
GPIO_0[1]	PIN_J22	GPIO Connection 0[1]
GPIO_0[2]	PIN_E26	GPIO Connection 0[2]
GPIO_0[3]	PIN_E25	GPIO Connection 0[3]
GPIO_0[4]	PIN_F24	GPIO Connection 0[4]
GPIO_0[5]	PIN_F23	GPIO Connection 0[5]
GPIO_0[6]	PIN_J21	GPIO Connection 0[6]
GPIO_0[7]	PIN_J20	GPIO Connection 0[7]
GPIO_0[8]	PIN_F25	GPIO Connection 0[8]
GPIO_0[9]	PIN_F26	GPIO Connection 0[9]
GPIO_0[10]	PIN_N18	GPIO Connection 0[10]
GPIO_0[11]	PIN_P18	GPIO Connection 0[11]
GPIO_0[12]	PIN_G23	GPIO Connection 0[12]
GPIO_0[13]	PIN_G24	GPIO Connection 0[13]
GPIO_0[14]	PIN_K22	GPIO Connection 0[14]
GPIO_0[15]	PIN_G25	GPIO Connection 0[15]
GPIO_0[16]	PIN_H23	GPIO Connection 0[16]
GPIO_0[17]	PIN_H24	GPIO Connection 0[17]
GPIO_0[18]	PIN_J23	GPIO Connection 0[18]
GPIO_0[19]	PIN_J24	GPIO Connection 0[19]
GPIO_0[20]	PIN_H25	GPIO Connection 0[20]
GPIO_0[21]	PIN_H26	GPIO Connection 0[21]

GPIO_0[22]	PIN_H19	GPIO Connection 0[22]
GPIO_0[23]	PIN_K18	GPIO Connection 0[23]
GPIO_0[24]	PIN_K19	GPIO Connection 0[24]
GPIO_0[25]	PIN_K21	GPIO Connection 0[25]
GPIO_0[26]	PIN_K23	GPIO Connection 0[26]
GPIO_0[27]	PIN_K24	GPIO Connection 0[27]
GPIO_0[28]	PIN_L21	GPIO Connection 0[28]
GPIO_0[29]	PIN_L20	GPIO Connection 0[29]
GPIO_0[30]	PIN_J25	GPIO Connection 0[30]
GPIO_0[31]	PIN_J26	GPIO Connection 0[31]
GPIO_0[32]	PIN_L23	GPIO Connection 0[32]
GPIO_0[33]	PIN_L24	GPIO Connection 0[33]
GPIO_0[34]	PIN_L25	GPIO Connection 0[34]
GPIO_0[35]	PIN_L19	GPIO Connection 0[35]
GPIO_1[0]	PIN_K25	GPIO Connection 1[0]
GPIO_1[1]	PIN_K26	GPIO Connection 1[1]
GPIO_1[2]	PIN_M22	GPIO Connection 1[2]
GPIO_1[3]	PIN_M23	GPIO Connection 1[3]
GPIO_1[4]	PIN_M19	GPIO Connection 1[4]
GPIO_1[5]	PIN_M20	GPIO Connection 1[5]
GPIO_1[6]	PIN_N20	GPIO Connection 1[6]
GPIO_1[7]	PIN_M21	GPIO Connection 1[7]

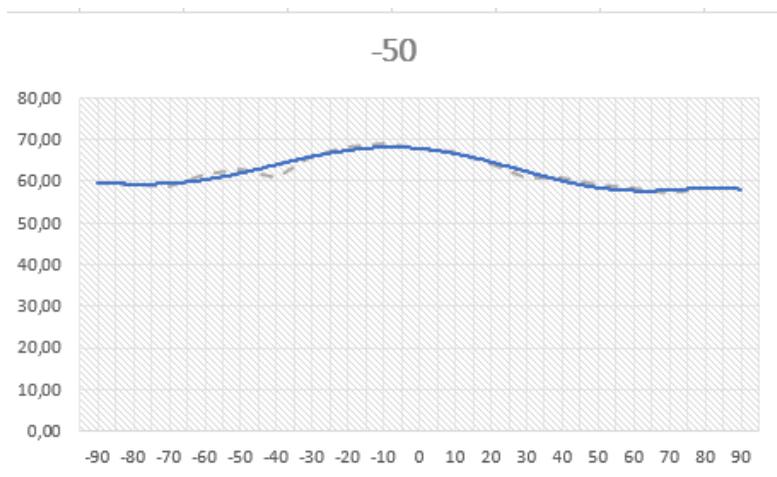
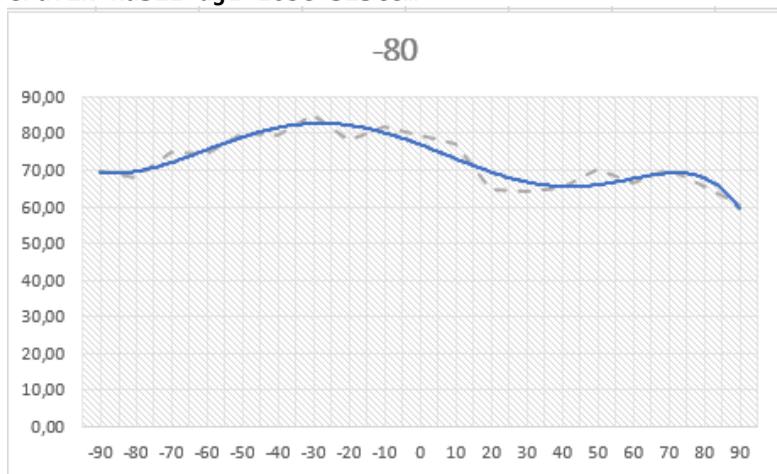
Phase(derajat)	Jarak	Negatif										MID
		90	80	70	60	50	40	30	20	10	0	
90	1m	71.20	75.70	74.00	81.00	84.00	85.00	88.00	88.00	88.30	86.00	
	2m	73.40	73.00	72.00	75.00	79.00	81.20	81.40	82.00	82.30	80.00	
	3m	68.60	70.60	73.90	70.80	75.40	77.70	77.90	78.20	78.60	78.70	
	4m	58.20	66.60	68.00	68.00	71.30	72.00	74.10	74.30	74.90	75.80	
80	1m	61.00	70.00	75.40	77.70	82.00	84.80	84.80	81.00	83.70	82.00	
	2m	69.70	68.00	74.80	74.20	80.00	79.60	85.20	78.00	81.70	79.30	
	3m	64.40	70.00	74.80	69.80	75.60	78.70	78.80	75.80	80.00	78.00	
	4m	0.62	69.60	71.30	70.80	74.70	75.40	76.60	77.00	77.10	75.80	
70	1m	59.00	65.30	68.00	74.40	76.60	80.70	81.20	81.80	81.90	80.70	
	2m	66.90	69.60	72.30	71.30	75.30	78.70	79.60	81.50	81.10	79.00	
	3m	66.60	67.30	72.00	70.30	74.60	75.40	77.20	79.10	79.60	78.00	
	4m	64.64	67.60	70.30	69.60	72.40	72.40	76.70	76.80	75.60	76.30	
60	1m	63.40	65.60	67.10	67.50	65.20	69.90	69.90	72.80	74.30	73.40	
	2m	57.00	59.70	61.80	62.10	63.50	64.40	65.50	68.50	69.40	68.90	
	3m	58.40	58.10	58.80	59.00	60.40	60.50	61.30	64.60	65.80	66.50	
	4m	57.00	58.50	58.70	58.20	61.00	59.40	59.30	61.50	62.30	63.20	
50	1m	63.00	64.00	62.40	65.80	67.00	67.00	71.00	70.00	75.00	75.50	
	2m	59.50	59.10	58.90	61.80	62.90	60.70	66.30	68.30	69.10	67.60	
	3m	59.50	57.50	59.20	60.50	61.70	59.70	61.30	64.70	65.00	66.00	
	4m	60.00	58.80	59.70	57.60	56.20	60.50	62.80	63.10	63.10	63.00	
40	1m	64.10	66.40	65.90	70.80	71.20	69.30	73.00	76.90	78.10	77.90	
	2m	57.10	60.00	60.00	58.60	57.70	67.80	71.30	68.20	54.50	61.90	
	3m											
	4m											
30	1m	59.00	64.90	65.30	69.20	69.40	61.80	70.60	76.10	77.20	78.50	
	2m	60.60	53.90	62.70	56.40	63.40	63.30	71.80	66.30	58.40	63.20	
	3m											
	4m											

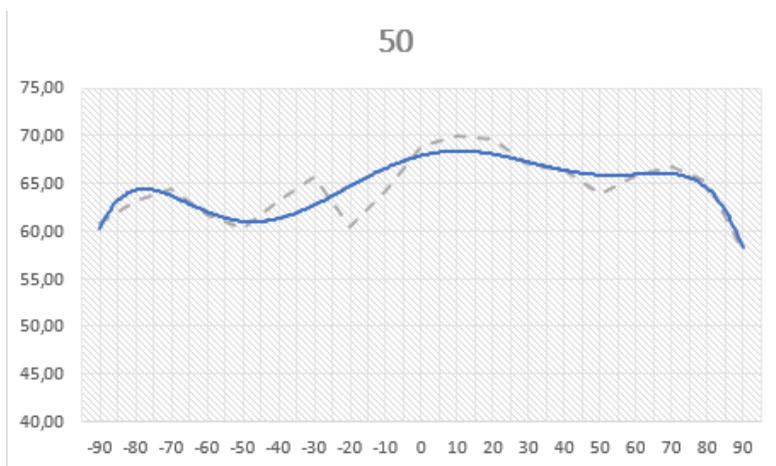
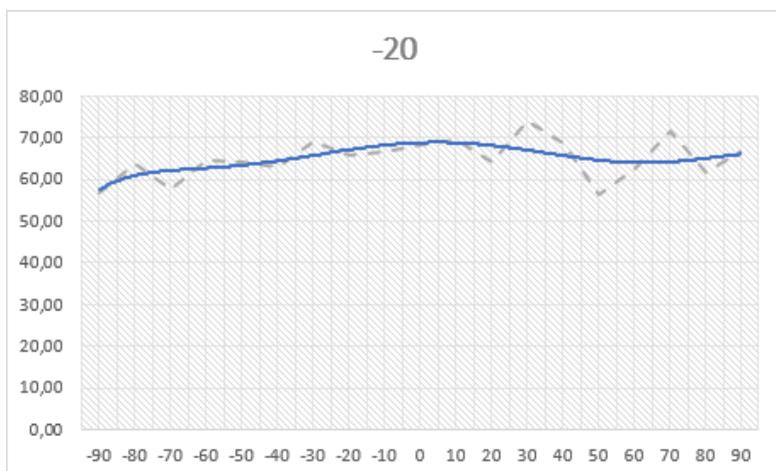
Positif									
10	20	30	40	50	60	70	80	90	
80,90	77,00	77,00	76,00	78,00	76,00	72,00	71,80	63,70	
77,00	68,00	71,90	73,50	69,00	72,40	68,70	67,00	64,00	
75,20	68,10	67,20	67,20	72,00	67,50	68,40	67,30	62,20	
67,60	63,30	61,00	63,30	61,40	61,00	65,70	65,70	62,40	
79,80	72,10	68,60	66,80	69,50	70,40	69,00	62,00	63,60	
77,10	64,60	64,10	65,20	70,40	66,70	70,10	65,70	60,30	
73,70	64,20	58,30	66,00	63,60	66,20	62,00	66,00	64,30	
72,30	60,20	59,20	65,70	63,90	62,30	64,10	63,60	63,00	
75,00	72,90	69,70	61,10	68,00	70,00	71,00	64,60	68,60	
74,50	65,20	64,30	66,20	67,30	64,00	70,00	63,00	63,60	
73,40	62,30	56,30	65,70	64,90	66,80	68,70	64,70	61,30	
72,20	58,80	54,30	64,00	63,10	63,40	67,70	62,00	61,20	
71,10	67,70	65,60	64,10	64,00	63,70	61,00	56,50	56,70	
68,00	64,10	61,40	60,80	62,50	60,00	58,70	57,00	56,80	
66,00	61,40	61,80	60,90	62,00	60,00	58,00	57,30	56,90	
62,00	58,70	57,80	57,40	57,90	56,60	56,60	56,00	57,00	
73,40	71,30	66,20	64,70	60,00	64,00	62,00	59,00	60,10	
67,00	64,00	60,70	60,90	59,00	58,50	57,00	58,20	58,20	
64,90	63,20	61,80	59,90	60,00	58,50	56,40	56,50	56,90	
61,20	60,00	56,30	57,70	56,10	56,10	56,40	52,00	58,00	
77,30	76,10	73,10	64,40	60,70	66,30	65,70	64,40	67,30	
60,00	56,50	73,80	63,00	59,40	61,50	69,90	66,50	65,50	
78,80	76,50	74,30	68,90	60,10	63,50	65,20	67,40	65,40	
66,80	61,60	74,80	65,00	60,30	64,50	68,50	65,40	61,20	

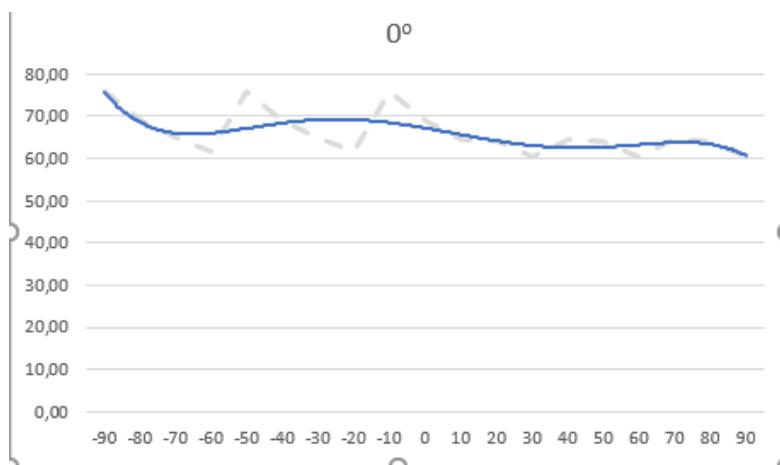
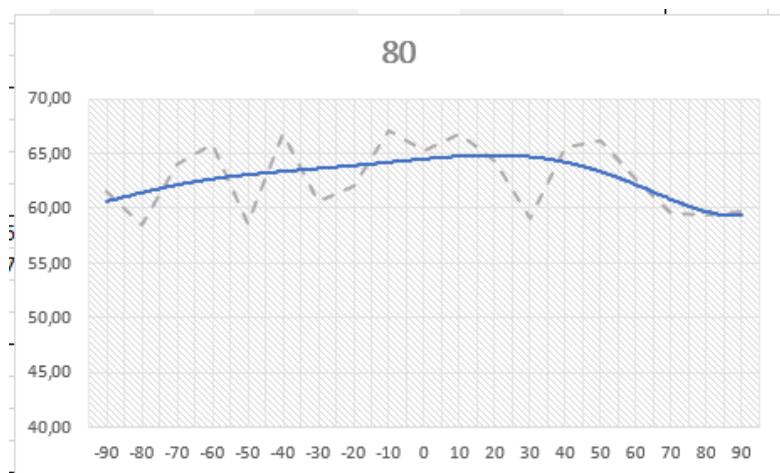
Sudut pengukuran		Sudut beda phasa pada speaker			
		-90	-60	-30	0
1	-90	60,70	60,50	60,00	60,40
2	-80	61,40	62,80	62,10	61,00
3	-70	61,30	63,70	62,20	62,80
4	-60	62,40	65,70	62,50	64,50
5	-50	64,00	67,90	63,60	64,40
6	-40	63,80	67,10	64,90	66,30
7	-30	64,80	67,00	64,20	68,10
8	-20	67,00	67,60	65,20	69,40
9	-10	67,50	66,30	66,40	70,30
10	0	64,50	67,30	66,90	72,50
11	10	65,40	66,10	67,10	71,20
12	20	64,90	66,40	65,20	68,90
13	30	64,20	65,10	64,90	67,90
14	40	63,70	64,30	63,70	67,30
15	50	62,90	63,80	62,90	66,40
16	60	62,80	63,40	63,20	65,40
17	70	62,60	63,00	61,80	62,60
18	80	61,70	62,50	60,60	60,10
19	90	60,50	60,20	60,30	59,00

Sudut pengukuran		Sudut beda fasa pada speaker			
		0	30	60	90
1	-90	60,40	59,80	59,60	60,20
2	-80	61,00	60,90	61,30	60,40
3	-70	62,80	61,80	61,50	61,90
4	-60	64,50	63,00	63,40	62,30
5	-50	64,40	64,30	63,60	63,90
6	-40	66,30	65,30	63,90	63,90
7	-30	68,10	67,00	64,40	64,30
8	-20	69,40	68,10	65,30	66,70
9	-10	70,30	69,10	65,30	66,20
10	0	72,50	68,80	66,80	66,70
11	10	71,20	67,80	66,10	68,00
12	20	68,90	68,00	67,50	67,10
13	30	67,90	66,70	65,50	67,10
14	40	67,30	64,90	65,20	66,20
15	50	66,40	64,30	64,90	65,70
16	60	65,40	63,80	63,20	64,40
17	70	62,60	62,50	62,90	63,40
18	80	60,10	61,60	61,50	62,00
19	90	59,00	60,40	60,50	60,90

Grafik Hasil uji lobe sistem







.....*Halaman ini sengaja dikosongkan*.....

BIODATA PENULIS



Olly Bangon Baskoro dilahirkan di Kediri, pada tanggal 6 januari 1993 dari pasangan Bapak Baidowi dan Ibu Sunarmiati. Penulis adalah anak kedua dari tiga bersaudara. Penulis menyelesaikan pendidikan dasar di SDN Mrican 1 Kediri, dilanjutkan dengan pendidikan menengah di SMPN 2 Kediri dan SMKN 1 Kediri, dilanjutkan dengan pendidikan diploma di D3 Teknik Elektro ITS. Pada tahun 2015, penulis memulai pendidikan di Departemen Teknik Elektro, Fakultas Teknologi Elektro, Institut Teknologi Sepuluh Nopember (ITS) Surabaya. Penulis dapat dihubungi melalui alamat email: zereox@gmail.com, baskoro15@mhs.ee.its.ac.id