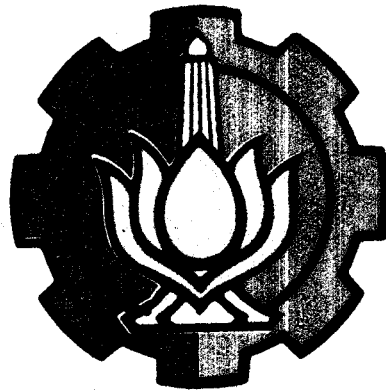


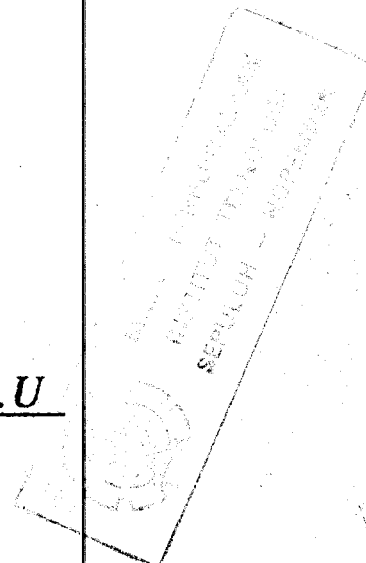
3556 / IT / H / 91 ✓

PERENCANAAN DAN PEMBUATAN ALAT PEMILIH JALUR UNTUK KOMUNIKASI SERIAL



RSE
601.398
Sde
P-1
1090

OLEH :
SOETONO EFFENDI B.U
NRP : 2842200223



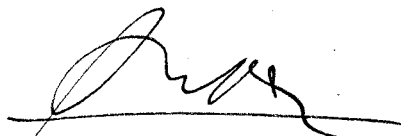
JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI SEPULUH NOPEMBER
SURABYA

PERENCANAAN DAN PEMBUATAN ALAT PEMILIH JALUR UNTUK KOMUNIKASI SERIAL

TUGAS AKHIR

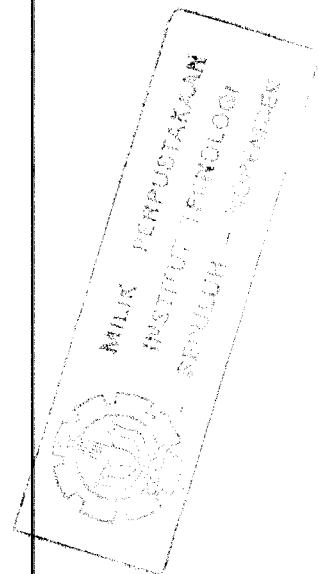
**Diajukan Guna Memenuhi Sebagian Persyaratan
Untuk Memperoleh Gelar
Sarjana Teknik Elektro
Pada
di
Bidang Studi Komputer
Jurusan Teknik Elektro
Fakultas Teknologi Industri
Kedua. Institut Teknologi Sepuluh Nopember
Surabaya**

**Mengetahui / Menyetujui
Dosen Pembimbing**



DR. Ir. SOEPENO DJANALI

**SURABAYA
MARET, 1990**

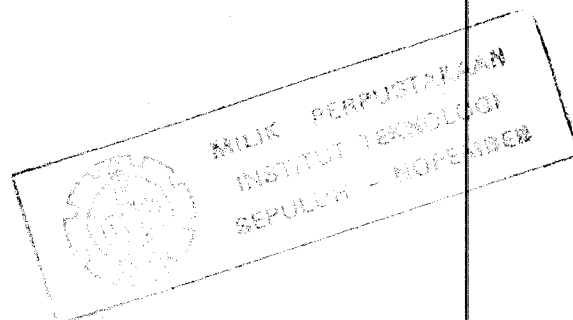


ABSTRAK

Dengan semakin berkembangnya teknologi dewasa ini terutama dalam bidang mikro elektronik, maka kebutuhan manusia dalam mencapai kesejahteraannya semakin meningkat pula. Terbukti dengan banyaknya komputer mikro IBM PC/XT yang terjual di masyarakat terutama di lingkungan mahasiswa dan perkantoran. Setelah mengerti penggunaan komputer tersebut para pemakai kemudian ingin melakukan komunikasi antara komputer yang satu dengan yang lain.

Dalam tugas akhir ini, direncanakan suatu alat yang dapat menghubungkan beberapa komputer yang berfungsi sebagai terminal menuju ke komputer yang berfungsi sebagai server. Tetapi pada saat terjadi hubungan antara terminal dan server hanya satu terminal saja yang boleh berhubungan sedang terminal lain menunggu selesainya, seperti kalau kita menggunakan telephon.

Sebagai komponen utama digunakan mikroprosesor Z-80 yang ditunjang dengan unit memori, unit Input / Output serta unit interface yang meliputi switch digital. Perangkat lunak dalam bahasa Assembly Z-80 digunakan untuk mengatur bekerjanya sistem keseluruhan. Sedang untuk program komunikasinya digunakan bahasa Pascal versi 5.5.



KATA PENGANTAR

Puji syukur kami panjatkan kehadirat Allah SWT yang telah melimpahkan berkah dan rahmatNya, sehingga penulis dapat menyelesaikan Tugas Akhir yang berjudul :

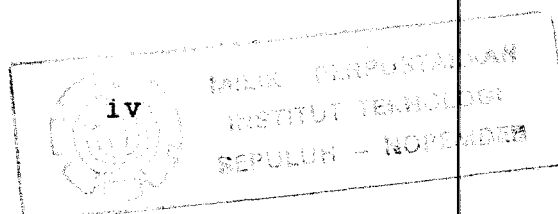
PERENCANAAN DAN PEMBUATAN ALAT PEMILIH JALUR UNTUK KOMUNIKASI SERIAL

Adapun Tugas Akhir ini mempunyai beban kredit 7 SKS yang merupakan pelengkap persyaratan guna memperoleh gelar Sarjana Teknik Elektro bidang studi Komputer pada Jurusan Teknik Elektro Fakultas Teknologi Industri di Institut Teknologi Sepuluh Nopember Surabaya.

Dalam menyelesaikan Tugas Akhir, penulis melakukan penyusunan berdasar pada teori-teori yang telah diperoleh selama kuliah, literatur dan bimbingan dari para dosen pembimbing dan dosen wali serta pihak lain yang telah banyak memberikan saran dan bantuan.

Penulis berharap agar Tugas Akhir ini dapat memberikan manfaat bagi pembangunan bangsa dan negara khususnya bagi para pembaca yang berminat.

Akhir kata tak lupa penulis menyampaikan rasa terima kasih yang setulusnya kepada :

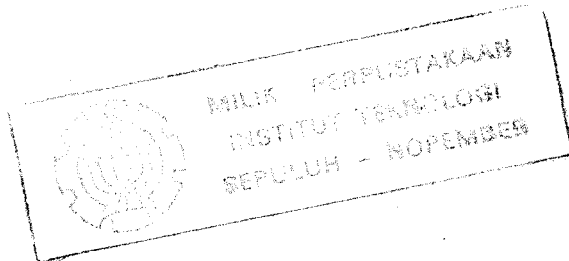


- Bapak Dr. Ir. Supeno Djanali selaku dosen pembimbing sekaligus dosen wali yang telah banyak memberikan bimbingan dan pengarahan yang sangat berarti.
- Bapak Ir. Syariffudin M. Eng. selaku Ketua Jurusan Teknik Fakultas Teknologi Industri ITS.
- Seluruh rekan mahasiswa bidang studi Komputer yang banyak membantu dan selalu menghibur.
- Kedua orang tua dan seluruh keluarga yang selalu memberikan doa restu.

Semoga amal baik mereka semua mendapat imbalan kebajikan yang berlipat ganda dari Allah SWT.

Surabaya, Maret 1990

Penulis

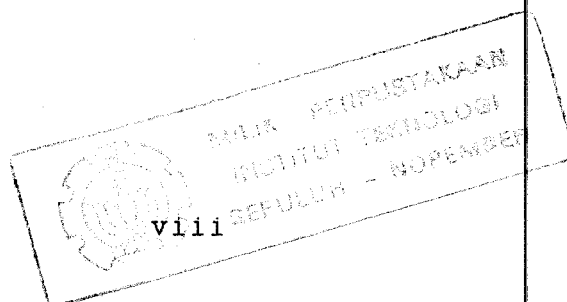


DAFTAR ISI

	Hal.
JUDUL	1
HALAMAN PENGESAHAN	11
ABSTRAK	iii
KATA PENGANTAR	iv
DAFTAR ISI	vi
DAFTAR TABEL	ix
DAFTAR GAMBAR	xi
BAB I. PENDAHULUAN	1
1. 1. LATAR BELAKANG	1
1. 2. PEMBatasan MASALAH	2
1. 3. METODOLOGI	2
1. 4. LANGKAH PEMBAHASAN	3
1. 5. RELEVANSI	4
BAB II. KOMUNIKASI SERIAL PADA IBM PC/XT	5
2. 1. UMUM	5
2. 2. TRANSMISI DATA SERIAL	5
2. 3. KOMUNIKASI ASYNCHRONOUS	7
2. 4. 8250 UART	9
2. 4. 1. PENJELASAN PIN-PIN 8250 ..	12
2. 4. 2. PEMROGRAMAN 8250	20
2. 5. RS-232C SERIAL INTERFACE	37

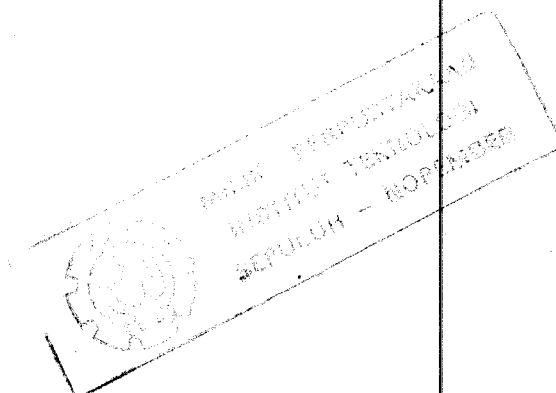
BAB III. SISTEM MIKROPROSESOR	43
3. 1. MIKROPROSESOR Z-80	43
3. 2. SISTEM ARSITEKTUR 3-BUS	44
3. 3. SISTEM BUS ALAMAT	45
3. 4. SISTEM BUS DATA	45
3. 5. SISTEM BUS KONTROL	45
3. 6. BUFFERING	47
3. 7. DECODING	47
3. 8. MEMORI	47
3. 8. 1. READ ONLY MEMORY (ROM) ...	48
3. 8. 2. PROSES BACA DATA DARI ROM	49
3. 9. PROGRAMMABLE PERIPHERAL INTERFACE 8255	50
3. 9. 1. KETERANGAN PIN-PIN 8255 ..	51
3. 9. 2. PENGATURAN MODE 8255	54
3. 9. 4. PENGATURAN 8255 UNTUK MODE 0	56
 BAB IV. PERENCANAAN DAN PEMBUATAN	 59
4. 1. UMUM	59
4. 2. BLOK DIAGRAM SISTEM	60
4. 3. PEMETAAN MEMORI	63
4. 4. ADDRESS DAN DATA BUFFER	64
4. 5. BUS KONTROL	67
4. 6. MENGHUBUNGKAN EPROM 2716 KE Z-80	67
4. 7. MENGHUBUNGKAN 8255 KE Z-80	67

4. 8.	PERENCANAAN OSCILATOR DAN RANGKAIAN RESET	70
4. 8. 1.	OSCILATOR Z-80	70
4. 8. 2.	RANGKAIAN RESET	71
4. 9.	RANGKAIAN PENGUBAH LEVEL TEGANGAN RS-232C KE LEVEL TTL	72
4. 10.	RANGKAIAN PENGUBAH LEVEL TEGANGAN TTL KE LEVEL RS-232C	73
4. 11.	RANGKAIAN SWITCH ANALOG	74
4. 12.	PERENCANAAN PERANGKAT LUNAK	75
4. 12. 1.	PERANGKAT LUNAK PADA SISTEM MINIMUM	75
4. 12. 2.	PERANGKAT LUNAK PADA IBM PC	76
BAB V.	PENGUKURAN	82
5. 1.	PENGUKURAN OSCILATOR	82
5. 2.	PENGUKURAN TEGANGAN PIN-PIN RS-232C	83
BAB VI.	KESIMPULAN	85
DAFTAR PUSTAKA	86
APPENDIX A	87
APPENDIX B	88
APPENDIX C	90



DAFTAR TABEL

Tabel	Hal.
2. 1. KONDISI A0, A1, A2 UNTUK PEMILIHAN REGISTER 8250	14
2. 2. KONDISI RESET KOMUNIKASI ASYNCHRONOUS 8250	15
2. 3. KOMBINASI BIT 1 DAN 0 DARI LCR	22
2. 4. ANGKA-ANGKA PEMBAGI PADA FREKWENSI CLOCK 2 MHZ	25
2. 5. KOMBINASI BIT 0, 1 DAN 2 PADA IIR	30
3. 1. TRUTH TABLE INTERNAL REGISTER PADA 8255 ..	54
4. 1. TRUTH TABLE D FLIP-FLOP	72
4. 2. FUNGSI BIOS UNTUK KOMUNIKASI SERIAL	78
4. 3. ALAMAT REGISTER 8250	80



DAFTAR GAMBAR

Gambar	Hal.
2. 1. BLOK DIAGRAM TRANSMISI DATA SERIAL	6
2. 2. FORMAT DATA TRANSMISI SERIAL ASYNCHRONOUS.	7
2. 3. KONFIGURASI 8250 UART	10
2. 4. REGISTER-REGISTER 8250	11
2. 5. LINE CONTROL REGISTER	21
2. 6. DIVISOR LATCH LEAST SIGNIFICANT BIT	24
2. 7. DIVISOR LATCH MOST SIGNIFICANT BIT	24
2. 8. LINE STATUS REGISTER	26
2. 9. INTERRUPT IDENTIFICATION REGISTER	29
2. 10. INTERRUPT ENABLE REGISTER	31
2. 11. MODEM CONTROL REGISTER	32
2. 12. MODEM STATUS REGISTER	34
2. 13. RECEIVER BUFFER REGISTER	36
2. 14. TRANSMITTER HOLDING REGISTER	37
2. 15. KONEKTOR RS-232C DAN DEFINISI PIN-PINNYA.	38
2. 16. LEVEL TEGANGAN RS-232C	39
2. 17. PENGARUH NOISE TERHADAP SINYAL	40
2. 18. HUBUNGAN RS-232C PALING SEDERHANA	40
2. 19. BENTUK UMUM HUBUNGAN RS-232C	41
2. 20. PENGGUNAAN SHIELDING DAN KABEL BERPILIN .	42
3. 1. DIAGRAM SISTEM MIKROPROSESSOR	44
3. 2. SISTEM ARSITEKTUR 3-BUS	46

Gambar	Hal.
3. 3. BLOK DIAGRAM DAN KONFIGURASI PIN-PIN 8255.	52
3. 4. DEFINISI CONTROL WORD 8255	57
4. 1. DIAGRAM BLOK UMUM	60
4. 2. DIAGRAM BLOK RANGKAIAN LENGKAP	61
4. 3. ADDRESS BUFFER YANG DIHUBUNGAN Z-80	66
4. 4. DATA BUFFER YANG DIHUBUNGAN Z-80	66
4. 5. DIAGRAM WAKTU MEMBACA DATA DARI ROM	68
4. 6. HUBUNGAN DATA DAN ALAMAT ANTARA EPROM 2716 DAN Z-80 TANPA BUFFER	69
4. 7. HUBUNGAN LANGSUNG ANTARA PPI 8255 DENGAN Z-80	70
4. 8. RANGKAIAN OSCILATOR Z-80 DAN RESET	72
4. 9. RANGKAIAN PENGUBAH LEVEL TEGANGAN RS-232C KE TTL	73
4. 10. RANGKAIAN PENGUBAH LEVEL TEGANGAN TTL KE RS-232C	74
4. 11. KONFIGURASI PIN-PIN 4066	74
4. 12. FLOWCHART PROGRAM DALAM SISTEM MINIMUM ..	77
5. 1. POLA PULSA CLOCK Z-80	83
5. 2. ALAT YANG DIRENCANAKAN	84



BAB I

PENDAHULUAN

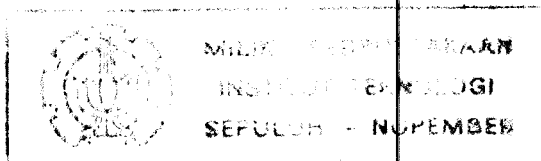
1. 1. LATAR BELAKANG

Dengan semakin meningkatnya perkembangan teknologi dewasa ini terutama dalam bidang komputer maka tuntutan manusia semakin meningkat pula. Komputerisasi terjadi di hampir semua bidang kehidupan manusia, seperti di bidang industri, usaha, jasa, di bidang pendidikan dan bahkan di rumah tangga. Manusia yang peradabannya semakin maju selalu menuntut segala pekerjaannya dapat berjalan secara otomatis, praktis, cepat dan tepat. Dengan menggunakan komputer semua hal tersebut dapat dilaksanakan. Dan perkembangan komputer ini ternyata telah melanda masyarakat di kota-kota besar di Indonesia. Hal ini terbukti dengan semakin pesatnya perkembangan komputer mikro IBM PC/XT pada beberapa tahun terakhir ini.

Setelah mengerti penggunaan dari PC, selanjutnya para pemakai berkeinginan untuk melakukan komunikasi antara PC yang satu dengan PC yang lain. Kemudian lebih berkembang lagi dengan membentuk jaringan komunikasi antara satu komputer yang bertindak sebagai pusat (server) dengan beberapa komputer sebagai terminal.

1. 2. PEMBATASAN MASALAH

Dalam tugas akhir ini akan dibahas perangkat keras dan perangkat lunak yang berfungsi untuk mengontrol komunikasi antara beberapa komputer menuju ke komputer yang bertindak sebagai server. Dalam menghubungkan komputer terminal dengan komputer yang bertindak sebagai server, hubungan dilaksanakan secara serial dengan metode komunikasi serial Asynchronous. Peralatan yang dibuat ini hanya melakukan switching antara komputer terminal dengan komputer server. Jadi jika suatu terminal sedang berhubungan dengan komputer server maka terminal yang lain tidak bisa berhubungan dengan komputer server dan akan ditampilkan pesan yang menyatakan bahwa ada terminal lain yang sedang berhubungan.



1. 3. METODOLOGI

Perencanaan serta pembahasan yang dilaksanakan dalam tugas akhir ini adalah bersifat praktis, yaitu perencanaan dan pembahasan yang mengarah pada pembuatan peralatan controler secara nyata. Awal pembahasan akan dimulai dengan pengertian tentang komunikasi serial pada komputer kemudian juga akan membahas prinsip-prinsip dasar sistem mikroprosesor serta hubungan dengan komponen penunjangnya, seperti unit input, output, memori, dan interface untuk membentuk sistem rangkaian

secara keseluruhan. Pembahasan selanjutnya akan menguraikan perencanaan perangkat lunak untuk mengoperasikan sistem mikroprosesor, dan pembahasan terakhir menyangkut pembuatan alat seperti yang telah direncanakan.

1.4. LANGKAH PEMBAHASAN

Agar lebih memudahkan pembaca dalam memahami isi dan maksud yang ditulis dalam Tugas Akhir ini, maka pembahasan disusun sebagai berikut :

Pada bab II akan dijelaskan mengenai teori dasar komunikasi data serial Asynchronous, cara kerja dari chip yang digunakan untuk komunikasi data serial yaitu INS8250, serta standard komunikasi data serial RS-232C.

Pada bab III akan dijelaskan mengenai mikroprosesor Z-80, unit memory, unit input/output serta unit lain yang menunjang.

Pada bab IV akan dijelaskan mengenai perencanaan dan pembuatan hardware dan software dari peralatan line switching ini.

Pada bab V akan dilakukan pengukuran dari peralatan yang telah dibuat antara lain frekwensi clock serta level tegangan pada RS-232.

Pada bab VI merupakan bab terakhir yang memberikan beberapa kesimpulan dan saran.

1. 5. RELEVANSI

Diharapkan agar hasil tugas akhir yang berjudul perencanaan dan pembuatan pemilihan jalur pada komunikasi serial IBM PC/XT dengan menggunakan mikroprosesor Z-80 ini, bisa dijadikan satu alternatif pilihan untuk membantu para pemakai jaringan komunikasi komputer.



BAB II

TEORI KOMUNIKASI

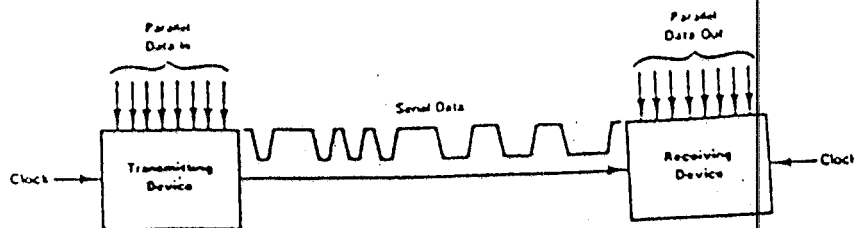
II. 1. UMUM

Dalam bab ini akan dibahas teori dasar dari transmisi data serial secara Asynchronous, cara kerja chip INS8250 untuk komunikasi, standard interface RS-232C serta hal-hal lain yang dianggap penting dalam menunjang sistem ini.

II. 2. TRANSMISI DATA SERIAL

Dalam suatu sistem komputer mikro transmisi data selalu dilaksanakan secara paralel, karena hal ini merupakan cara tercepat yang dapat dilakukan. Namun untuk transmisi data dengan jarak jauh, komunikasi secara paralel akan membutuhkan banyak kabel sehingga hal ini akan membutuhkan biaya yang relatif besar. Oleh karena itu pada transmisi data dengan jarak jauh, data yang akan dikirimkan diubah dari bentuk paralel menjadi serial sehingga data tersebut dapat dikirimkan hanya dengan sepasang kabel. data serial yang diterima kemudian diubah kembali ke bentuk paralel sehingga data tersebut dapat dengan mudah dilewatkan pada bus komputer. Gambar 2.1 menunjukkan diagram blok transmisi data serial. Ada tiga istilah¹⁾ yang sering dijumpai

¹⁾Hall, Douglas V., Microprocessor and Interfacing: Programming and Hardware, McGraw-Hill Book Company, Singapore, 1987, hal. 442



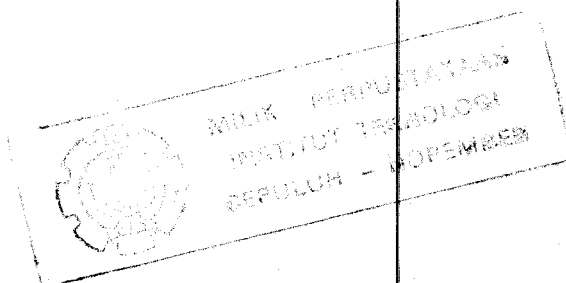
Gambar 2.1. 2)

DIAGRAM BLOK TRANSMISI DATA SERIAL

pada transmisi data serial yaitu Simplex, Half-duplex dan Full-duplex. Pada transmisi data Simplex, data hanya dapat dikirimkan dalam satu arah, sedangkan pada transmisi data Half-Duplex data dapat ditransmisikan dalam dua arah tetapi secara bergantian. Transmisi data Half-Duplex ini dapat dijumpai pada sistem komunikasi radio amatir (CB). Transmisi data Full-Duplex merupakan transmisi data dua arah di mana data dapat diterima sistem dan sekaligus sistem tersebut juga dapat mengirimkan data dalam waktu yang bersamaan. Transmisi data Full-Duplex ini dapat dijumpai pada sistem telepon.

Data serial dapat dikirimkan dalam dua cara baik secara Synchronous maupun secara Asynchronous. Pada transmisi Synchronous, data dikirimkan per blok data pada kecepatan konstan tertentu. Sedangkan pada transmisi Asynchronous data karakter dikirimkan satu per satu pada setiap saat yang dikehendaki.

²⁾Libes, Sol, and Garetz, Mark, Interfacing TO S-100/IEEE 696 Microcomputer, Osborne/McGraw-Hill, Berkeley, California, 1981, Hal. 176



II. 3. KOMUNIKASI ASYNCHRONOUS

Pada transmisi data Asynchronous setiap data karakter mempunyai satu bit yang berfungsi sebagai start bit dan satu atau dua bit yang berfungsi sebagai stop bit. Selain itu setiap data karakter juga dilengkapi dengan bit parity yang berfungsi untuk mendeteksi kesalahan data yang terjadi pada saat transmisi. Karena setiap karakter masing-masing diidentitaskan sendiri, karakter dapat dikirimkan setiap saat (Asynchronously) tidak tergantung dengan karakter yang lainnya. Gambar 2.2 menunjukkan bentuk umum format data transmisi serial Asynchronous.



Gambar 2.2 ³⁾

FORMAT DATA TRANSMISI SERIAL ASYNCHRONOUS

Bilamana tidak ada data yang dikirim, sinyal data akan tetap berlogika '1'. Keadaan ini dinamakan Marking. Awal dari suatu data karakter ditunjukkan dengan adanya transisi dari keadaan mark menuju logika '0' selama waktu 1 bit. Bit inilah yang dinamakan Start bit.

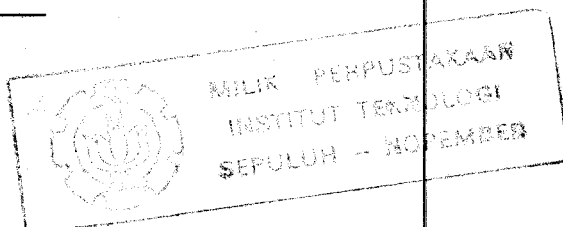
³⁾Libes, and Mark, Loc. Cit

Setelah start bit, bit-bit data dikirimkan satu per satu secara bergantian dimulai dengan Least Significant Bit (LSB) dahulu. Data dapat berisi 5, 6, 7 atau 8 bit tergantung pada sistem yang ada. Bit Parity dikirimkan setelah bit-bit data selesai ditransmisikan untuk mendeteksi bilamana ada kesalahan saat transmisi berlangsung. Sinyal data kemudian akan berlogika '1' selama paling sedikit waktu 1 bit untuk menunjukkan bahwa data karakter sudah berakhir. Bit yang selalu berlogika '1' ini dinamakan Stop bit.

Untuk transmisi data serial Asynchronous ini, kecepatan transmisi dinyatakan dengan istilah Baud Rate. Dimana baud rate ini didefinisikan sebagai satu per waktu yang diperlukan untuk satu sel bit. Bilamana waktu yang diperlukan 1 sel bit sebesar 3,33 ms⁴⁾, maka baud rate adalah $1/(3,33 \text{ ms})$ atau sebesar 300 Bd. Baud rate yang umum digunakan pada komunikasi serial adalah 110, 300, 1200, 2400, 4800, 9600 dan 19200 Bd.

Pada keadaan tidak ada data yang ditransmisikan, maka pin output TxD dari interface serial dalam keadaan 'mark' atau logika '1', ketika ada data, maka pengiriman data dimulai dengan adanya start bit (logika '0'), kemudian diikuti oleh data yang dikirim mulai dari LSB (bit D0) sampai MSB (Dn). Bila chip interface diprogram untuk menghasilkan bit parity maka selesai deretan bit

⁴⁾ Hall, *op. cit.*, hal. 443



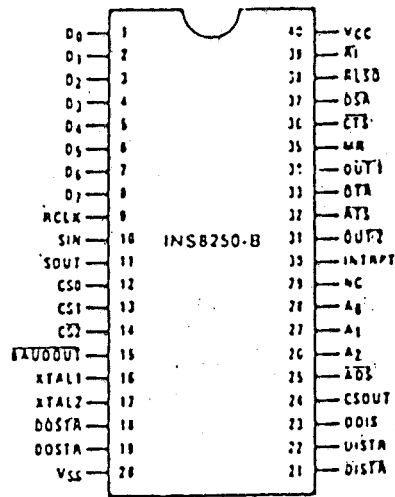
data bit berikutnya adalah bit parity. Ada dua jenis parity yaitu parity ganjil (odd parity) dan parity genap (even parity). Bila dipilih parity ganjil maka banyaknya bit logika '1' dari bit data dan parity selalu berjumlah ganjil. Bit parity tersebut digunakan untuk pemeriksaan keadaan data yang dikirim apakah sama dengan data yang diterima pada bagian penerima. Bila ada kesalahan atau kerusakan satu bit data maka akan timbul kesalahan parity, namun apabila ada dua bit data yang salah/rusak maka tidak akan terdeteksi kesalahan parity yang terjadi. Hal ini memang merupakan kelemahan dari deteksi kesalahan dengan metoda parity pada komunikasi serial. Bit terakhir sebagai penutup satu unit data adalah 'stop bit' yang berlogika '1'. Jumlah stop bit dapat diprogram sebanyak 1, 1,5 atau 2 bit.

Pada bagian penerima, juga memantau adanya start bit, bila start bit ditemukan maka bit berikutnya dianggap sebagai bit-bit data, parity dan stop bit. Bila terjadi kesalahan pada bit parity atau kesalahan tidak ditemukannya stop bit maka akan diketahui oleh bagian penerima dan bagian penerima akan men-set register status yang dimiliki untuk menyatakan error yang terjadi.

II. 4. CHIP 8250 UART

Chip 8250 adalah chip Universal Asynchronous Receiver / Transmitter hasil produksi National

Semiconductor. Mampu melakukan operasi pengiriman / penerimaan data serial dalam berbagai bentuk (format) data. Chip 8250 ini hanya mampu melakukan komunikasi serial mode asynchronous tetapi lebih kompleks dibandingkan dengan 8251. Gambar 2.3 menunjukkan konfigurasi pin-pin chip 8250.

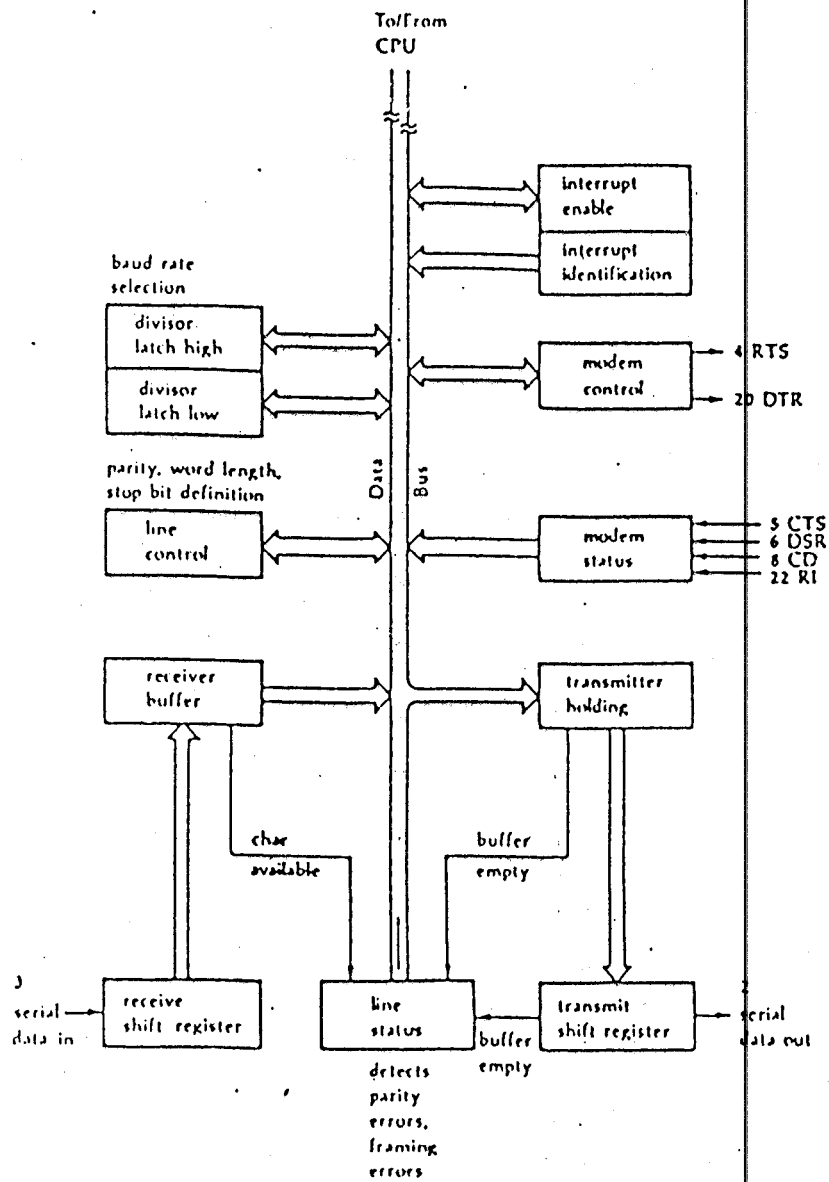


Gambar 2.3

KONFIGURASI CHIP 8250 UART

Chip 8250 ini mempunyai clock baud rate internal yang dapat diprogram untuk menghasilkan bermacam-macam baud rate. Selain itu 8250 juga berisi rangkaian internal yang menyebabkan pengoperasian dengan interrupt menjadi lebih mudah.

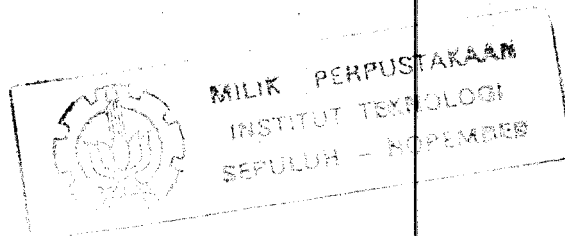
Chip 8250 memiliki 10 register (8 bit) yang dapat diprogram, tetapi 10 register tersebut diakses lewat 7 port address. Gambar 2.4 menunjukkan register yang ada pada chip 8250. Dari 10 register yang ada, hanya 6



Gambar 2.4 5)

REGISTER-REGISTER CHIP 8250 UART

5) Kruglinski, David, Guide To IBM-PC Communications, The Osborne / McGraw-Hill, 1986, Hal. 188



register yang diperlukan untuk komunikasi serial yang sederhana. Transmitter holding register untuk menampung data yang akan dikirim. Receive data register untuk menampung data diterima terbaru. Line control dan line status register yang digunakan untuk menginisialisasi dan memantau chip 8250. Dan 2 register lain yang penting adalah Baud rate divisor (Low dan high byte) yang berguna untuk menentukan baud rate. Sisa 4 register yang belum disebut adalah register untuk modem control dan modem status yang berguna untuk operasi chip 8250 dengan modem.

II. 4. 1. Penjelasan Pin-pin Chip 8250

Berikut ini adalah penjelasan pin-pin chip 8250. Pin-pin pada 8250 dapat dikelompokkan menjadi 3 bagian yaitu pin-pin input, output dan pin-pin input/output ⁶⁾.

II. 4. 1. 1. Pin-pin Input

- Chip Select (CS0, CS1, CS2), Pin 12-14

Bilamana CS0 dan CS1 berlogika '1' serta CS2 berlogika '0', chip 8250 akan enable. Proses chip select ini terjadi jika sinyal chip select yang telah terdecode di latch dengan aktifnya pin input ADS (Address Strobe).

- Data input Strobe (DISTR, DISTR), Pin 22 dan 21 Logika '1' pada pin DISTR atau logika '0' pada pin DISTR bilamana chip enable akan menyebabkan CPU dapat

⁶⁾ IBM Personal Computer XT Technical Reference Manual, Hal 1 - 191

membaca status informasi atau data dari register yang dipilih pada chip 8250. Karena hanya salah satu pin yang aktif (DISTR atau DISTR) untuk operasi pembacaan data tersebut maka hubungkan input DISTR pada ground atau pin DOSTR pada Vcc bilamana tidak digunakan.

- Address Strobe (ADS), pin 25

Logika '0' pada pin ini akan menyebabkan register yang terpilih (A0, A1, A2) dan sinyal chip select (CS0, CS1, CS2) di latch. Aktifnya pin input ADS ini diperlukan bilamana sinyal pemilih register tidak stabil selama waktu durasi dari operasi pembacaan atau operasi penulisan. Bilamana tidak diperlukan hubungkan input ADS pada ground.

- Register Select (A0, A1, A2), pin 26-28

Tiga sinyal input ini diperlukan untuk memilih salah satu dari 10 register yang ada pada 8250 agar salah satu register tersebut dapat membaca atau menulis. Tabel 2.2 menunjukkan kondisi A0, A1, dan A2 untuk pemilihan 10 register tersebut. Dalam hal ini keadaan bit DLAB (Divisor Latch Access bit) yang merupakan most significant bit pada Line Control Register, menentukan pemilihan beberapa register tertentu pada 8250.

- Master Reset (MR), pin 35

Logika '1' pada pin ini akan mengosongkan semua register 8250 (kecuali receive buffer, transmitter

TABEL 2.1 : ⁷⁾ KONDISI A0, A1, A2 UNTUK PEMILIHAN REGISTER CHIP 8250

DLAB	A2	A1	A0	Register
0	0	0	0	Receiver Buffer (Read), Transmitter Holding Register (Write)
0	0	0	1	Interrupt Enable
X	0	1	0	Interrupt Identification (Read Only)
X	0	1	1	Line Control
X	1	0	0	Modem Control
X	1	0	1	Line Status
X	1	1	0	Modem Status
X	1	1	1	None
1	0	0	0	Divisor Latch (Least Significant Bit)
1	0	0	1	Divisor Latch (Most Significant Bit)

holding, dan divisor latches register) dan logic control pada chip 8250. Selain itu keadaan dari beberapa sinyal output seperti SOUT, INTRPT< OUT1< OUT2, RTS, DTR) juga dipengaruhi oleh aktifnya input MR. Keadaan reset 8250 ini ditunjukkan pada Tabel 2.1.

- Receiver Clock (RCLK), pin 9

Input ini merupakan 16x clock baud rate untuk bagian receiver pada chip 8250.

- Serial input (SIN), pin 10

Merupakan serial data yang berasal dari hubungan komunikasi serial (modem, piranti Komunikasi).

⁷⁾ Ibid, hal 1-192

- Clear To Send (CTS), pin 36

Sinyal CTS merupakan sinyal kontrol modem di mana kondisi sinyal ini dapat dipantau dengan cara CPU membaca bit 4 dari modem status register. Bit 0 (DCTS) dari modem status register menunjukkan apakah keadaan input CTS telah berubah selama pembacaan modem status register. Bilamana keadaan bit CTS pada modem status register berubah, interrupt akan terjadi jika modem status interrupt enable.

TABEL 2.2 ⁸⁾ : KONDISI RESET KOMUNIKASI ASYNCHRONOUS CHIP 8250

Register/Signal	Reset Control	Reset State
Interrupt Enable Register	Master Reset	All Bits Low (0-3 Forced and 4-7 Permanent)
Interrupt Identification Register	Master Reset	Bit 0 is High, Bits 1 and 2 Low Bits 3-7 are Permanently Low
Line Control Register	Master Reset	All Bits Low
Modem Control Register	Master Reset	All Bits Low
Line Status Register	Master Reset	Except Bits 5 and 6 are High
Modem Status Register	Master Reset	Bits 0-3 Low Bits 4-7 - Input Signal
SOUT	Master Reset	High
INTRPT (RCVR Errors)	Read LSR/MR	Low
INTRPT (RCVR Data Ready)	Read RBR/MR	Low
INTRPT (RCVR Data Ready)	Read IIR/Write THR/MR	Low
INTRPT (Modem Status Changes)	Read MSR/MR	Low
OUT 2	Master Reset	High
RTS	Master Reset	High
DTR	Master Reset	High
OUT 1	Master Reset	High

⁸⁾ Ibid, hal 1-196

- Data Set Ready (DSR), pin 37

Logika '0' pada pin ini menunjukkan bahwa piranti komunikasi siap untuk berkomunikasi dengan chip 8250. Sinyal DSR ini merupakan sinyal kontrol modem di mana kondisi sinyal ini dapat dideteksi oleh CPU dengan membaca bit ke 5 (DSR) dari modem status register. Bit 1 dari modem status register (DDSR) menunjukkan apakah sinyal DSR telah berubah selama pembacaan modem status register. Bilamana keadaan bit DSR dari modem status register berubah, interrupt akan terjadi jika modem status interrupt enable.

- Received Line Signal Detect (RLSD), pin 38

Logika '0' pada pin ini menandakan bahwa data carrier telah terdeteksi oleh modem atau data set. Sinyal RLSD ini merupakan sinyal input kontrol modem di mana kondisi sinyal ini dapat dideteksi oleh CPU dengan membaca bit 7 (RLSD) dari status register. Bit 3 (DRLSD) dari modem status register, menunjukkan apakah kondisi sinyal RLSD telah berubah selama pembacaan modem status register. Bilamana keadaan bit RLSD dari modem status register berubah, interrupt akan terjadi jika modem status interrupt enable.

- Ring Indicator (RI), pin 39

Logika '0' pada pin ini menandakan bahwa sinyal dering telepon telah diterima oleh modem atau data set. Sinyal RI ini merupakan sinyal input kontrol modem

di mana kondisi sinyal ini dapat dideteksi oleh CPU dengan membaca bit 6 (RI) dari modem status register. Bit 2 (TERI) dari modem status register menandakan apakah sinyal input RI telah berubah dari logika '0' ke logikka '1' selama pembacaan modem status register. Bilamana bit Ri dari modem status register berubah dari '1' ke '0', interrupt akan terjadi jika modem status interrupt enable.

- VCC, pin 40

Catu tegangan sebesar +5 Vdc.

- Vss, pin 20

Sinyal ground.

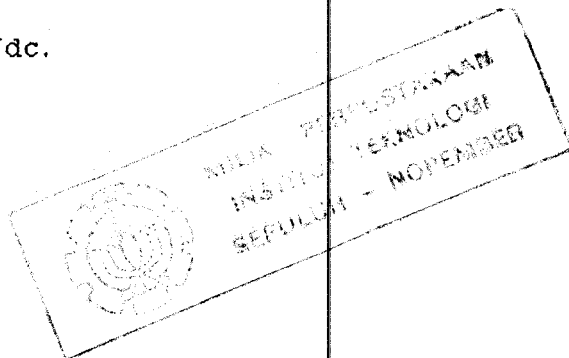
II. 4. 1. 2. Pin-pin Output

- Data Terminal Ready (DTR). pin 33

Logika '0' pada pin ini memberitahu modem atau data set bahwa 8250 siap untuk berkomunikasi. Sinyal output DTR dapat di-set aktif 'low' dengan memprogram bit '0' (DTR) dari modem kontrol register berlogika '1'. Ketika master reset terjadi, sinyal DTR di-set berlogika '1'.

- Request To Send (RTS), pin 33

Logika '0' pada pin ini akan memberitahukan modem atau data set bahwa 8250 siap untuk mengirim data. Sinyal output RTS ini dapat di-set aktif 'low' dengan memprogram bit 1 (RTS) dari modem kontrol register.



- Ketika master reset terjadi, sinyal RTS di-set berlogika '1'.
- Output 1 (OUT 1), pin
User-designated Output ⁹⁾ yang dapat di-set aktif 'low' dengan memprogram bit 2 (OUT 1) dari modem kontrol register berlogika '1'. Sinyal OUT 1 di-set 'high' ketika operasi master reset berlangsung.
 - Output 2 (OUT 2), pin 31
User-designated Output yang dapat di-set aktif 'low' dengan memprogram bit 3 (OUT 2) dari modem kontrol register berlogika '1'. Sinyal OUT 2 di-set 'high' ketika operasi master reset berlangsung.
 - Chip Select Out (CSOUT), pin 24
Logika '1' pada pin ini menandakan bahwa chip 8250 telah enable dengan aktifnya input-input CS0, CS1, dan CS2.
 - Driver Dissable (DDIS), pin 23
Pin ini akan berlogika '0' bilamana CPU sedang membaca data dari 8250. Logika '1' pada pin output DDIS dapat digunakan untuk menghentikan (disable) transmisi keluar (eksternal) kecuali jika CPU membaca data.
 - Baud Out (BAUDOUT), pin 15
Merupakan sinyal clock sebesar 16X baud rate pada bagian transmitter dari 8250. Besar sinyal clock ini

⁹⁾ Ibid, hal 1-194

sama dengan frekwensi referensi oscillator pada chip 8250 dibagi dengan bilangan pembagi tertentu pada 'baud generator divisor latches'. BAUDOUT juga dapat digunakan pada bagian receiver dengan mengumpangkan pin output ini pada pin input RCLK chip 8250.

- Interrupt (INTRPT), pin 30

Pin ini akan aktif bilamana tipe-tipe interrupt seperti received error flag, received data available, transmitter holding register empty dan modem status mempunyai kondisi '1' dan di-enable melalui IER. Sinyal INTRPT ini di-reset 'low' ketika sedang melayani permintaan interrupt tertentu dan ketika operasi master reset sedang terjadi.

- Serial Output (SQUT), pin 11

Merupakan data serial yang dikirimkan pada piranti komunikasi (modem atau data set). Sinyal SOUT di-set pada kondisi marking (logika '1') ketika master reset terjadi.

II. 4. 1. 3. Pin-pin Input/Output

- Data (D7 - D0) Bus, pin 1 - 8

Data bus ini merupakan 8 jalur input/output tristate. Data bus ini memungkinkan komunikasi 2 arah antara 8250 dan CPU. Data, control word dan informasi dipindahkan melalui data bus ini.

- Eksternal Clock Input / Output (XTAL1, XTAL2), pin 16 dan pin 17
- Kedua pin ini menghubungkan Kristal/sinyal clock pada chip 8250.

II. 4. 2. Pemrograman Chip 8250

Chip 8250 mempunyai beberapa register yang dapat diakses dan diprogram sesuai dengan sistem komunikasi yang diinginkan. Pemrogram dapat mengakses atau memprogram register-register chip 8250 melalui CPU. Register register tersebut dapat digunakan untuk mengontrol operasi chip 8250, mengirim data dan menerima data. Berikut ini adalah keterangan masing-masing register tersebut.

II. 4. 2. 1. Line Control Register (LCR)

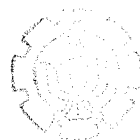
Register ini merupakan sarana untuk memprogram format data dari sistem komunikasi serial asynchronous yang diinginkan. Isi dari Line Control Register (LCR) ditunjukkan pada gambar 2. 5.

- Bit 0 dan 1 (Word Length Select Bit/WLS0 dan WLS1)

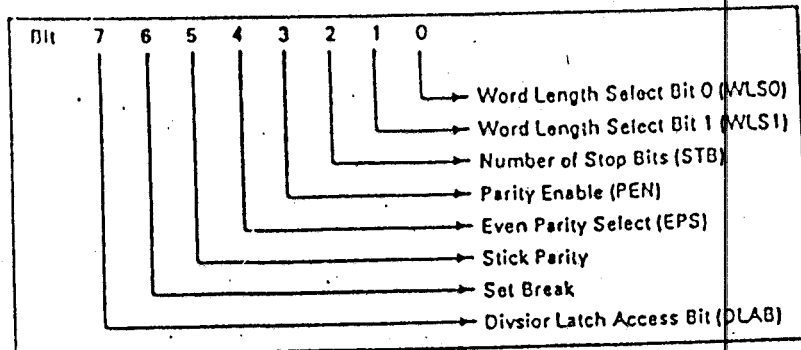
Kedua bit ini menentukan jumlah bit dari setiap data karakter serial yang dikirim atau diterima chip 8250. Tabel 2.4 menunjukkan kombinasi bit 0 dan 1 yang menentukan jumlah bit setiap data karakter.

- Bit 2 (Number of Stop Bit/STB)

Bit ini menentukan jumlah stop bit dari setiap data



karakter yang dikirim atau diterima 8250. Jika bit 2 berlogika '0', maka jumlah stop bit adalah 1.



Gambar 2.5 ¹⁰⁾

LINE CONTROL REGISTER

Jika bit 2 berlogika '1' dan panjang setiap data karakter 5 bit maka jumlah stop bit adalah 1 1/2. Jika bit 2 berlogika '1' tetapi panjang data karakter 6, 7 atau 8 bit maka stop bit berjumlah 2.

- Bit 3 (Parity Enable/PEN)

Bit ini merupakan parity enable bit dimana logika '1' pada bit ini akan menyebabkan bit parity dibangkitkan (pada sisi kirim) atau dideteksi (pada sisi terima).

Bit parity ini digunakan untuk menghasilkan jumlah '1' genap (even parity) atau ganjil (odd parity) bilamana bit-bit '1' dari data karakter dan bit parity dihitung banyaknya.

¹⁰⁾ Ibid, hal 1-197

TABEL 2.3 : KOMBINASI BIT 1 DAN 0 DARI LCR

Bit 1	Bit 0	Word Length
0	0	5 bit
0	1	6 bit
1	0	7 bit
1	1	8 bit

- Bit 4 (Even Parity Select)

Bit ini digunakan untuk memilih parity genap (even parity) atau parity ganjil (odd parity). Logika '1' pada bit 3 (PEN) dan logika '0' pada bit 4 ini merupakan parity ganjil dan logika '1' pada bit 3 (PEN) dan logika '1' dan logika '1' pada bit 4 merupakan parity genap.

- Bit 5 (Stick Parity)

Logika '1' pada bit 5 ini dan logika '1' pada bit 3 (PEN) akan menyebabkan parity bit dikirimkan dan kemudian dideteksi oleh penerima sebagai logika '0' bila bit 4 berlogika '1' sebagai logika '1' bila bit 4 berlogika '0'.

- Bit 6 (Set Break)

Logika '1' pada bit ini akan menyebabkan serial output (SOUT) berada pada kondisi Spacing (logika '0') dan tetap demikian walaupun bagian transmisi masih

bekerja. Set Break ini dapat dimatikan (disabled) dengan men-set bit 6 pada logika '0'.

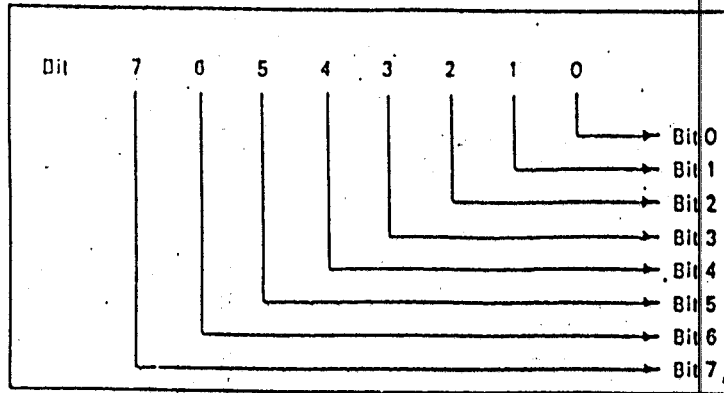
- Bit 7 (Divisor Latch Access Bit/DLAB)

Logika '1' pada bit ini menyebabkan CPU dapat mengakses divisor latch dari pembangkit baud rate selama operasi read atau write. Ketika CPU mengakses receiver buffer, transmitter holding register atau interrupt enable register, bit 7 ini harus berlogika '0'.

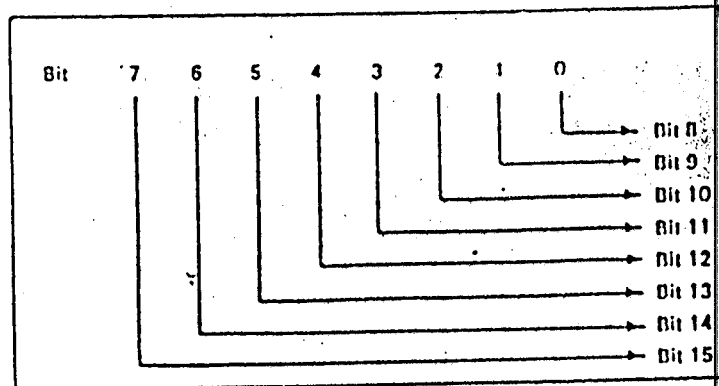
*II. 4. 2. 2. Divisor Latch Least/Most Significant Bit
(DLL dan DLM)*

Chip 8250 Berisi program baud rate generator yang mampu membagi clock input dengan suatu pembagi dari 1 sampai $(2^{16} - 1)$. Frekwensi output dari baud generator sebesar $16 \times \text{baud rate (pembagi)} = \text{frekwensi clock input} / (16 \times \text{baud rate})$. Dua register latch 8 bit digunakan untuk menyimpan pembagi dalam format 16 bit biner. Divisor register latch ini harus diakses selama proses inisialisasi agar operasi dari baud rate generator sesuai dengan yang diinginkan. Gambar 2.6 dan 2.7 menunjukkan konfigurasi dari 16 bit register latch.

Frekwensi maksimum yang diperbolehkan pada baud rate generator 8250 adalah sebesar 3.1 MHZ. Tabel 2.4. menunjukkan angka-angka pembagi yang digunakan untuk menghasilkan bermacam-macam baud rate yang diinginkan pada frekwensi baud rate generator sebesar 2 MHZ.

Gambar 2.6 ¹¹⁾

DIVISOR LATCH LEAST SIGNIFICANT BIT (DLL)

gambar 2.7. ¹²⁾

DIVISOR LATCH MOST SIGNIFICANT BIT (DLM)

¹¹⁾ Ibid, hal. 1-196

¹²⁾ Ibid, hal 1-200

TABEL 2.4 : ANGKA ANGKA PEMBAGI PADA FREKWENSI CLOCK 2 MHZ

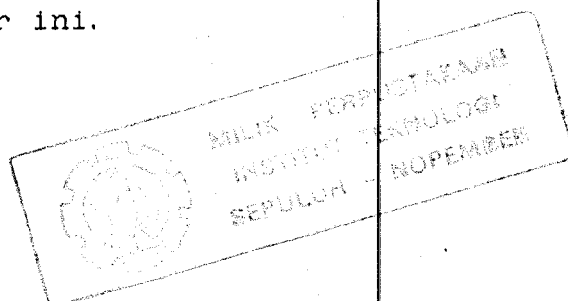
Baud Rate Yang Diinginkan	Besarnya Pembagi Yang Digunakan Untuk Menghasilkan 16 X Clock	
	Desimal	Heksa
50	2500	09C4
75	1666	0682
110	1136	0470
150	833	0341
300	416	01A0
600	208	00D0
1200	104	0068
2400	52	0034
4800	26	001A
7200	17	0011
9600	13	000D

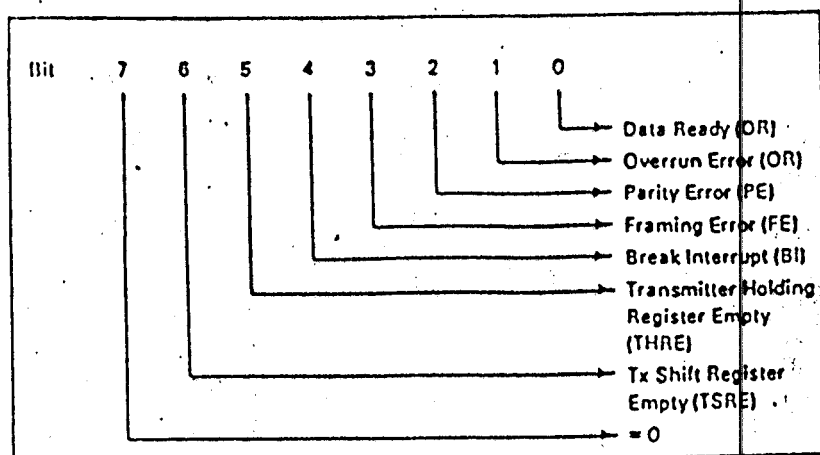
II.4.2.3. Line Status Register (LSR)

Register 8 bit ini memberikan informasi tentang status dari CPU yang berkaitan dengan transfer data. Isi dari line status register ditunjukkan pada gambar 2.15.

- Bit 0 (Data Ready/DR)

Bit ini merupakan indikator dari receiver data ready (DR). Bit 0 ini akan di-set '1' bilamana karakter yang diterima sudah lengkap dan siap dikirimkan ke receiver buffer register. Bit '0' dapat di reset berlogika '0' baik pada saat CPU sedang membaca data pada receiver buffer register atau register atau ketika CPU menulis logika '0' pada register ini.





Gambar 2.8. 13)

LINE STATUS REGISTER

- Bit 1 (Overrun error/OR)

Bit ini merupakan indikasi adanya overrun error. Overrun error ini terjadi jika data yang ada pada receiver buffer register belum sempat terbaca oleh CPU namun receiver buffer register sudah diisi lagi dengan data yang baru. Sehingga data yang belum sempat terbaca hilang. Bit OE akan di-reset ketika CPU membaca isi line status register.

- Bit 2 (Parity Error)

Bit ini merupakan indikasi adanya parity error. Parity error ini terjadi bilamana data yang diterima tidak mempunyai jumlah parity yang tepat seperti ketika di-set pertama kali (genap/ganjil). Bit PE ini akan di-

13) Ibid, hal 1-201

set berlogika '1' ketika terjadi parity error dan di-reset pada saat line status register dibaca

- Bit 3 (Framming Error/FE)

Logika '1' pada bit ini menunjukkan bahwa Framming error terjadi. Framming error terjadi jika karakter yang diterima tidak mempunyai stop bit yang tepat (valid). Bit ini di-reset pada saat line status register dibaca CPU.

- Bit 4 (Break Interrupt/BI)

Bit ini merupakan indikator terjadinya break interrupt. Bit ini di-set '1' bilamana data yang diterima berlogika '0' selama lebih dari waktu yang dibutuhkan untuk 1 data karakter (total waktu dari start bit + data bit + parity + stop bit). Bit ini di reset ketika CPU membaca line status register.

- Bit 5 (Transmitter Holding Register Empty/THRE)

Bit ini menunjukkan bahwa 8250 siap untuk menerima data karakter baru yang akan dikirim. Aktifnya bit ini dapat menyebabkan 8250 meng-interrupt CPU bilamana Transmitter holding register ke transmitter shift register dan di-reset saat transmitter holding register dibaca CPU.

- Bit 6 (Transmitter Shift Register Empty/TSRE)

Logika '1' pada bit ini menandakan bahwa transmitter

shift register sedang menunggu adanya karakter dari transmitter holding register. Bit ini di-reset pada saat transmitter holding register mengirim data ke transmitter shift register. Bit 6 ini merupakan bit yang hanya dapat dibaca.

- Bit 7

Bit ini selalu di-set '0'.

II. 4. 2. 4. Interrupt Identification Register

8250 mempunyai rangkaian interrupt internal yang dapat dikendalikan/diprogram dengan perangkat lunak. Selain itu interrupt pada 8250 ini juga dilengkapi dengan prioritas 4 tingkat (level) dengan urutan sebagai berikut :

Prioritas 1 : Receiver line status

Prioritas 2 : Received data ready

Prioritas 3 : Transmitter holding register empty

Prioritas 4 : Modem status

Informasi tentang prioritas interrupt tersebut selalu dideteksi dan tipe dari prioritas interrupt disimpan pada interrupt identification register. Isi dari interrupt identification register ditunjukkan pada gambar 2.9.

- Bit 0 (Interrupt Pending)

Logika '0' pada bit ini menunjukkan bahwa kondisi

interrupt terjadi. Dan logika '1' pada bit 0 ini menunjukkan bahwa interrupt tidak terjadi dan proses polling terus berlanjut.

- Bit 1 dan 2 (Interrupt ID)

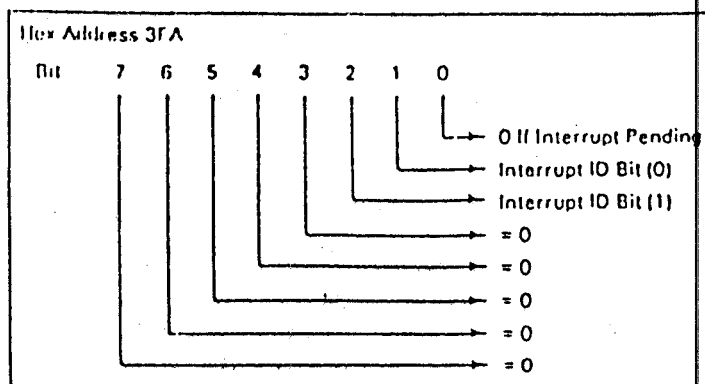
Dua bit ini digunakan untuk menentukan prioritas interrupt yang akan terjadi. Tabel 2.6. menunjukkan kombinasi bit-bit 0, 1 dan 2 dari interrupt identification register yang menentukan interrupt control function.

- Bit 3 - bit 7

Bit 3 sampai dengan bit 7 ini selalu di-set '0'.

II. 4. 2. 5. Interrupt Enable Register (IER)

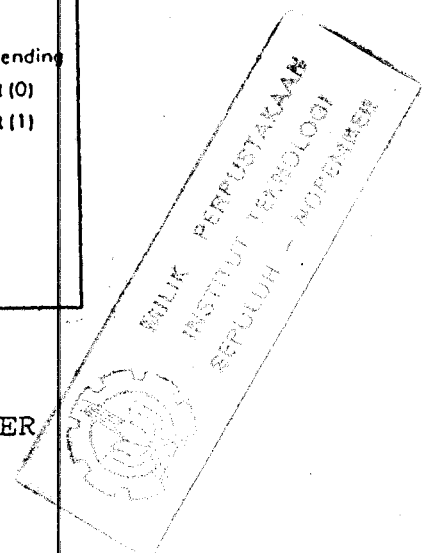
Register 8 bit ini memungkinkan keempat bentuk interrupt yang ada pada 8250 untuk secara terpisah mengaktifkan sinyal output INTRPT. Selain itu lewat



Gambar 2.9. ⁽⁴⁾

INTERRUPT IDENTIFICATION REGISTER

⁽⁴⁾ Ibid, hal. 1-203

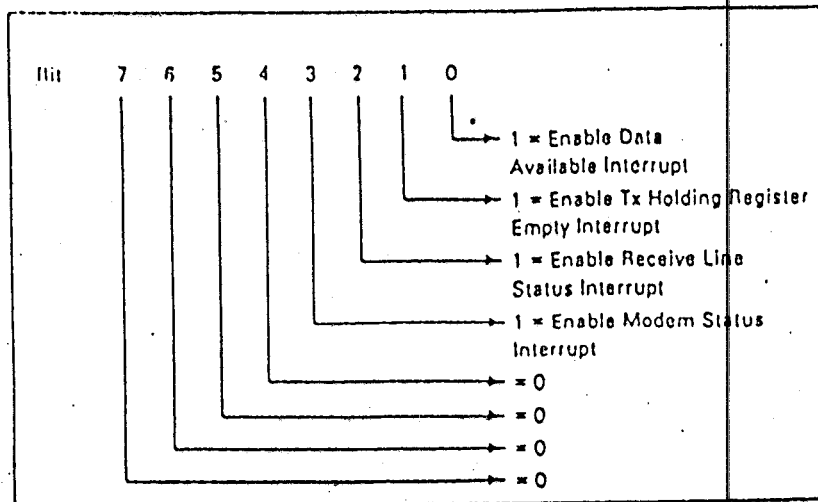


TABEL 2.5 ¹⁵⁾ KOMBINASI BIT 0, 1 DAN 2 PADA IIR

Bit 2	Bit 1	Bit 0	Priority Level	Interrupt Type	Interrupt Source	Interrupt Reset Control
0	0	1		None	None	
1	1	0	Highest	Receiver Line Status	Overflow Error or Parity Error or Framing Error or Break Interrupt	Reading the Line Status Register
1	0	0	Second	Received Data Available	Receiver Data Available	Reading the Receiver Buffer Register
0	1	0	Third	Transmitter Holding Register Empty	Transmitter Holding Register Empty	Reading the IIR Register (if source of interrupt) or Writing into the Transmitter Holding Register
0	0	0	Fourth	Modem Status	Clear to Send or Data Set Ready or Ring Indicator or Received Line Signal Direct	Reading the Modem Status Register

register ini sistem interrupt yang ada juga dapat dimatikan dengan cara me-reset bit 0 sampai bit 3 pada logika '0'. Keempat bentuk interrupt yang ada pada 8250 masing-masing dapat diaktifkan dengan cara men-set bit 0 sampai bit 3 yang sesuai dengan bentuk interrupt yang dikehendaki. Isi dari interrupt enable register ditunjukkan seperti pada gambar 2.10.

¹⁵⁾ Ibid, hal. 1-204



Gambar 2.10. 16)

INTERRUPT ENABLE REGISTER

- Bit 0

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt received data ready (prioritas)

- Bit 1

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt transmitter holding register empty (prioritas 3).

- Bit 2

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt receive line status (prioritas 1).

- Bit 3

Logika '1' pada bit ini akan mengaktifkan bentuk interrupt modem status (prioritas 4).

- Bit 4 - bit 7

Keempat bit ini selalu di set '0'.

16) Ibid, hal 1-205

II.4.2.6. Modem Control Register

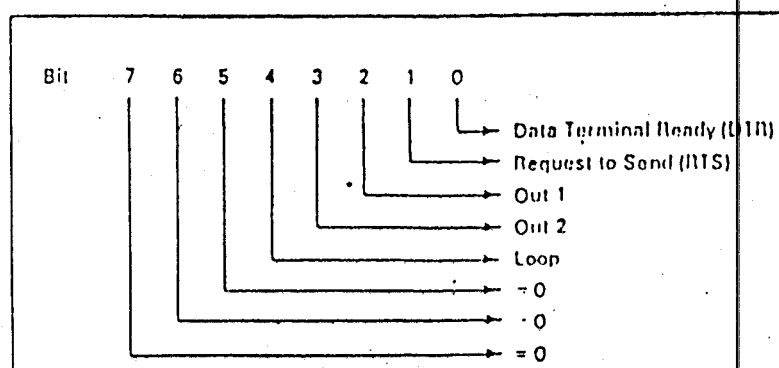
Register 8 bit ini digunakan untuk mengontrol moden. Isi dari modem control register seperti pada gambar 2.11.

- Bit 0 (Data Terminal Ready)

Bit ini digunakan untuk mengontrol sinyal output data terminal ready. Logika '1' pada bit ini akan menyebabkan pin DTR berlogika '0'. Sebaliknya logika '0' pada pin ini akan men-set pin DTR berlogika '1'.

- Bit 1 (Request To Send)

Merupakan bit pengontrol pin output to send (RTS). Keadaan bit 1 dalam mempengaruhi pin RTS sama seperti pada bit 0.



Gambar 2.11. 17)

MODEM CONTROL REGISTER

17) Ibid, hal 1-206

- Bit 2 (Out 1)

Logika '1' pada bit ini akan menyebabkan pin OUT 1 pada kondisi '0' dan sebaliknya logika '0' akan menyebabkan out 1 pada kondisi '1'.

- Bit 3 (Out 2)

Logika '1' pada bit ini akan menyebabkan pin OUT 2 pada kondisi '0' dan sebaliknya logika '0' akan menyebabkan OUT 2 pada kondisi '1'.

- Bit 4 (Loop)

Bit ini merupakan sarana untuk memeriksa operasi dari 8250. Logika '1' pada bit ini akan mengaktifkan hal-hal sebagai berikut :

- Transmitter Serial Output (SOUT) berada pada kondisi 'marking' dan Receiver Serial Input (SIN) tidak terhubung.
- Output dari Transmitter Shift Register diumpankan kembali ke input Receiver Shift Register.
- Keempat input pengontrol modem (CTS, DSR, RLSD dan RI) tidak terhubung dan keempat output pengontrol modem (DTR, RTS, OUT 1 dan OUT 2) dihubungkan internal ke input dari keempat input pengontrol modem di atas. Pada saat pengujian dilakukan, data yang dikirimkan segera diterima kembali. Keistimewaan ini membuat CPU dapat memeriksa pengiriman dan penerimaan data pada

8250. Ketika pengujian berlangsung sistem interrupt dapat diaktifkan dengan interrupt enable register.

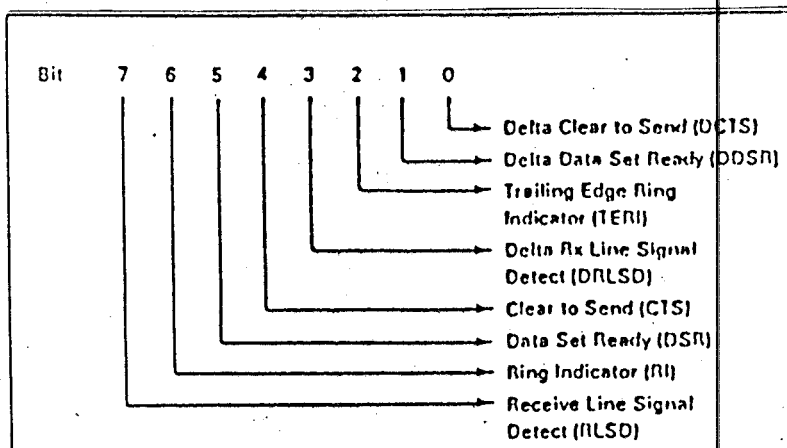
Logika '0' pada bit ini akan mengembalikan 8250 pada operasi normal.

- Bit 5 - bit 7

Ketiga bit ini selalu pada logika '0'.

II. 4. 2. 7. Modem Status Register

Merupakan 8 bit register yang digunakan sebagai indikator dari pin-pin pengontrol modem. Empat bit dari modem status register ini digunakan untuk memberikan informasi tentang perubahan-perubahan yang terjadi pada pin pengontrol modem. Bit-bit ini akan di-set '1' bilamana ada perubahan yang terjadi dan akan di-reset '0' pada saat CPU membaca status register ditunjukkan pada gambar 2.12 berikut.



Gambar 2.12. 18)

MODEM STATUS REGISTER

18) Ibid, hal 1-208

- Bit 0 (Delta Clear To Send/DCTS)

Merupakan bit indikator dari delta clear to send yang menunjukkan bahwa input CTS telah berubah sejak terakhir kali ketika dibaca CPU.

- Bit 1 (Delta Data Set Ready/DDSR)

Merupakan bit indikator dari delta data set ready yang menunjukkan bahwa input DSR telah berubah sejak terakhir kali ketika dibaca CPU.

- Bit 2 (Trailing Edge Ring Indicator/TERI)

Merupakan bit indikator dari trailing edge ring yang menunjukkan bahwa input RI telah berubah dari logika '1' menuju logika '0'.

- Bit 3 (Delta RX Line Signal Detect)

Merupakan bit indikator dari delta received line signal detector yang menunjukkan bahwa input RLSD telah berubah keadaan.

- Bit 4 (Clear To Send/CTS)

Bit ini merupakan komplemen dari sinyal input CTS. Bila bit 4 (loop) dari MCR pada logika '1', bit ini merupakan RTS pada MCR.

- Bit 5 (Data Set Ready/DSR)

Bit ini merupakan komplemen dari sinyal input DSR. Bila bit 4 (loop) dari MCR pada logika '1', bit ini merupakan DTR pada MCR.

- Bit 6 (Ring Indicator/RI)

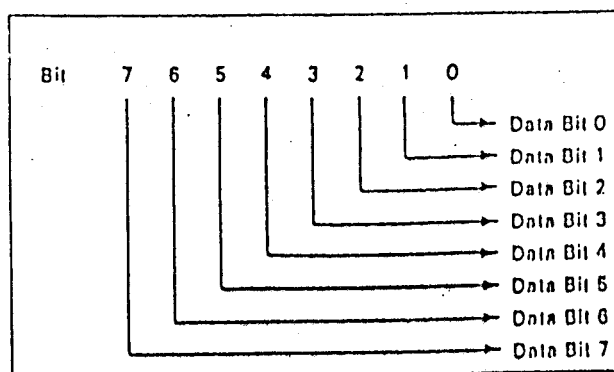
Bit ini merupakan komplemen dari sinyal input RI. Bila bit 4 (loop) dari MCR pada logika '1', bit ini merupakan OUT 1 pada MCR.

- Bit 7 (Receive Line Signal Detect/RLSD)

Bit ini merupakan komplemen dari sinyal input RLSD. Bila bit 4 (loop) dari MCR pada logika '1', bit ini merupakan OUT 2 pada MCR.

II. 4. 2. 8. Receiver Buffer Register

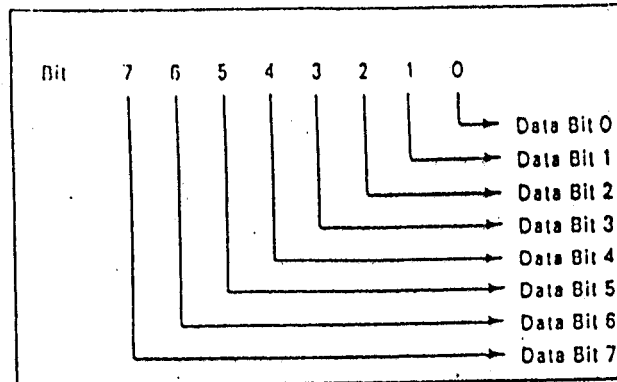
Receiver buffer register berisi data karakter yang diterima. Bit 0 merupakan least significant bit dan yang pertama kali diterima. Receiver buffer register ditunjukkan pada gambar 2.13.



Gambar 2.13. 19)

RECEIVER BUFFER REGISTER

19) Ibid, hal 1-210



Gambar 2.14. 20)

TRANSMITTER HOLDING REGISTER

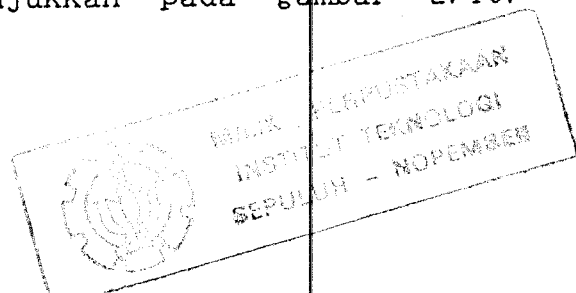
II. 6. 2. 9. Transmitter Holding Register

Transmitter holding register berisi data karakter yang akan ditransmisikan secara serial. Bit 0 merupakan least significant bit dan yang ditransmisikan pertama kali. Transmitter holding register ditunjukkan pada gambar 2.14.

II. 5. RS-232C SERIAL INTERFACE

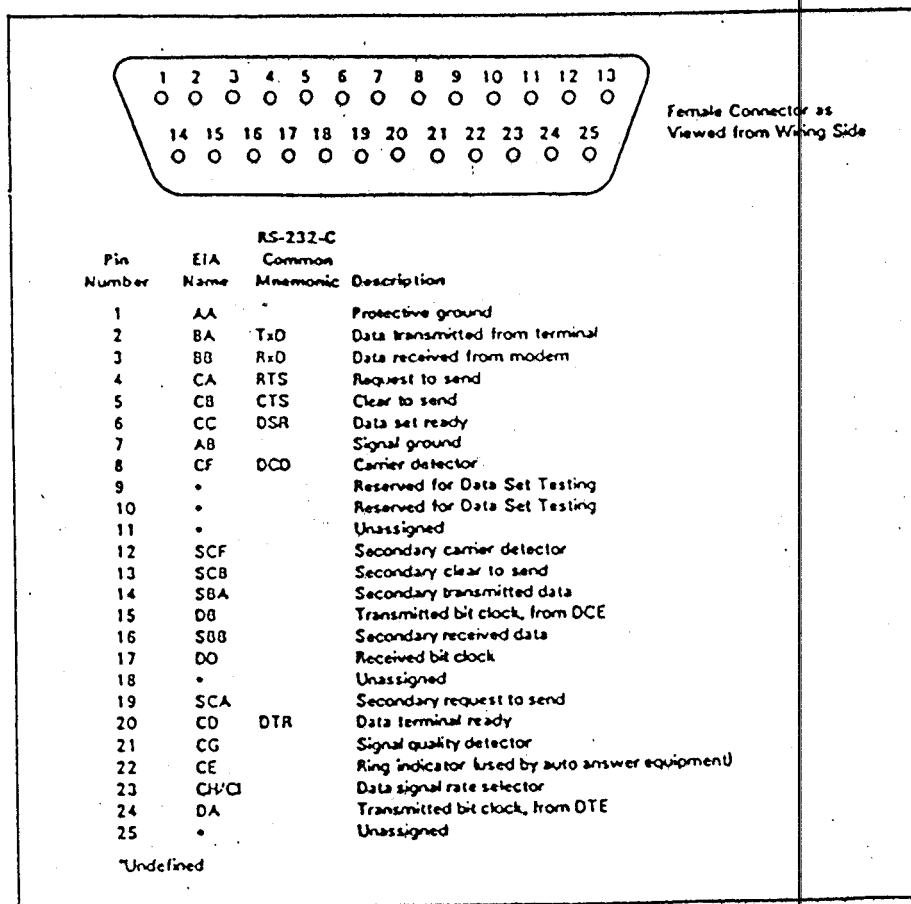
RS-232C adalah standard interface milik EIA (Electronic Industries Association) yang digunakan untuk menghubungkan komponen-komponen dalam sistem seperti modem, printer serial dengan komputer. RS-232C memiliki 25 pin sinyal seperti ditunjukkan pada gambar 2.15.

20) Ibid, hal 1-212



Standard tersebut juga meliputi level tegangan sinyal yang menyatakan logika '0' dan '1' yang ditunjukkan pada gambar 2.15.

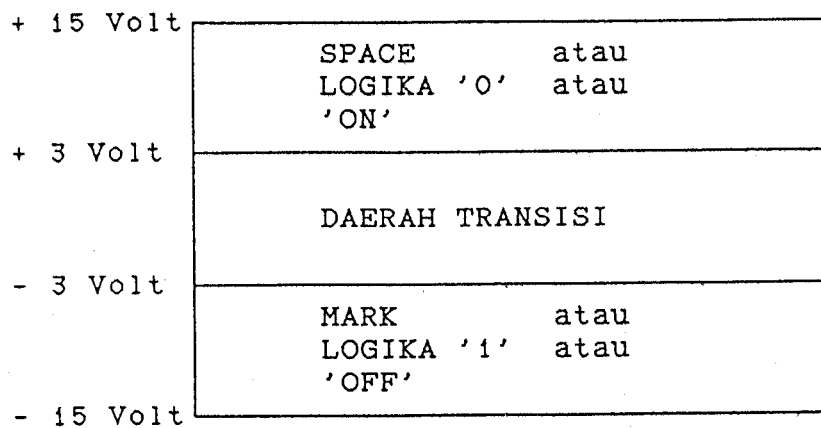
Dalam komputer atau mikroprosesor, level tegangan yang dipakai adalah standard TTL yang menganggap tegangan antara 2 s/d 5 volt adalah logika '1' dan tegangan antara 0 s/d 0,8 volt adalah logika '0'. Untuk itu perlu dilakukan perubahan level tegangan dari TTL ke RS-232C bila data dari sistem mikroprosesor ingin



Gambar 2.15. 20)

KONEKTOR RS-232C DAN DEFINISI PIN-PINNYA

20) Libes, and Mark, *op. cit.*, hal. 186



Gambar 2.16

LEVEL TEGANGAN RS-232C

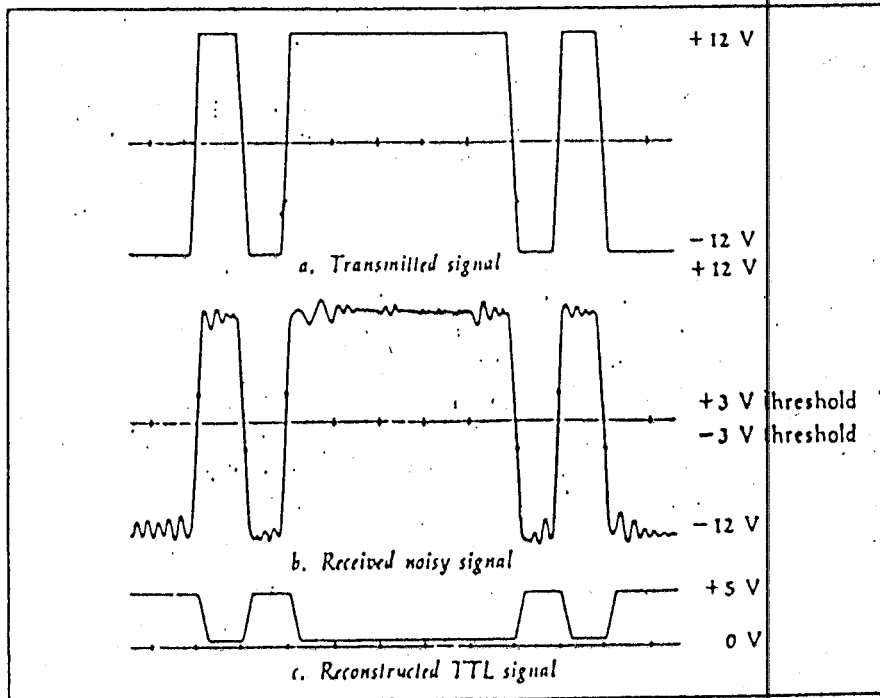
ditransmisikan dengan standard RS-232C. Bila sistem mikroprosesor menerima data dari peralatan yang memakai standard RS-232 maka perlu diubah level tegangan yang diterima menjadi level tegangan TTL.

Salah satu keuntungan pemindahan data lewat kabel dengan level RS-232 adalah kekebalan yang tinggi terhadap noise yang dapat timbul pada jalur transmisi. Gambar 2.17. menunjukkan gambar pengaruh noise terhadap bentuk sinyal. Terlihat bahwa adanya noise tidak mempengaruhi keadaan logika dari sinyal. Setelah diubah menjadi level TTL maka sinyal dalam keadaan baik tanpa noise.

Untuk komunikasi antar komputer tanpa modem (null modem) dengan RS-232C, hanya delapan sinyal yang diperlukan yaitu sinyal-sinyal TxD, RxD, RTS, CTS, DSR,

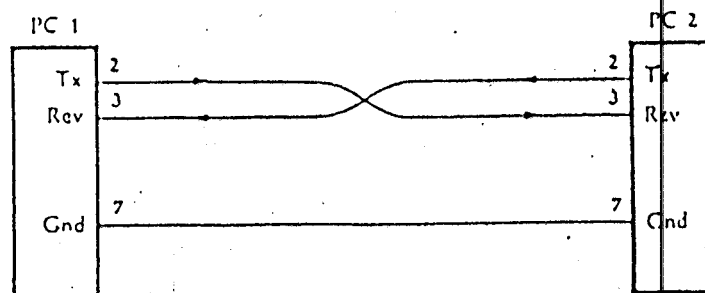
Gnd, CD dan DTR.

Hubungan pin-pin RS-232 untuk komunikasi antar dua komputer tanpa modem secara sederhana dapat dilihat seperti gambar 2.18.



Gambar 2.17. ²¹⁾

PENGARUH NOISE TERHADAP SINYAL



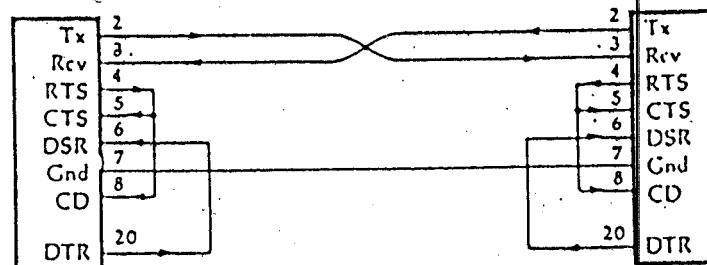
Gambar 2.18. ²²⁾

HUBUNGAN RS-232C PALING SEDERHANA

²¹⁾ Kruglinski, *op. cit.*, hal. 179

²²⁾ Kruglinski, *op. cit.*, hal. 181

Namun hubungan seperti pada gambar 2.18. tidak bisa digunakan pada setiap program komunikasi. Pin-pin RTS, CTS, DSR, CD dan DSR adalah sinyal yang dipakai untuk proses 'handshake' antara modem atau peralatan lain dengan komputer. Beberapa program komunikasi akan memantau keadaan sinyal pada pin-pin tersebut dan hanya akan bekerja jika keadaan sinyal memenuhi syarat. Untuk itu maka hubungan RS-232C tanpa modem secara umum dapat ditunjukkan pada gambar 2.19.

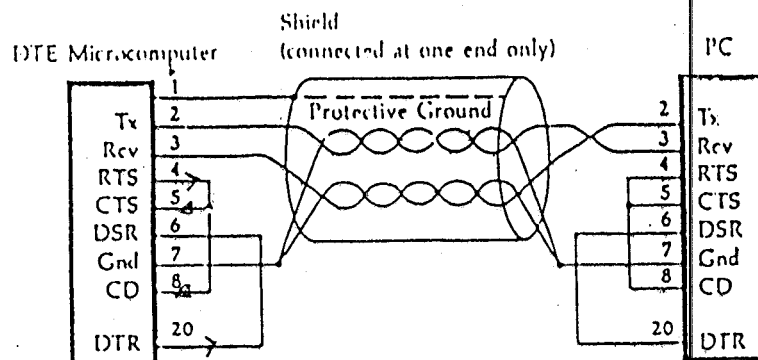


Gambar 2.19. ²³⁾

BENTUK UMUM HUBUNGAN RS-232C

Bila hubungan antar komputer dengan kabel yang panjang dan gangguan noise yang besar, maka perlu digunakan 'shielding' pada kabel sinyal yang dipakai dengan pin 1 (protective ground). Juga digunakan kabel berpilin untuk sinyal TxD dan RxD. Untuk lebih jelas dapat dilihat pada gambar 2.20.

²³⁾ Kruglinski, *loc. cit.*

Gambar 2.20. ²⁴⁾

PENGGUNAAN SHIELDING DAN KABEL BERPILIN

RS-232C mempunyai keterbatasan dalam hal jarak, kecepatan transmisi data dan level ground seperti dijelaskan sebagai berikut :

1. Panjang kabel penghubung tersebut sebenarnya ditentukan oleh besarnya kapasitansi stray pada kabel yang menentukan 'rise time' dari sinyal. RS-232C membatasi kapasitansi stray tidak lebih dari 2500 pF. Jadi bila kabel memiliki kapasitansi 50 pF /foot, maka panjang kabel maksimum adalah 50 feet (15 meter).
2. Batas kecepatan. Ternyata RS-232C memiliki batasan kecepatan sebesar 20000 bps.
3. Masalah level ground. Bila level sinyal ground antara kedua komputer yang letaknya berjauhan tidak sama, maka level sinyal data akan terletak pada daerah transisi.

²⁴⁾ Ibid, hal. 186

BAB III

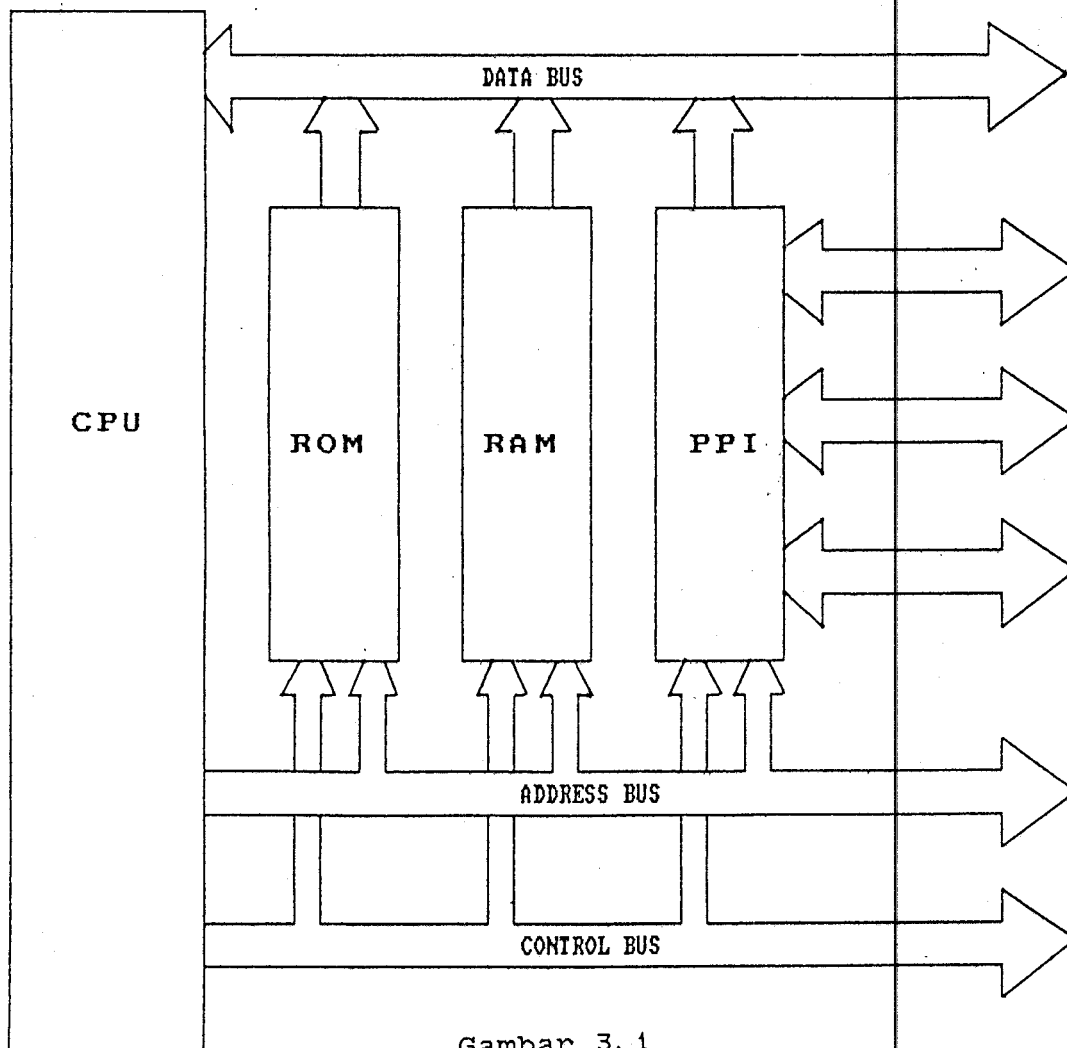
SISTEM MIKROPROSESOR

III. 1. MIKROPROSESOR Z-80

Mikroprosesor merupakan bagian terpenting pada suatu sistem komputer, karena mikroprosesor merupakan pusat pengolah yang mengatur keseluruhan komponen yang menunjang sistem komputer tersebut. Mikroprosesor Z-80 adalah mikroprosesor 8 bit yang berfungsi untuk mengatur pengiriman dan penerimaan sinyal kontrol, alamat dan data dari satu bagian ke bagian lain. Lebih jelasnya fungsi dari mikroprosesor adalah :

1. Mengambil dan melaksanakan instruksi yang terdapat di dalam memori.
2. Menyimpan dan mencari data yang terdapat di dalam memori.
3. Menyimpan dan mencari data yang dari bagian Input /Output.
4. Mengendalikan seluruh fungsi dari sistem komputer.

Secara umum, diagram dari suatu sistem mikroprosesor dapat dilihat pada gambar 3.1. Pada gambar tersebut terlihat suatu sistem yang paling banyak dipergunakan, yaitu sistem arsitektur 3-bus.



Gambar 3.1

DIAGRAM SISTEM MIKROPROSESOR

III. 2. SISTEM ARSITEKTUR 3-BUS

Umumnya sistem arsitektur yang banyak digunakan oleh sistem mikroprosesor adalah sistem arsitektur 3-bus. Sebuah sistem bus didefinisikan sebagai kumpulan jalur sinyal yang fungsinya berhubungan dalam sistem. Contohnya, kumpulan jalur tertentu boleh digunakan untuk

membawa sinyal alamat memory. Kumpulan jalur ini disebut address bus. Ketiga bus tersebut adalah:

1. SISTEM BUS ALAMAT
2. SISTEM BUS DATA
3. SISTEM BUS KONTROL

Keadaan logika dari ketiga sistem bus itu akan menentukan sistem komunikasi antara bagian yang satu dengan yang lain dalam sistem.

III. 3. SISTEM BUS ALAMAT

Fungsi dari bus ini adalah untuk menentukan jalur komunikasi yang tepat didalam sistem komputer, yaitu komunikasi antara CPU dan ROM, RAM, ataupun I/O. Dan biasanya di identifikasikan dengan A0 s/d A15.

III. 4. SISTEM BUS DATA

Sistem bus data adalah 'bi-directional'. Istilah bi-directional menunjukkan bahwa data dapat mengalir dalam dua arah.

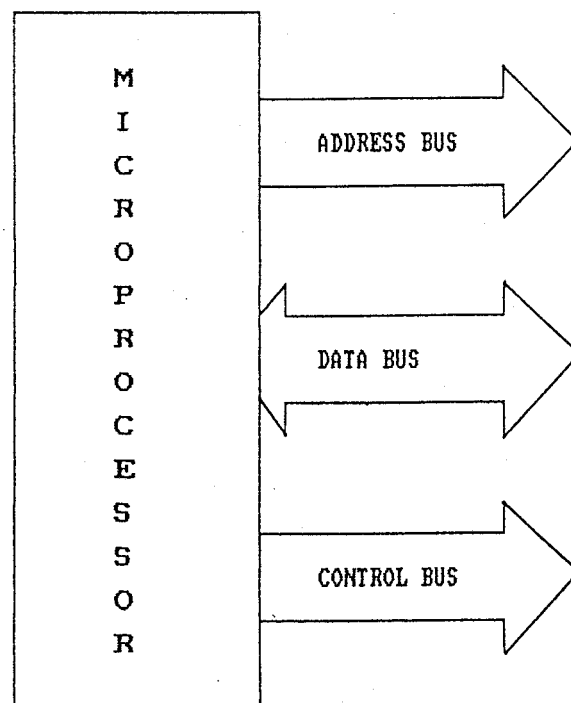
Fungsi dari bus ini adalah untuk melewati informasi yang dikirimkan antara CPU dan blok sistem yang dimaksudkan. Dan biasanya di identifikasikan dengan D0 s/d D7.

III. 5. SISTEM BUS KONTROL

Fungsi dari bus ini adalah untuk mendefinisikan tipe dari komunikasi, dan memulai/mengakhiri suatu

pemindahan informasi. Melalui beberapa gate dapat dibuat empat buah sinyal yang termasuk dalam bus control, yakni MEMR (Memory Read) yang aktif low bila mikroprosesor membaca data dari memory dan MEMW (Memory Write) yang aktif bila mikroprosesor menulis data ke memory sedangkan IOR untuk membaca data dari peralatan input / output, IOW untuk menulis data ke peralatan input / output.

Dengan menggunakan bus control, bus alamat dan bus data maka dapat dibentuk suatu sistem mikroprosesor minimum. Ketiga Sistem bus tersebut dapat dilihat pada gambar 3.2.



Gambar 3.2

SISTEM ARSITEKTUR 3 - BUS

III. 6. BUFFERING

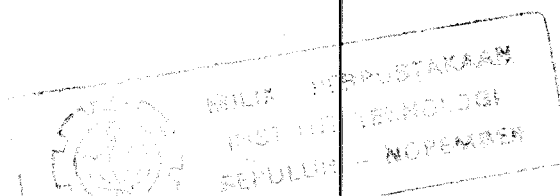
Pada suatu sistem komputer, mikroprosesor tidak berdiri sendiri, melainkan mengendalikan komponen penunjang lainnya (antara lain : IC memori decoder, dll). Karena output dari mikroprosesor sangat terbatas, maka pada suatu sistem komputer diperlukan buffering yang bertujuan untuk memperbesar output mikroprosesor, sehingga mampu untuk melayani beban yang ada.

III. 7. DECODING

Dalam suatu sistem komputer, akan terdapat banyak sekali komponen (IC), sehingga bila mikroprosesor akan berkomunikasi dengan salah satu IC, maka pin Chip.Select (CS) IC tersebut harus diaktifkan, sedangkan pin CS IC lainnya harus dimatikan. Untuk mengaktifkan suatu IC sesuai dengan alamat yang direncanakan, maka diperlukan decoder. Sebelum perencanaan pembuatan decoder, maka terlebih dahulu harus dibuat suatu peta memori yang akan menunjukkan lokasi alamat untuk ROM, RAM, ataupun peralatan I/O. Dengan adanya decoder, maka mikroprocessor dapat berkomunikasi secara tepat dengan salah satu IC tanpa terjadi kesalahan.

III. 8. MEMORY

Mikroprosesor Z-80 mempunyai 16 bit saluran alamat yang dapat menjangkau 2 pangkat 16 (65.536) lokasi memori.



Untuk menyimpan informasi dalam suatu sistem mikroprosesor, diperlukan suatu IC memory. IC memory ini terdiri dari beberapa jenis, yaitu tergantung apakah berfungsi sebagai RAM atau ROM. Dalam Tugas Akhir yang dibuat ini tidak menggunakan memory dari jenis RAM, maka disini hanya dijelaskan tentang memory dari jenis ROM.

III. 8. 1. Read Only Memory (ROM)

Pada suatu sistem mikroprosesor diperlukan suatu memory yang menyimpan data untuk selamanya (non-volatile) di mana data yang terdapat pada memory tersebut tidak akan hilang bila power dari sistem dimatikan. Jenis memory ini disebut ROM (Read Only Memory). Informasi yang terdapat dalam ROM hanya dapat dibaca tapi tidak dapat dirubah sehingga ROM ini sangat berguna dalam suatu sistem karena memungkinkan mikroprosesor untuk menginisialisasi semua perophysical hardware pada keadaan logika yang sesuai pada saat pertama kali sistem dinyalakan.

Ada beberapa jenis memory yang bersifat permanen yang dipakai dalam suatu sistem mikroprosesor yaitu ROM, PROM (Programmable ROM), EPROM (Erasable Programmable ROM) dan EAROM (Electrically Alterable ROM). Tetapi biasanya suatu sistem memakai memory yang sejenis.

Pada EPROM, pemasukan data dapat dilakukan dengan memberi sinyal bertegangan tinggi (25V). Juga data yang telah dimasukkan dapat dihapus dengan menyinari dengan

sinar ultra violet pada jendela tembus cahaya yang terdapat pada permukaan IC tersebut . Sesudah disinari selama 20 menit maka muatan yang tersimpan pada memory cell akan hilang sehingga data lama yang tersimpan pada IC EPROM tersebut akan hilang seluruhnya sehingga dapat diprogram kembali dengan data yang baru. Dalam tugas akhir ini IC memory EPROM dipakai untuk menyimpan program yang mengatur keseluruhan sistem.

Organisasi internal dari data pada EPROM biasanya diatur sebagai 1024x8, 2048x8 atau 4096x8. Angka yang pertama menunjukkan jumlah dari lokasi address yang terdapat pada suatu IC, sedangkan angka yang kedua menunjukkan jumlah bit data paralel yang dapat dibaca dari EPROM pada setiap lokasi address. Misalnya IC 2716 yang mempunyai organisasi 2048x8 hal ini berarti bahwa 2716 mempunyai 2048 lokasi dan 8 bit data paralel yang dapat dibaca. Oleh karena mempunyai 2048 lokasi, maka 2716 disebut EPROM 2 Kilo Byte.

III. 8. 2. Proses Baca Data Dari ROM

Proses pembacaan data dari ROM mempunyai urutan-urutan tertentu sebagai berikut :

1. ROM menerima input address yang sesuai dengan lokasi yang akan dibaca.
2. Kemudian mikroprosesor menunggu untuk selang waktu tertentu yang disebut Read Access Time yang berkisar antara 100 - 300 ns tergantung

dari jebis ROM yang dipakai. Selang waktu ini digunakan untuk menunggu stabilnya rangkaian didalam ROM dan tercapainya lokasi yang dituju.

3. Sinyal Chip Select menjadi aktif sehingga data yang diinginkan sekarang berada pada data bus. Semua data yang dibaca dari ROM dilakukan secara paralel. Dengan perkataan lain, pada saat data output telah berada pada data bus, mikroprosesor akan dengan serentak mengambil keseluruhan 8-bit data untuk disimpan ke dalam internal register.
4. Chip Select tidak diaktifkan agar data di ROM hilang dari sistem data bus. Untuk lebih jelasnya, Gambar 3.3 menunjukkan proses pembacaan data dari ROM.

III. 9. PROGRAMMABLE PERIPHERIAL INTERFACE

Untuk menghubungkan mikroprosesor dengan rangkaian input/output seperti keyboard atau display diperlukan suatu interface yang menyangga mikroprosesor ke peralatan peripheral. Dengan memakai PPI (Programmable Peripheral Interface) maka suatu output port dapat diubah menjadi input port dan sebaliknya dengan hanya mengubah control software-nya saja, tanpa perlu mengadakan modifikasi pada hardware. PPI 8255 adalah perangkat yang termasuk jenis LSI (Large Scale Intergration), yang dikemas dalam bentuk 40 pin DIP

(Dual in line Package), dirancang untuk melakukan fungsi interface. Gambar 3.6 menunjukkan diagram blok dari PPI 8255. Pada gambar tersebut terlihat dua kelompok besar yang disebut kelompok kendali A dan kelompok kendali B. Kedua kelompok kendali tersebut mengendalikan empat kelompok I/O yang disebut :

- Port A (PA0 - PA7)
- Port B (PB0 - PB7)
- Port C Lower (PC0 - PC3)
- Port D Upper (PC4 - PC7)

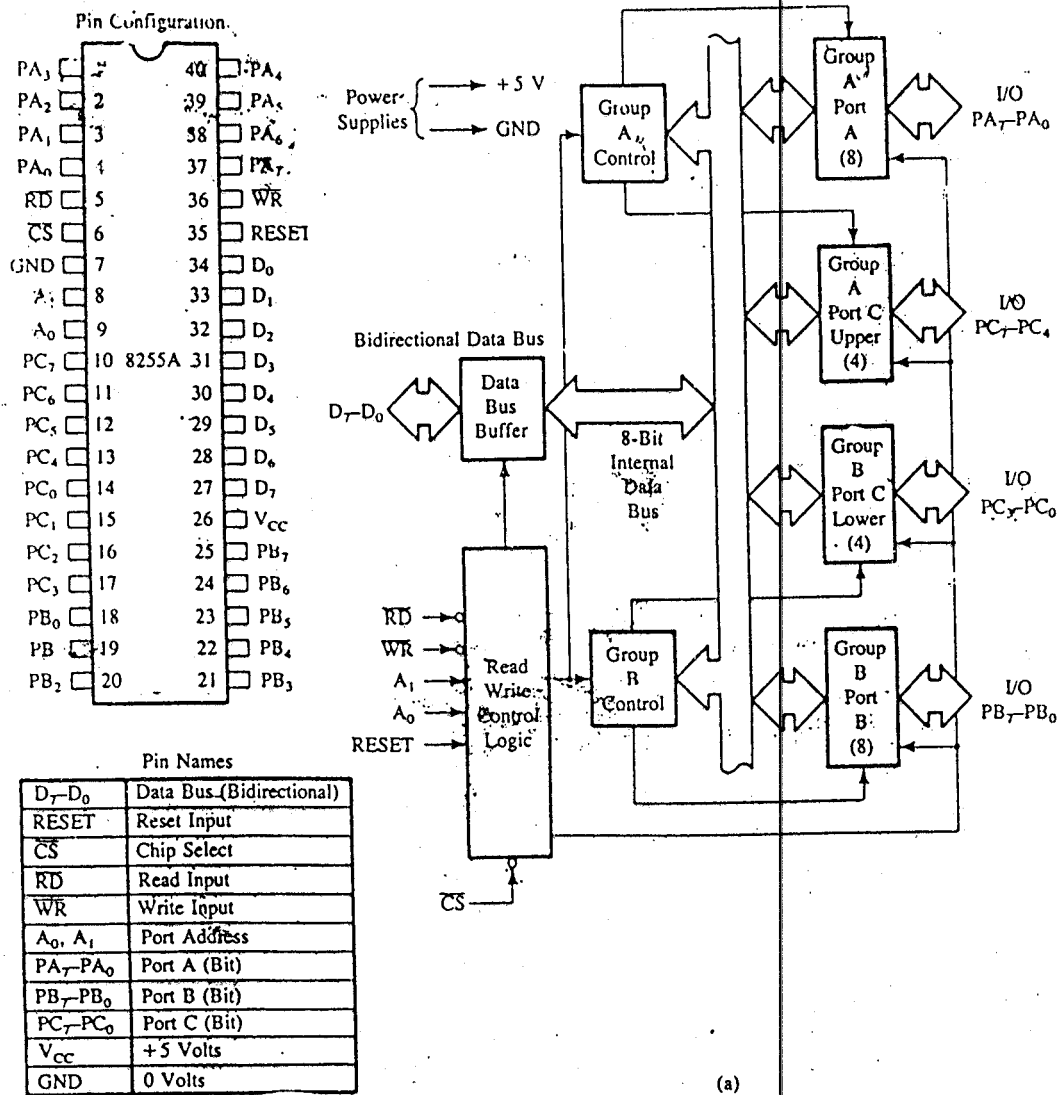
Kelompok A mengontrol fungsi dari port A dan port C Upper, sedang kelompok B mengontrol fungsi dari port B dan port C Lower. Semua bagian dalam 8255 tersebut dihubungkan dengan internal data bus, dan melalui internal data bus inilah data dikirim atau diterima oleh setiap port. Port-port tersebut dapat digunakan dengan 3 mode, yaitu mode 0 (basic input/output), mode 1 (strobed input/output), dan mode 2 (bidirectional bus).

III. 9. 1. Keterangan pin-pin PPI 8255

Fungsi dari masing-masing pin PPI 8255 dapat dijelaskan sebagai berikut :

1. Data bus (D0 - D7)

Digunakan untuk input atau output dari peralatan luar, di mana semua informasi diterima dan dikirim melalui 8 bit data ini.



Gambar 3.3

DIAGRAM BLOK DAN KONFIGURASI PIN-PIN PPI 8255

2. Chip Select (CS)

Chip Select ini digunakan untuk mengaktifkan chip 8255, bila mendapat logika '0' mikroprosesor dapat mengirim data atau menerima data dari PPI 8255.

3. Read (RD)

Bila RD mendapat logika '0' dan CS juga mendapat logika '0', maka data output dari PPI 8255 dapat dikeluarkan pada sistem data bus, dan siap dibaca oleh mikroprosesor.

4. Write (WR)

Bila WR mendapat logika '0' dan CS juga mendapat logika '0', maka data dari mikroprosesor dapat dikirimkan ke PPI 8255 melalui data bus.

5. Address Input (AO - A1)

Kombinasi dari kedua address input ini menentukan register mana dari PPI 8255 yang akan menerima atau mengirim data dari atau ke mikroprosesor.

6. Reset

Fungsi dari pin ini adalah untuk me-reset PPI 8255 dengan memberikan input logika '1'. Pada saat reset ini semua I/O port diset dalam mode input.

7. Port A (PA0 - PA7)

Pin ini digunakan sebagai delapan bit input/output port untuk berhubungan dengan peralatan luar.

8. Port B (PB0 - PB7)

Pin ini fungsinya sama dengan port A, tetapi kedua port tersebut saling bebas satu dengan lainnya.

9. Port C (PC0 - PC7)

Pin ini fungsinya sama dengan port A maupun port B, tapi pada port C ini dapat dibagi menjadi 2 kelompok

yaitu port C Upper (PC0 - PC3) dan port C Lower (PC4 - PC7) masing-masing 4 bit yang digunakan untuk mengontrol peralatan luar yang berhubungan dengan 8255.

III. 9. 2. Pengaturan Mode 8255

Pada 8255 terdapat tiga buah port (PA, PB dan PC), masing-masing port tersebut mempunyai kapasitas 8 bit. Apabila dilihat dari konfigurasi internal dari 8255 seperti yang terlihat pada gambar 3-6, maka setiap port mempunyai I/O blok yang terpisah dan setiap blok dihubungkan ke internal data bus dari 8255. Lewat internal data bus inilah pertukaran informasi terjadi pada 8255.

TABEL 3-1
TRUTH TABLE INTERNAL REGISTER PADA PPI 8255

DEVICE PIN				NAMA REGISTER
RD	WR'	A1	AO	
1	0	0	0	write PORT A data
0	1	0	0	read PORT A data
1	0	0	1	write PORT B data
0	1	0	1	read PORT B data
1	0	1	0	write PORT C data
0	1	1	0	read PORT C data
1	0	1	1	write control word
0	1	1	1	illegal read register
1	1	X	X	data bus = 3-state

Keistimewaan dari 8255 ini ialah port C dapat dipisah menjadi dua bagian masing-masing 4 bit. Dari gambar 3.6, tampak blok port C bagian upper berhubungan dengan group A control sedangkan yang lower berhubungan dengan group B control. Dengan demikian 4 bit yang pertama dari port C dapat diprogram menjadi input port sedangkan 4 bit yang lain dapat dijadikan output port.

Ada 3 macam operating mode yang dapat dilakukan oleh 8255 yaitu Mode 0, 1, 2 yang dapat diatur melalui software :

Mode 0 - Input/Output

Mode 1 - Strobe Input/Output

Mode 2 - Bi-Directional Bus

Pada Mode 0 port pada 8255 berfungsi sebagai input/output port biasa. Mode 1 digunakan untuk handshake di mana port A dan port B merupakan 8 bit data port sedangkan upper bit dari port C digunakan handshake lines untuk port A dan lower bit digunakan sebagai handshake line untuk port B. Sedangkan pada Operating Mode 2, Port A digunakan sebagai data port yang mempunyai dua arah (bidirectional). Juga dapat mengkombinasikan Mode dalam 2 group peripheral tersebut untuk berbagai struktur I/O. Seperti misalnya group B dapat diprogram pada mode 0 untuk monitor atau display Computer, sedang group A dapat diprogram pada mode 1 monitor keyboard atau tape reader.

III. 9. 3. Pengaturan 8255 pada Mode 0

Untuk mengaktifkan mode 0, pertama-tama programmer harus menulis control word pada control register. Control Word ini akan digunakan pada 8255. Penentuan bit pada control word untuk menentukan operating mode dapat dilihat pada mode definition format seperti terlihat pada gambar 3.7. Misalkan port B dipakai sebagai output port, port C (upper) dipakai sebagai input port sedang port C (lower) digunakan untuk output port, port A digunakan untuk output port. Untuk dapat mengaktifkan 8255 tersebut maka diberikan rangkaian decoder I/O yang dihubungkan pada CS dari 8255. Dari rangkaian decoder port A pada address 00 H, port B pada address 01 H, port C pada address 02 H dan control register pada address 03 H.

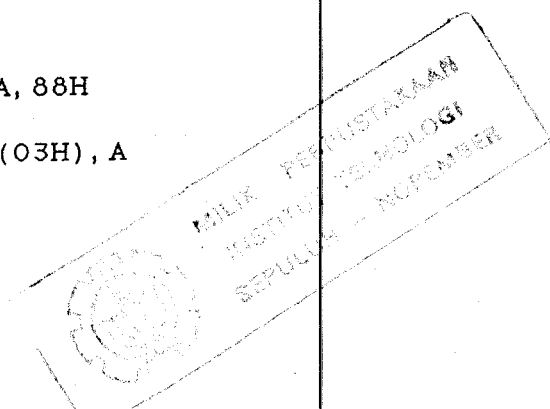
Control word yang harus dikirim adalah :

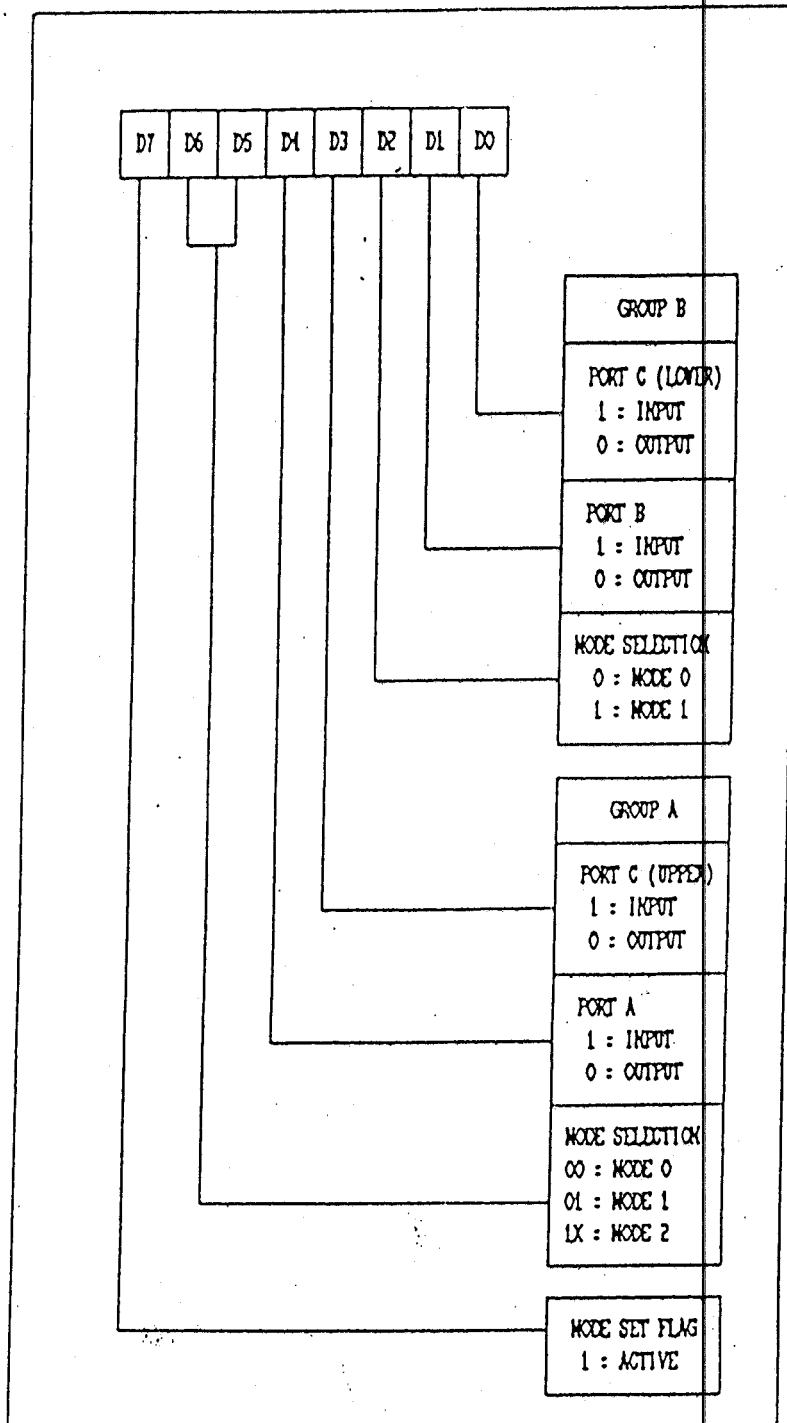
D7	D6	D5	D4	D3	D2	D1	D0	
1	0	0	0	1	0	0	0	= 88 H

Jadi dengan hanya mengubah software maka 8255 dapat diprogram sesuai dengan yang dikehendaki. Sehingga 8255 sangat berguna dipakai sebagai peripheral interface.

Intruksi yang dipakai :

```
LD    A, 88H
OUT  (03H), A
```





Gambar 3.4

DEFINISI CONTROL WORD 8255

Berdasarkan Gambar 3.7, maka data di atas dapat dijelaskan sebagai berikut :

- D7 pada logika 1, hal ini berarti data tersebut merupakan control word
- D6 dan D5 menentukan mode 0 bagi 8255
- D4 pada logika 0 menunjukkan bahwa port A dipakai sebagai port output
- D3 pada logika 1 mengaktifkan 4 bit pertama dari port C (upper) sebagai port input
- D2 menentukan mode 0 untuk 8255 ini.
- D1 pada logika 0 mengaktifkan port B sebagai port output.
- D0 pada logika 0 mengaktifkan 4 bit port C yang lower sebagai port output.

BAB IV PERENCANAAN DAN PEMBUATAN

IV. 1. UMUM

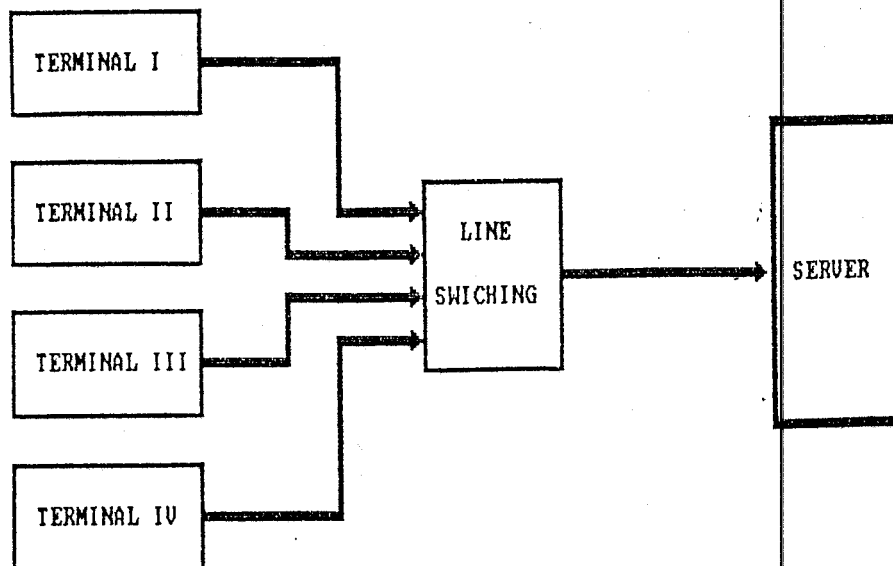
Dalam bab ini akan dibahas mengenai perencanaan dan pembuatannya alat switch controler dengan menggunakan mikroprosesor Z-80 sebagai komponen utama dan juga ditunjang dengan unit memori, unit Input/Output dan peralatan lain yang menunjang sistem ini.

Sebagai CPU di sini adalah mikroprosesor Z-80 yang dioperasikan pada frekuensi 1,79 MHz. Mikroprosesor ini diproduksi oleh Zilog Corp pada tahun 1979, dan sangat terkenal dikelasnya dibanding produk INTEL Corp yang terdahulu, seperti mikroprosesor 8085, 8080 dan juga mikroprosesor 6800 dari MOTOROLA Inc.

Beberapa pertimbangan mengapa mikroprosesor Z-80 dipilih antara lain :

- Mikroprosesor Z-80 memiliki jumlah dan type intruksi set lebih banyak dibanding jenis mikroprosesor 8 bit yang lain.
- Perencanaan rangkaian clocknya lebih sederhana, karena Z-80 hanya membutuhkan satu clock input single phase tanpa adanya chip support khusus.
- Mikroprosesor Z-80 mudah didapatkan dipasaran demikian juga komponen penunjangnya, dan juga harganya relatif murah.

Adapun diagram secara umum dari peralatan yang direncanakan ini terlihat pada gambar 4-1 dibawah ini.



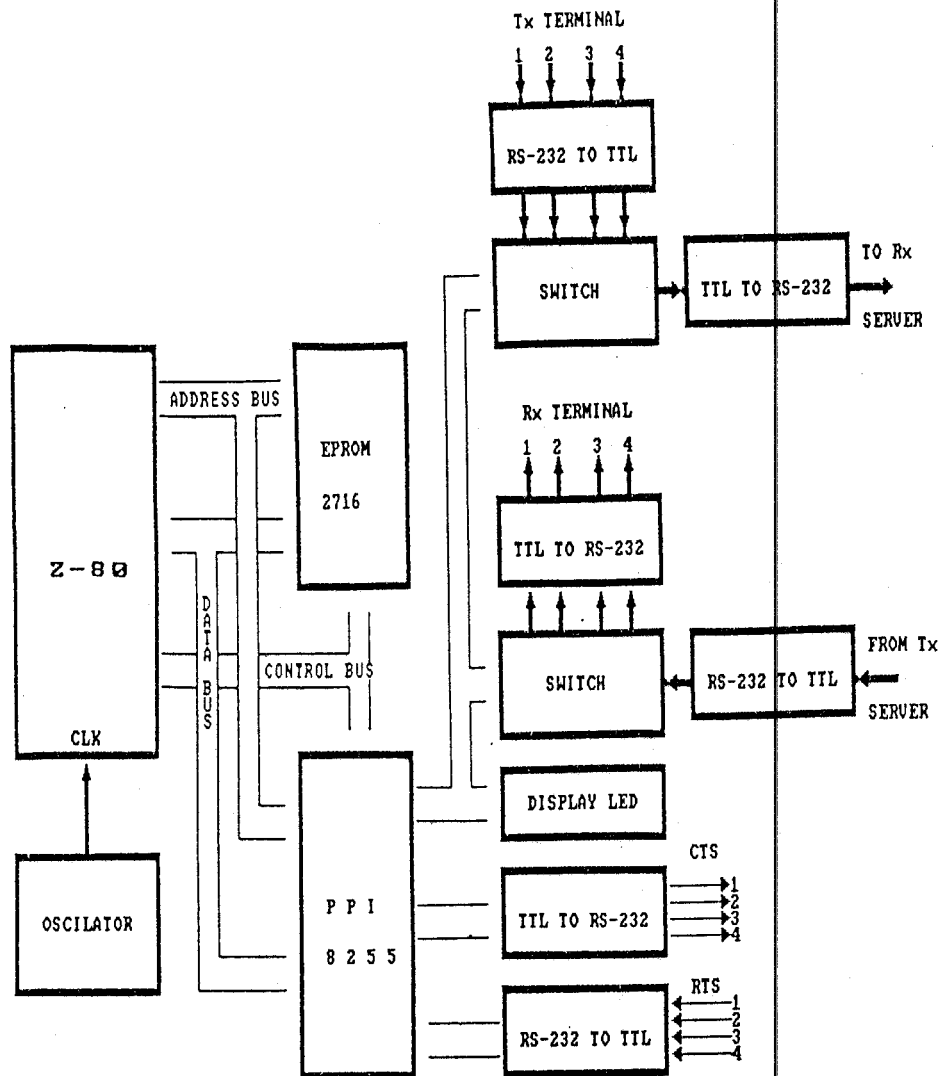
GAMBAR 4-1

DIAGRAM BLOK UMUM

Fungsi kerja dari peralatan ini serta diagram blok yang lengkap akan dijelaskan pada sub bab berikut ini.

IV. 2. DIAGRAM BLOK SISTEM

Diagram blok lengkap dari peralatan yang direncanakan ini dapat dilihat pada gambar 4-2. Sistem ini meliputi mikroprosesor Z-80 (CPU), memory dengan kapasitas 2 kilobyte yang disimpan dalam EPROM, peralatan Input/Output serta peralatan interface. Melalui port input, CPU akan mengambil data dari eksternal device untuk diproses, kemudian CPU akan mengontrol switch melalui port output.



GAMBAR 4-2

DIAGRAM BLOK RANGKAIAN LENGKAP

Dari gambar 4-2 tersebut terlihat ada dua bagian yang utama, yaitu:

1. Sistem mikroprosesor yang terdiri dari: Mikroprosesor, Eprom, PPI (Programmable Peripheral Interface).
2. Interface, yaitu antara lain switch digital, rangkaian pengubah level tegangan dari RS232C

ke level tegangan TTL dan sebaliknya. menghubungkan atau memutuskan sambungan antara terminal dan server.

Dengan melihat diagram blok di atas maka prinsip kerja dari peralatan yang direncanakan ini menggunakan 'hardware handshaking' yaitu dengan mengamati kondisi dari sinyal RTS dari masing-masing komputer terminal. Pada kondisi awal sebelum suatu terminal berkomunikasi dengan komputer server sinyal ini mempunyai logika '1'. Dan apabila komputer terminal ini berkeinginan komunikasi dengan komputer server maka program komunikasi yang ada pada terminal tersebut akan mereset sinyal RTS ini dengan nilai logika '0'. Dengan demikian akan dapat diamati secara kontinyu terminal mana yang ingin berkomunikasi dengan server.

Pada diagram blok di atas terlihat bahwa sebelum sinyal RTS ini dibaca oleh port A dari 8255, sinyal ini harus diubah lebih dahulu level tegangannya ke level TTL. Setelah itu baru bisa dibaca oleh program yang ada di Eprom melalui port A 8255, dan akan dicek oleh program tersebut apakah terminal yang dimaksud akan berkomunikasi atau tidak.

Seperti dijelaskan dalam teori komunikasi komputer terminal akan dapat berkomunikasi jika ada sinyal CTS yang merupakan jawaban dari sinyal RTS.

Dengan demikian setelah membaca kondisi sinyal RTS dan ternyata ada terminal yang ingin berkomunikasi maka

peralatan ini akan mengirimkan sinyal CTS ke terminal tersebut dan sekaligus men-switch jalur yang menghubungkan terminal ke server serta menyalakan led yang menunjukkan terminal tertentu sedang berkomunikasi.

Selama ada komunikasi antara suatu terminal dengan server, jika ada terminal yang lain ingin berkomunikasi maka peralatan ini tidak akan melayani, karena jalurnya masih dipergunakan suatu terminal. Hal ini dapat dikerjakan dengan memberi sinyal CTS dengan logika '1' yang menunjukkan kepada program komunikasi yang ada di terminal bahwa belum bisa untuk komunikasi.

Program komunikasi yang ada di terminal akan selalu melihat kondisi sinyal CTS ini jika akan mengirimkan suatu data. Jika sinyal ini berlogika '0' maka terminal tersebut bisa berkomunikasi dan sebaliknya jika berlogika '1' maka program akan menunggu sampai sinyal CTS nya berlogika '0' atau dibatalkan dengan menekan keyboard.

IV. 3. PEMETAAN MEMORI (MEMORY MAPPING)

Langkah pertama yang dilakukan dalam perencanaan adalah menentukan peta lokasi memori (Memory Mapping). Karena peralatan yang direncanakan ini bertujuan untuk mengontrol, maka di sini program sebaiknya disimpan pada memory jenis ROM sehingga program tersebut akan tetap tersimpan. Jadi pada peralatan yang direncanakan ini tidak membutuhkan memory dari jenis RAM. Memori

direncanakan berkapasitas 2 Kilobyte, karena diperkirakan sudah cukup untuk menyimpan program dalam sistem ini. Dengan demikian hanya terdapat satu memori yaitu EPROM 2716 yang akan menempati lokasi 0000 sampai dengan 07FF H

IV. 4. ADDRESS DAN DATA BUFFER

Didalam mendisain bus alamat atau bus data, pertama kali kita harus tahu beban arus pada tiap-tiap jalur alamat. Jalur alamat dibussed pada beberapa input alamat pada sistem mikroprosesor. Semua input alamat itu adalah paralel seperti ditunjukkan pada gambar 2-1. Jika total arus pada jalur alamat yang harus disupply lebih besar arus output mikroprosesor, jalur alamat harus diberi buffer.

Tetapi ada juga faktor lain yang perlu dipertimbangkan. Contohnya, jika jalur alamat di desain untuk ^{mem-drive} mendrive beban Kapasitif yang besar, maka buffer alamat juga perlu disusun. Sebagai contoh beban Kapasitif yang besar dapat berupa Kabel yang panjang seperti peralatan output yang dihubungkan pada sistem lewat kabel yang panjang.

Dari uraian di atas maka bus alamat dan bus data perlu diberi penyangga untuk melipat gandakan kemampuan arus outputnya bila :

1. Beban arus pada jalur bus alamat atau bus data Z-80 lebih besar atau sama dengan batas

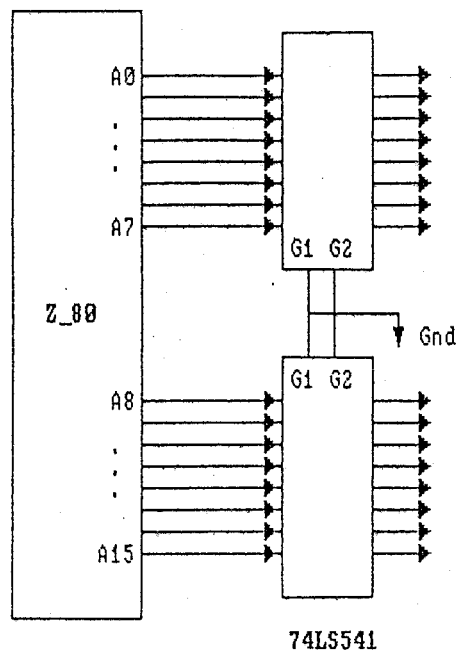
kemampuan CPU.

2. Bus alamat atau bus data dipakai untuk mendriver kabel. Walaupun beban DC tidak melampaui spesifikasi CPU.

Perbedaan dalam memberikan penyangga pada bus alamat dan pada bus data adalah bus data memerlukan penyangga dua arah (bi-directional), sedangkan bus alamat satu arah saja (uni-directional).

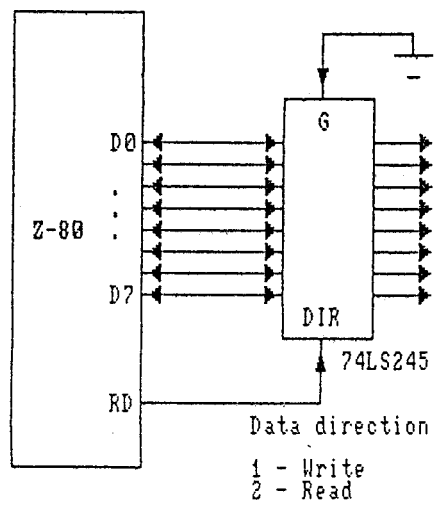
Penyangga bus alamat pada Z-80 dipergunakan 74LS541, jenis ini dipergunakan karena bagian input ada di satu bagian sedang outputnya dibagian yang lain sehingga memudahkan dalam mendisain PCB-nya, Rangkaian lengkap dari bus alamat yang di beri buffer yang dihubungkan dengan Z-80 ditunjukkan pada gambar 4-3. Terlihat bahwa bus alamat dari Z-80 adalah 16 bit sehingga memerlukan IC 74LS541 sebanyak dua buah. Pin 1 dan pin 19 pada setiap IC 74LS541 diberi logika 0 agar setiap saat data diperbolehkan masuk.

Sedangkan untuk bus data dipergunakan 74LS245 yang bisa bekerja dalam dua arah, di mana arahnya akan ditentukan oleh nilai logika dari pin 1 (DIR) yang dihubungkan pada sinyal kontrol dari mikroprosesor Z-80 yang berlabel RD, yang akan menentukan apakah data akan masuk atau keluar CPU, bila RD dalam logika 0 maka hal ini menunjukkan Z-80 dalam mode menerima data, sedang pin 19 (FE) dihubungkan dengan ground karena kita menginginkan data setiap saat diperbolehkan.



Gambar 4.3

ADDRESS BUFFER YANG DIHUBUNGKAN Z-80



Gambar 4.4

DATA BUFFER YANG DIHUBUNGKAN Z-80

IV. 5. BUS KONTROL

Pada peralatan yang dirancang ini, seperti diketahui bahwa hanya ada satu ROM saja demikian juga I/O nya hanya satu saja sehingga bus kontrolnya hanya terdiri dari MEMR, IOR dan IOW. Dengan demikian di sini tidak memerlukan gerbang tambahan lagi, karena sinyal kontrolnya dapat langsung diambil dari sinyal kontrol pada mikroprosesor Z-80.

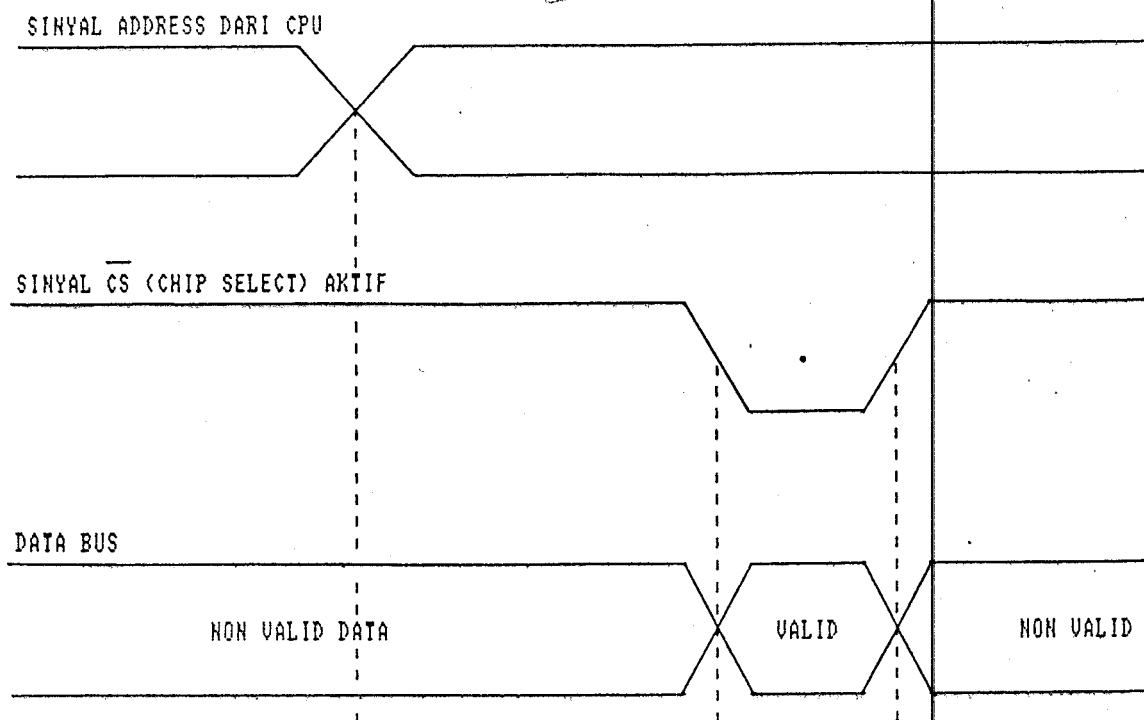
IV. 6. MENGHUBUNGGAN EPROM 2716 KE Z-80

Gambar 4.6 menggambarkan hubungan langsung antara data dan address ROM dengan data dan address Z-80. Karena jenis ROM yang dipakai dalam tugas akhir ini adalah jenis EPROM 2716, maka di sini dibahas cara bagaimana menghubungkan EPROM 2716 dengan mikroprocessor Z-80. Pada umumnya prinsip dasar menghubungkan semua jenis ROM ke CPU adalah sama.

Sebelum membuat hubungan antara EPROM 2716 dengan Z-80 sebaiknya diketahui lebih dulu bagaimana diagram waktu dari proses pembacaan untuk EPROM 2716.

IV. 7. MENGHUBUNGGAN 8255 KE Z-80

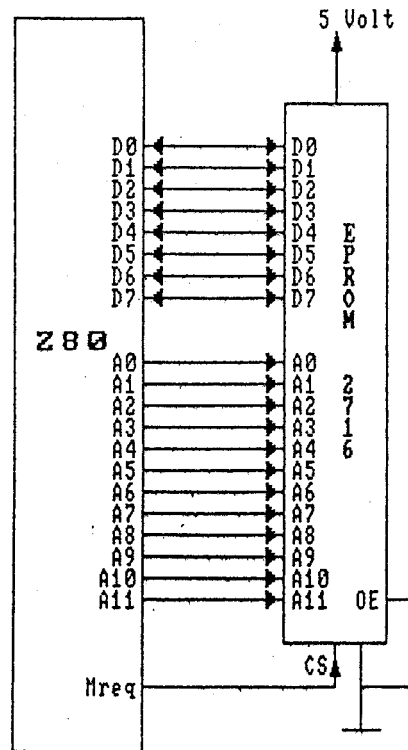
Menghubungkan PPI ke Z-80 hampir sama halnya dengan menghubungkan komponen memory ke Z-80. Rangkaian decoder untuk membangkitkan chip select, pulsa write untuk memberi data, pulsa read untuk meminta data,



Gambar 4.5

DIAGRAM WAKTU MEMBACA DATA DARI EPROM

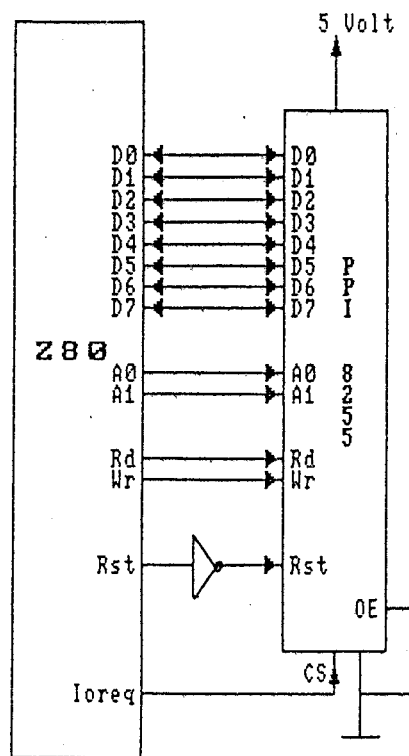
hubungan address lines, dan hubungan data lines semuanya diperlukan. Satu-satunya perbedaan hanyalah pada sinyal output MREQ dan IORQ dari Z-80. Sinyal IORQ akan dikeluarkan Z-80 jika berkomunikasi dengan peralatan I/O. Telah diketahui bahwa 8255 mempunyai dua buah address input, A0 dan A1 untuk memilih salah satu dari empat buah register yang dimilikinya. Umumnya, dua buah address input ini dihubungkan ke A0 dan A1 dari Z-80. Empat buah internal register (4 read dan 4 write register) untuk mengatur mode apa yang harus dilakukan oleh 8255 seperti yang dijelaskan dibab terdahulu.



Gambar 4.6

HUBUNGAN DATA DAN ALAMAT
ANTARA EPROM 2716 DAN Z-80 TANPA BUFFER

Pin RESET PPI 8255 tidak bisa dihubungkan langsung ke mikroprosesor Z80, karena RESET pada Z80 akan aktif pada logika '0', sedang pada 8255 akan aktif pada logika '1'. Untuk itu maka pin RESET dari mikroprosesor Z80 harus melalui sebuah inverter. Gambar 4.8 merupakan rangkaian lengkap hubungan PPI 8255 dengan mikroprosesor Z-80.



Gambar 4.7

HUBUNGAN LANGSUNG ANTARA PPI 8255 DENGAN Z-80

IV. 8. PERENCANAAN OSCILATOR DAN RANGKAIAN RESET

Rangkaian Osilator dalam sistem diperlukan untuk membangkitkan pulsa clock, sedang rangkaian reset untuk menghentikan seluruh kegiatan sistem dan membawa Z-80 ke keadaan awal dengan Program Counter terisi alamat 0000H.

IV. 8. 1. Oscilator Z-80

Z-80 dapat bekerja dengan frekwensi clock berkisar dari 500 kHz sampai 2,5 MHz (periode 400 ns sampai 20000 ns). Tetapi dalam pembuatan sistem, besar frekwensi clock yang dipakai harus disesuaikan dengan access time terbesar dari komponen penunjang.

EPROM 2716 memiliki access time antara 100 sampai 300 ns. Dengan menggunakan Z-80A CPU, lihat lampiran ,

diperoleh :

1. Lebar pulsa MREQ low :

$$T_w (\text{MRL}) = T_c - 30 \text{ nano-detik}$$

2. Selang waktu dari MREQ low sampai data setup adalah $T_w (\text{MRL}) - T_{so} (\text{D}) - T_{dh} (\text{MR})$

di mana :

$$T_{so} (\text{D}) = 50 \text{ nano-detik dan}$$

$$T_{dh} (\text{MR}) = 100 \text{ nano-detik}$$

maka,

$$T_w (\text{MRL}) - 150 > 300$$

$$T_c - 30 - 150 > 300$$

$$T_c > 480 \text{ nano-detik}$$

atau $f \text{ clock} < 2,0833 \text{ MHz}$

Jadi batas frekwensi clock yang diijinkan adalah :

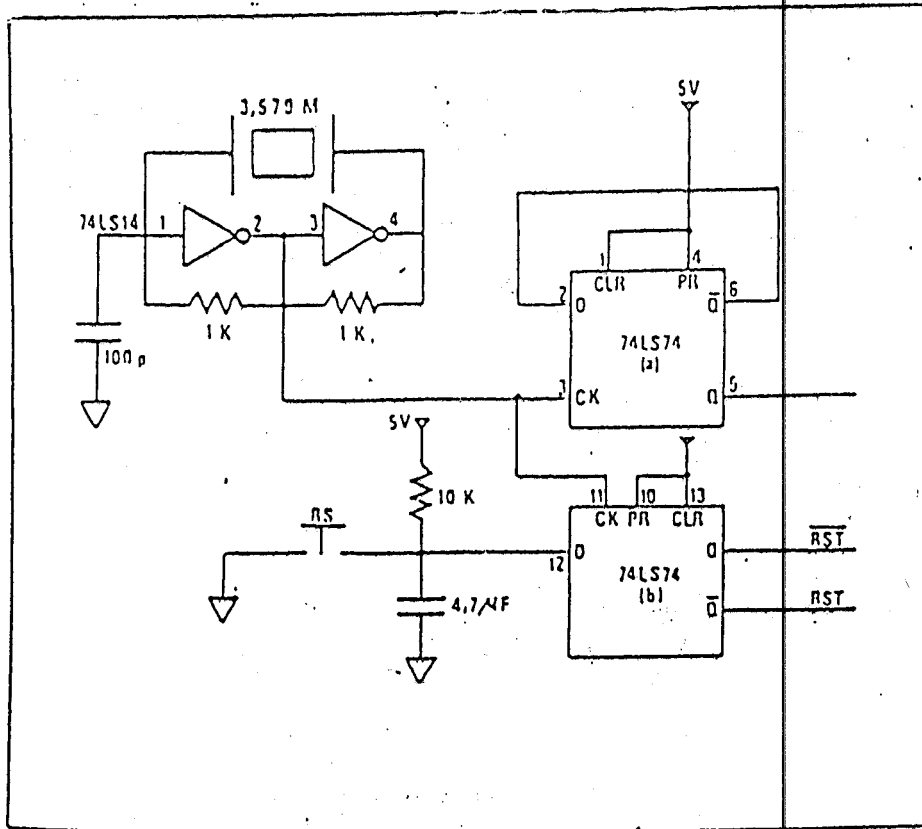
$$500 \text{ kHz} < f \text{ clock} < 2,0833 \text{ MHz}$$

Pada gambar 4-6 digambarkan rangkaian oscillator Z-80 beserta rangkaian resetnya. Frekuensi clock yang keluar dari pin 5 D flip-flop diharapkan berharga $3,579/2 = 1,7895 \text{ MHz}$.

IV. 8. 2. Rangkaian Reset

Dengan menggunakan D-type flip-flop seperti pada gambar 4-6, bisa diperoleh sinyal RESET aktif low dan sinyal RESET aktif high bila tombol RST ditekan. Sinyal RESET aktif low diperlukan untuk Z-80 sedang sinyal aktif high untuk PPI 8255. Tabel kebenaran dari D-type flip-flop jika dikerjakan secara synchronous dapat

dilihat pada tabel 4-1.



Gambar 4. 8

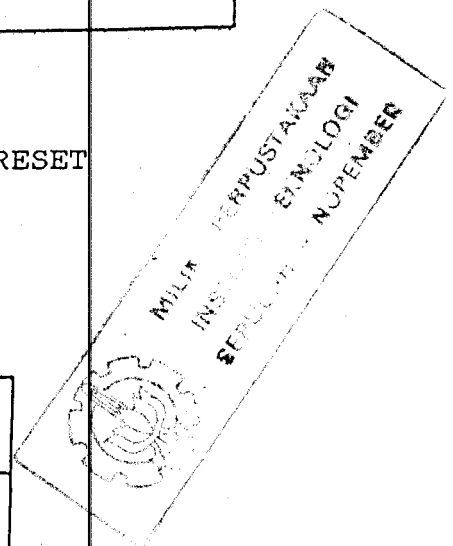
RANGKAIAN OSCILATOR Z-80 DAN RESET

TABEL 4-1
TRUTH TABLE D FLIP-FLOP

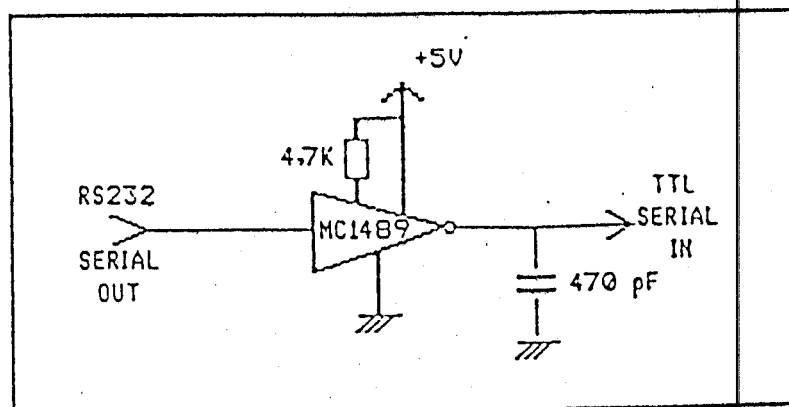
INPUT D	OUTPUT	
	Q	\bar{Q}
L	L	H
H	H	L

IV. 9. RANGKAIAN PENGUBAH LEVEL TEGANGAN RS-232C KE LEVEL TTL

Karena input yang dibaca oleh peralatan ini berasal dari sinyal pada RS-232 yang mempunyai level



tegangan antara -12 sampai +12 volt, maka diperlukan suatu rangkaian yang dapat mengubah level tegangan RS-232 ke level tegangan TTL. Rangkaian tersebut tampak pada gambar 4.6, di sini digunakan IC 1489 yang banyak terdapat dipasaran. Fungsi resistor 4,7 K adalah untuk memperbaiki threshold level tegangan RS-232 dan kapasitor 470 pF berguna untuk memperbaiki sifat ketahanan terhadap noise.

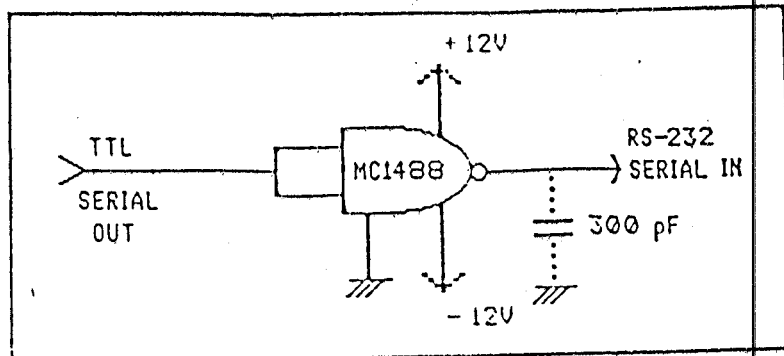


Gambar 4.9

RANGKAIAN PENGUBAH LEVEL TEGANGAN RS-232 KE TTL

IV. 10. RANGKAIAN PENGUBAH LEVEL TEGANGAN TTL KE LEVEL RS-232

Pada peralatan yang direncanakan ini diharapkan mampu mengontrol komunikasi antara komputer yang satu dengan yang lain dengan menggunakan interface RS-232. Maka di sini diperlukan rangkaian pengubah level tegangan TTL ke level tegangan RS-232. Rangkaian yang dimaksud dapat dilihat pada gambar 4.10, di mana digunakan IC 1488 yang banyak terdapat dipasaran.

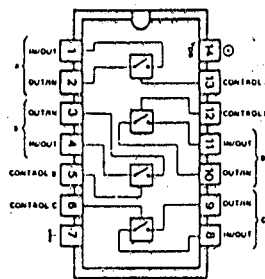


Gambar 4.10

RANGKAIAN PENGUBAH LEVEL TEGANGAN TTL KE RS-232

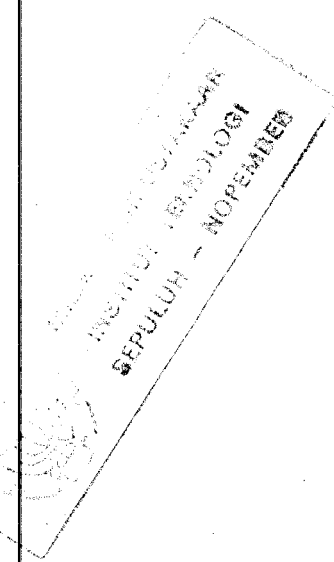
IV. 11. RANGKAIAN SWITCH DIGITAL

Untuk bagian ini digunakan IC dari jenis CMOS yang sudah tidak asing lagi yaitu MC4066, untuk membuat agar jalur yang satu dengan yang lain berhubungan maka pin control dari IC ini diberi tegangan 5 Volt. Berikut ini adalah konfigurasi dari IC ini.



Gambar 4.11

KONFIGURASI PIN-PIN IC 4066



IV. 12. PERENCANAAN PERANGKAT LUNAK

Disini ada dua perangkat lunak yang akan dibuat agar sistem ini dapat berjalan sesuai dengan yang dikehendaki. Yang pertama adalah program pada sistem minimum dan yang kedua program komunikasi pada komputer IBM PC.

IV. 12. 1. Perangkat Lunak pada Sistem Minimum

Program pada sistem minimum ini harus ditulis dalam bahasa mesin (bahasa Assembly) Z-80, di mana semua intruksi dalam program menggunakan 'instruktion set' khusus dari mikroprosesor Z-80.

Program ini dibuat untuk mengatur kerja sistem keseluruhan sehingga peralatan yang direncanakan akan bekerja sesuai yang dikehendaki. Inisialisasi konfigurasi sistem keseluruhan harus disesuaikan dengan memory mapping, I/O mapping. Berikut ini uraian konfigurasi dari perangkat keras :

- a. EPROM 2716, dengan lokasi memori: 0000 - 07FF H
- b. PPI 8255 dengan alamat untuk port A : 00 H, port B : 01 H, port C : 02H sedang control wordnya : 03 H.

Tugas dari program yang dibuat ini adalah untuk membaca port A dari 8255 setiap saat, di mana apabila ada permintaan dari salah satu komputer terminal untuk berhubungan dengan server bisa diketahui dan kemudian akan men-switch jalur menghubungkan komputer tersebut dengan server. Disini program akan terus membaca status

dari komputer terminal tersebut apakah masih terus berhubungan dan jika ditemukan sinyal yang menyatakan keluar dari komunikasi maka program ini akan memutuskan jalur pada terminal tersebut.

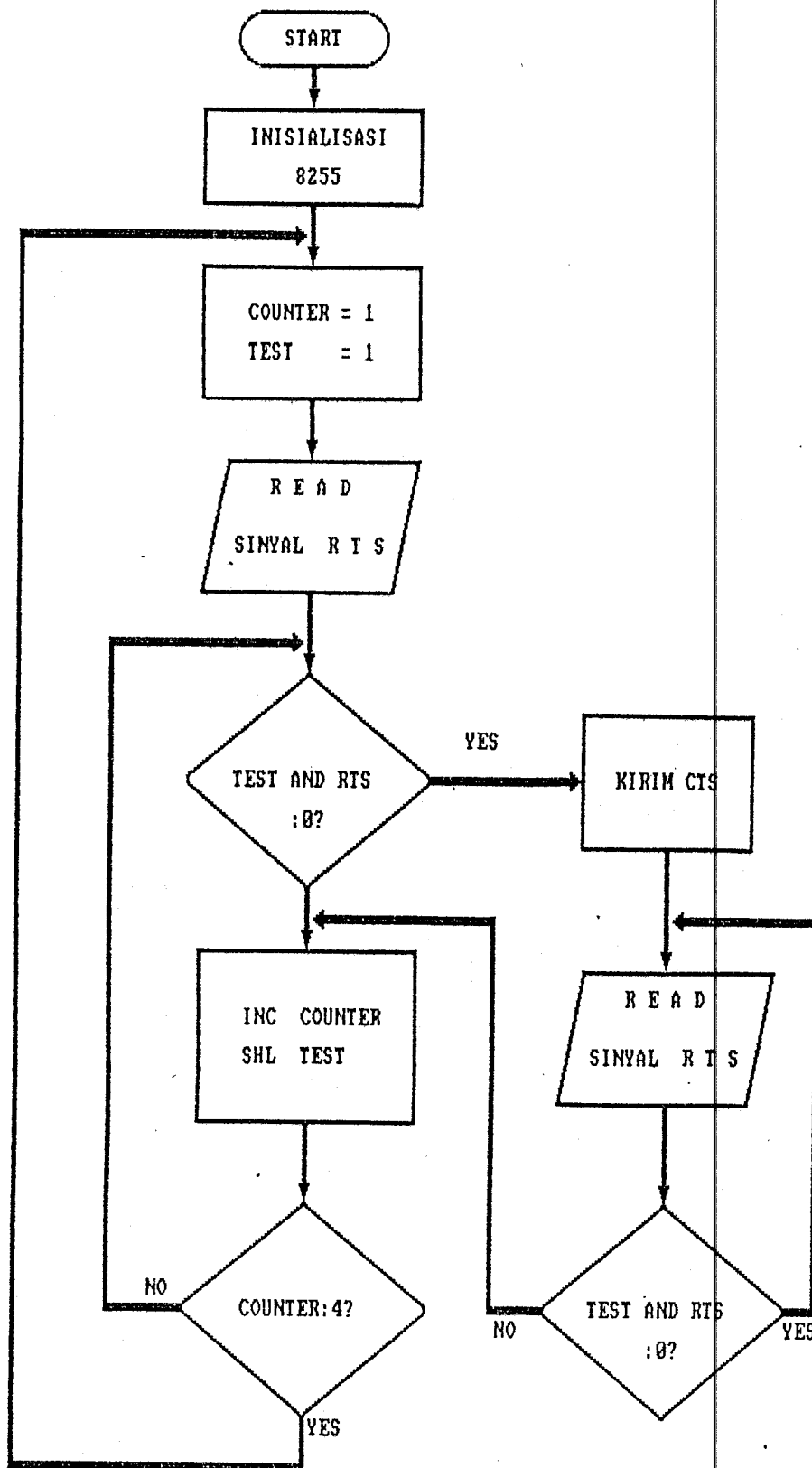
Untuk lebih jelasnya dapat dilihat pada diagram alir yang ditunjukkan pada gambar 4.12.

IV. 12. 2. Perangkat Lunak pada IBM PC

Dibanding dengan perangkat lunak yang ada pada sistem minimum, perangkat lunak pada IBM-PC ini jauh lebih kompleks. Perangkat lunak yang dibuat ini menggunakan bahasa tingkat tinggi 'Turbo Pascal' versi 5.5 yang merupakan versi terbaru. Alasan memakai bahasa ini karena Turbo Pascal mempunyai fasilitas pengaksesan lokasi memory dan input output port secara langsung. Disamping itu juga Turbo Pascal juga mempunyai kemampuan untuk dapat mengakses register-register yang ada pada prosesor 8088.

Pada komputer IBM PC terdapat dua port serial yaitu COM1 dan COM2. Kedua port tersebut dapat digunakan untuk komunikasi dengan peralatan yang direncanakan ini, tetapi biasanya hanya COM1 saja yang terpasang pada komputer IBM PC.

Dalam pembuatan program komunikasi, pertama kali yang harus dilakukan adalah inisialisasi di mana di sini akan ditentukan port serial yang mana, kecepatannya, parity, stop bit dan panjang data.



Gambar 4.12

FLOWCHART PROGRAM DALAM SISTEM MINIMUM

Program komunikasi yang dibuat di sini menggunakan fasilitas yang disediakan oleh BIOS, karena BIOS memberikan fasilitas yang jauh lebih komplet untuk komunikasi serial. Fungsi BIOS ini diakses lewat software interrupt \$14 yang dapat dilihat pada tabel 4-2.

TABEL 4-2
FUNGSI BIOS UNTUK KOMUNIKASI SERIAL

Bit	Description
15: Timeout	Indicates that the BIOS timed out trying to read the serial port status registers. If the serial port is not defective, this error should never occur.
14: Transmit shift register empty	As data are transmitted to the remote computer, they are shifted from the transmit holding register to the transmit shift register. When this register is empty, it means that the entire byte has been transmitted.
13: Transmit holding register empty	Indicates that the last byte given to the serial port has been transmitted. The serial port is now ready to receive another byte.
12: Break detected	Indicates that a break signal was detected from the remote computer. This usually signals the local computer to stop what it is doing (such as listing a file) and return to a ready state, waiting for input from the remote system.
11: Framing error	Indicates that a received byte did not contain the valid number of stop bits.
10: Parity error	Means that the parity of the character received was not correct.
9: Overrun error	Means that the serial port received a character from the remote system before the previous character had been read by the applications program. This happens if the program does not poll the serial port frequently enough.
8: Data ready	Indicates that a byte is ready to be read by the applications program.
7: Received line signal detect	Means that a connection has been successfully established with a remote computer.
6: Ring indicator	Means that someone is trying to establish a data-communications connection with the computer. The serial port has detected that the telephone line is ringing.
5: Data set ready	Means that the modem connected to the serial port is turned on and ready to receive commands.
4: Clear to send	A signal from the modem indicating that it is ready

Bit	Description
	to receive a byte of data. This signal is returned in response to the request to send signal from the serial port, which we will examine later.
3: Delta received line signal detect	Means that the received line signal detect indicator has changed state since the last time that it was interrogated.
2: Trailing edge ring indicator	Indicates that the ring indicator has changed from 0 to 1.
1: Delta data send ready	Indicates that the data set ready bit has changed state since the last time that it was interrogated.
0: Delta clear to send	Indicates that the clear to send bit has changed state since the last time that it was interrogated.

Dengan menggunakan fungsi BIOS di atas, sekarang kita dapat membuat beberapa procedure dan function dalam program komunikasi. Untuk mendesign program yang lebih baik lagi kita perlu tahu bagaimana serial port itu bekerja.

Seperti telah dijelaskan di Bab II hati dari serial port adalah 8250 UART. Chip ini dapat diprogram dengan mengakses lewat 8088 I/O port. Adapun alamat dari port ini dapat dilihat pada tabel 4-3.

TABEL 4-3
ALAMAT REGISTER 8250

Register	Address (COM1/COM2)	Description
		Bit 3: Delta line signal detect Bit 4: Clear to send Bit 5: Data set ready Bit 6: Ring indicator Bit 7: Receive line signal detect
Line control	\$3FB/\$2FB	Used to configure the data-communications parameters. It has the following layout: Bits 0-1: Word Length (bits) 0 = 5 1 = 6 2 = 7 3 = 8 Bit 2: Stop bits 0 = 1 1 = 2 Bit 3: Enable parity Bit 4: Select even parity Bit 5: Mark/space parity select Bit 6: Generate break signal Bit 7: Divisor latch access
Modem control	\$3FC/\$2FC	Allows access to the signals used to communicate with the modem. It has the following layout: Bit 0: Data terminal ready. Informs the modem that the PC is ready to communicate with the modem. It must be set to 1 in order to transfer data in either direction. Bit 1: Request to send. Turned on to tell the modem that we want to send data. The modem responds by setting the clear to send bit of the modem status register. Bit 2: Out1. Used to send a user-defined signal to the modem. The internal Hayes Smartmodem uses this bit to effect a software reset. It is identical to turning the modem off and back on again. Bit 3: Out2. Another user-defined signal. For the Hayes Smartmodem, this bit must be turned on to enable interrupts. Bit 4: Loop. Enables the loopback feature for diagnostic testing. When loopback is enabled, any data transmitted from the serial port also appear as received data. We will not be using this bit.

Register	Address (COM1/COM2)	Description
Transmit holding	\$3F8/\$2F8	Contains the 8-bit character to be transmitted to the remote computer. This is a write-only register.
Receive buffer	\$3F8/\$2F8	Contains the byte most recently received from the remote computer. This is a read-only register.
Interrupt enable	\$3F9/\$2F9	A 4-bit register that enables the serial port to interrupt the computer when any of four interrupts occurs. It has the following layout: Bit 0: Interrupt when data are available to be received Bit 1: Interrupt when transmit holding register is empty. In other words, when the serial port is ready to transmit another character. Bit 2: Interrupt whenever the line status register changes state. Bit 3: Interrupt whenever the modem status register changes state.
Line status	\$3FD/\$2FD	Provides information about the status of data transfer. It has the following layout: Bit 0: Data ready to be received Bit 1: Overrun error Bit 2: Parity error Bit 3: Framing error Bit 4: Break detected on the line Bit 5: Transmit holding register is empty Bit 6: Transmit shift register is empty Bit 7: Always zero
Modem status	\$3FE/\$2FE	Contains the status of the signals from the modem. It has the following layout: Bit 0: Delta clear to send Bit 1: Delta data set ready Bit 2: Trailing edge ring indicator

BAB V PENGUKURAN

Pada bab ini akan dibahas pengukuran dari peralatan yang telah direncanakan dan dibuat. Pengukuran yang dilakukan meliputi pengukuran dari pulsa osilator Z-80 dan pengukuran tegangan pada RS-232.

V. 1. PENGUKURAN OSILATOR

Pada bab perencanaan telah disebutkan bahwa pulsa osilator yang digunakan harus lebih besar dari pada waktu akses terbesar dari komponen penunjangnya. Disini frekuensi clock yang digunakan harus :

$$500 \text{ KHz} < f \text{ clock} < 2,08 \text{ MHz}$$

atau

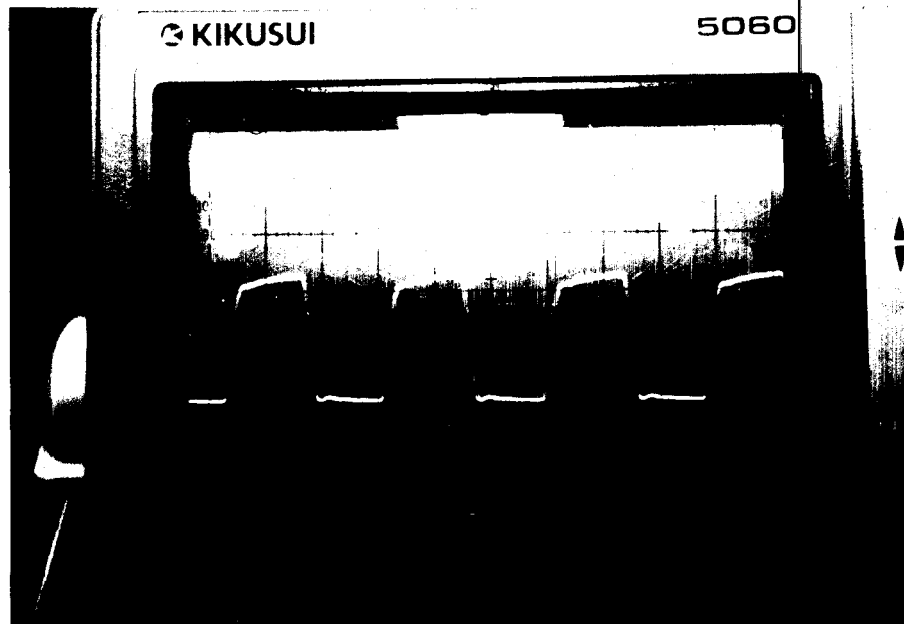
$$408 \text{ nsec} < T \text{ clock} < 2000 \text{ nsec}$$

Disini direncanakan clock yang frekwensinya 1,8795 MHz. Pengukuran dilakukan dengan menggunakan osiloskop yang telah dikalibrasi terlebih dulu dengan suatu function generator. Posisi osiloskop diatur sebagai berikut :

- Time/div = 0,5 usec
- Volt/div = 0,1 volt
- Perbesaran probe = x10

Gambar 5.1 menunjukkan pola clock Z-80 yang direncanakan. Berdasarkan data-data diatas dan hasil

pengukuran dapat dilihat besarnya pulsa clock adalah 1,79 MHz seperti yang telah direncanakan.



Gambar 5.1

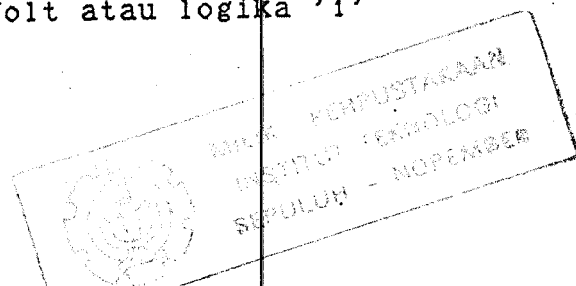
POLA PULSA CLOCK Z-80

V. 2. PENGUKURAN TEGANGAN PADA PIN-PIN RS232C

Dari pengukuran yang dilakukan terhadap sinyal yang terdapat pada RS232C maka didapatkan data sebagai berikut :

Sebelum Komunikasi :

1. Tx mempunyai tegangan -12 Volt atau logika '1'
2. Rx dalam keadaan transisi
3. RTS mempunyai tegangan -12 Volt atau logika '1'
4. CTS dalam keadaan transisi



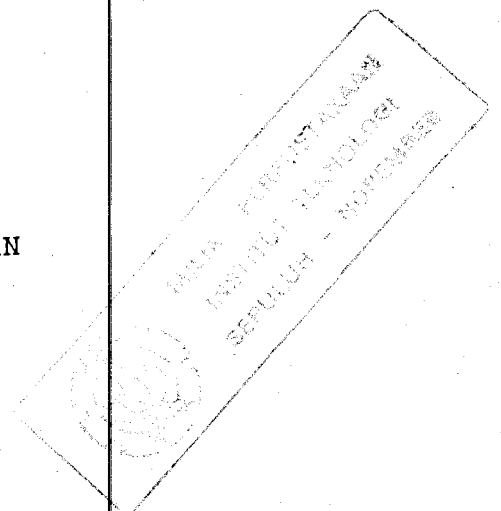
Setelah komunikasi :

1. Tx mempunyai tegangan yang berubah ubah sesuai dengan data yang dikirimkan yaitu antara -12 s/d +12 Volt
2. Rx juga mempunyai tegangan yang berubah ubah sesuai dengan data yang diterima
3. RTS mempunyai tegangan +12 Volt atau logika '0'
4. CTS juga mendapat tegangan +12 Volt atau logika '0'



Gambar 5.2

ALAT YANG DIRENCANAKAN



BAB V KESIMPULAN

Berdasarkan hasil dari pembahasan dalam pembuatan peralatan pemilihan jalur pada komunikasi serial dengan menggunakan mikroprosesor Z-80 serta hasil pengukuran dari beberapa karakteristiknya yang penting, maka bisa ditarik kesimpulan sebagai berikut :

1. Hasil dari percobaan yang dilakukan menunjukkan bahwa keberadaan peralatan ini tidak mengganggu sistem komunikasi yang dilakukan antara komputer terminal dengan server.
2. Penggunaan daya yang relatif kecil oleh peralatan ini , sehingga memungkinkan sistem dipergunakan secara terus menerus.
3. Peralatan yang dibuat disini hanya dapat melayani salah satu terminal saja untuk berhubungan dengan komputer server dan juga komputer server tidak bisa minta berhubungan dengan komputer terminal. Jadi untuk 'calling'nya hanya dari terminal dan menuju server.

DAFTAR PUSTAKA

1. Coffron, James W., Practical Hardware Details for 8088, 8085, Z-80, and 6800 Microprocessor, Prentice Hall Inc., Englewood Cliffs, New Jersey, 1981.
2. Coffron, James W., Z-80 Application, Sybex Inc., 1983.
3. Nashelsky, Louise, Introduction to Digital Computer Technology, Second Edition, John Willey & Son Inc., New York, 1977.
4. Kruglinski, David, Guide to IBM PC Communications, McGRAW-Hill Inc, California, 1986.
5. Edward, Charles C., Advanced Techniques in Turbo Pascal, Sybex Inc., 1987.
6. WSI Staff, IBM PC and XT User's Handbook, Weber System Inc., Cleveland, 1983.
7. Hall, Douglas V., Microprocessor and Interfacing: Programming and Hardware, McGraw-Hill Book Company, Singapore, 1987.
8. Libes, Sol, and Garetz, Mark, Interfacing To S-100/ IEE 696 Microcomputer, Osborne/McGraw-Hill, Berkeley, California, 1981, Hal. 176.
9. IBM Personal Computer XT Technical Reference Manual, Hal. 1 - 191.

APPENDIX A

PROGRAM PADA EPROM 2716

```

        .Z80
;
CONTROL EQU    03H
PORTC   EQU    02H
PORTB   EQU    01H
PORTA   EQU    00H
;
        ORG    00
        LD     B, 0
        DJNZ   $
; INISIALISASI PORT A SEBAGAI INPUT, B DAN C OUTPUT
        LD     A, 90H
        OUT    (CONTROL), A
        LD     A, 11111111B
        OUT    (PORTB), A
BACA:   LD     B, 00000001B      ; TEST
        IN     A, (PORTA)      ; BACA PORT A
        LD     D, A
CEK_RTS: LD    A, D
        AND    B
        CP    00H
        JP    Z, WRITE        ; JIKA BIT TERSEBUT 0
                                ; MAKA KERJAKAN WRITE
KELUAR: LD     A, 11111111B
        OUT    (PORTB), A
        LD     A, B
        CP    08H
        JP    Z, BACA
        SLA   B
        JP    CEK_RTS
WRITE:  LD     A, B
        CPL
        OUT    (PORTB), A
MASIH: IN     A, (PORTA)      ; BACA PORT A SAMPAI
                                ; DATA YBS BERUBAH
;
        AND    B
        CP    00H
        JP    Z, MASIH
        JP    KELUAR
        END

```

APPENDIX B

PROCEDURE-PROCEDURE PADA PROGRAM KOMUNIKASI

Type

```
RS_Baud = (B110, B150, B300, B600, B1200, B2400, B4800, B9600);  
RS_Parity = (None, Odd, Nevermind, Even);
```

Const

```
DefaSpeed : RS_Baud = B1200;  
DefaParity : RS_Parity = None;  
DefaLength : byte = 8;  
DefaStop : byte = 1;  
DefaCom : byte = 0;
```

var

```
regs : registers;  
ch : char;
```

```
Procedure RS232_Initial (DefaCom:byte; Speed:RS_Baud;  
P:RS_Parity; Stop, Length:byte);
```

```
begin  
  regs.dx := DefaCom;  
  regs.ax := ord(Speed)*32 + ord(P)*8 +  
    (Stop-1)*4 + Length-5;  
  Intr($14, regs);  
end;
```

```
Function RS232_Avail (DefaCom: byte): Boolean;
```

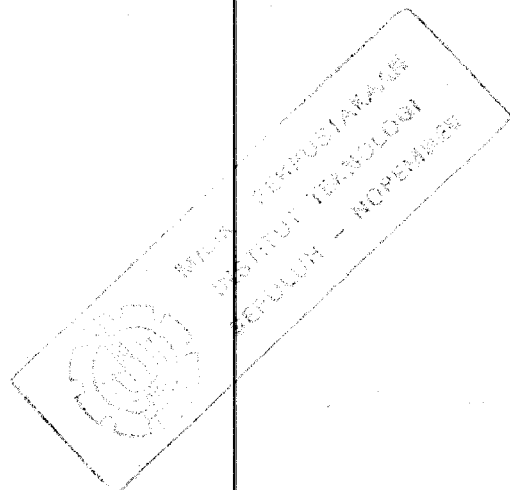
```
begin  
  regs.ah := $03;  
  regs.dx := DefaCom;  
  Intr($14, regs);  
  RS232_Avail := ((regs.ah and 1) = 1);  
end;
```

```
Function Rport (DefaCom: byte): char;
```

```
begin  
  regs.dx := DefaCom; {port}  
  regs.ah := 2;  
  intr($14, regs);  
  if ((regs.ah AND 128) <> 0) then  
    begin  
      writeln('Read error detected in serial port');  
      AdaError := true;  
      Exit  
    end;  
  Rport := chr(regs.al); {karakter yang diterima}  
end;
```

```
Procedure Sport(DefaCom: byte; ch:char);
begin
  regs.dx:= DefaCom;
  regs.al:= ord(ch);    {char yang dikirim}
  regs.ah:= 1;         {fungsi send char}
  intr($14,regs);
  if((regs.ah and 128)<>0) then
    begin
      writeln('Jalur masih dipakai Terminal lain .....');
      AdaError:=True;
    end;
end;

Procedure RS_Cleanup;
begin
  Port[$21] := Port[$21] or $18;
  if DefaCom = 0 then
    begin
      Port[$3FB] := Port[$3FB] and $7F;
      Port[$3F9] := 0;
      Port[$3FC] := 0;
    end
  else
    begin
      Port[$2FB] := Port[$3FB] and $7F;
      Port[$2F9] := 0;
      Port[$2FC] := 0;
    end;
end;
```



APPENDIX C

DATA KOMPONEN



μA1488
RS-232C
Quad Line Driver

Interface Products

Description

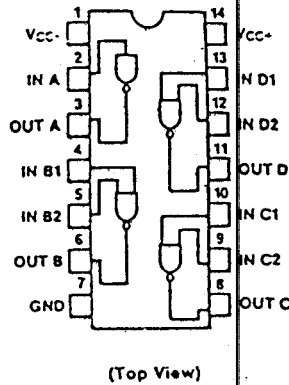
The μA1488 is an EIA RS-232C specified Quad Line Driver. This device is used to interface data terminals with data communications equipment. The μA1488 is a pin-for-pin replacement of the MC1488.

- CURRENT LIMITED OUTPUT— ± 10 mA TYP
- POWER-OFF SOURCE IMPEDANCE
300 Ω MIN
- SIMPLE SLEW RATE CONTROL WITH
EXTERNAL CAPACITOR
- FLEXIBLE OPERATING SUPPLY RANGE

Absolute Maximum Ratings (at 25°C unless otherwise noted)

Power Supply Voltages	
VCC+	+15 V
VCC-	-15 V
Input Voltage Range (V _{IR})	-15 Vdc to +7.0 Vdc
Output Signal Voltage	± 15 Vdc
Continuous Total Power Dissipation (Note 1)	800 mW
Operating Temperature	0°C to 70°C
Storage Temperature	-65°C to +150°C
Pin Temperatures	
Ceramic DIP (Soldering, 60 s)	300°C
Molded DIP (Soldering, 10 s)	260°C

Connection Diagram
14-Pin DIP



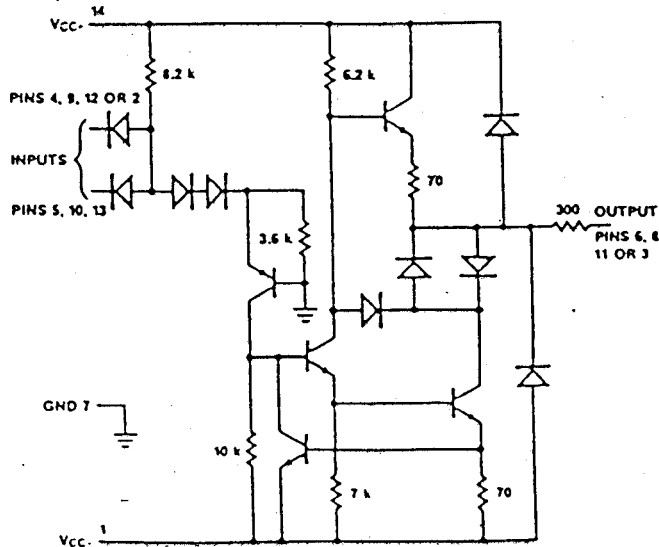
Order Information

Type	Package	Code	Part No.
μA1488	Ceramic DIP	6A	μA1488DC
μA1488	Molded DIP	9A	μA1488PC

Notes

1. Above 60°C ambient temperatures, derate linearly at 8.3 mW/°C.

Circuit Schematic (¼ of Circuit Shown)



μ A1488

DC Characteristics $V_{CC+} = +9.0 \text{ V} \pm 1\%$, $V_{CC-} = -9.0 \text{ V} \pm 1\%$, $T_A = 0 \text{ to } +70^\circ\text{C}$,
unless otherwise noted.

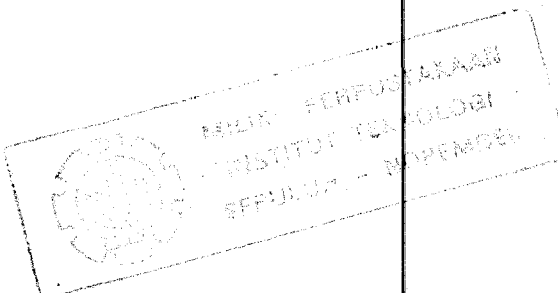
Symbol	Characteristic	Condition	Fig	Min	Typ	Max	Unit
I_{IL}	Input LOW Current	$V_{IH} = 0$	1		1.0	1.6	mA
I_{IH}	Input HIGH Current	$V_{IH} = 5.0 \text{ V}$	1			10	μA
V_{OH}	Output HIGH Voltage	$V_{IL} = 0.8 \text{ V}$, $R_L = 3.0 \text{ k}\Omega$ $V_{CC+} = +9.0 \text{ V}$, $V_{CC-} = -9.0 \text{ V}$	2	+6.0	+7.0		V
		$V_{IL} = 0.8 \text{ V}$, $R_L = 3.0 \text{ k}\Omega$ $V_{CC+} = +13.2 \text{ V}$, $V_{CC-} = -13.2 \text{ V}$	2	+9.0	+10.5		V
V_{OL}	Output LOW Voltage	$V_{IH} = 1.9 \text{ V}$, $R_L = 3.0 \text{ k}\Omega$ $V_{CC+} = +9.0 \text{ V}$, $V_{CC-} = -9.0 \text{ V}$	2	-6.0	-7.0		V
		$V_{IH} = 1.9 \text{ V}$, $R_L = 3.0 \text{ k}\Omega$ $V_{CC+} = +13.2 \text{ V}$, $V_{CC-} = -13.2 \text{ V}$	2	-9.0	-10.5		V
I_{OS+}	Positive Output Short-Circuit Current	$V_{IL} = 0.8 \text{ V}$ (Note 2)	3	+6.0	+10	+12	mA
I_{OS-}	Negative Output Short-Circuit Current	$V_{IH} = 1.9 \text{ V}$ (Note 2)	3	-6.0	-10	-12	mA
R_{OUT}	Output Resistance	$V_{CC+} = V_{CC-} = 0 \text{ V}$, $V_O = \pm 2.0 \text{ V}$	4	300			Ω
I_{CC+}	Positive Supply Current	$R_L = \infty$ $V_{IH} = 1.9 \text{ V}$, $V_{CC+} = +0.9 \text{ V}$ $V_{IL} = 0.8 \text{ V}$, $V_{CC-} = +9.0 \text{ V}$ $V_{IH} = 1.9 \text{ V}$, $V_{CC+} = +12 \text{ V}$ $V_{IL} = 0.8 \text{ V}$, $V_{CC+} = +12 \text{ V}$ $V_{IH} = 1.9 \text{ V}$, $V_{CC+} = +15 \text{ V}$ $V_{IL} = 0.8 \text{ V}$, $V_{CC+} = +15 \text{ V}$	5		+15 +4.5 +19 +5.5	+20 +6.0 +25 +7.0 +34 +12	mA
I_{CC-}	Negative Supply Current	$R_L = \infty$ $V_{IH} = 1.9 \text{ V}$, $V_{CC-} = -9.0 \text{ V}$ $V_{IL} = 0.8 \text{ V}$, $V_{CC-} = -9.0 \text{ V}$ $V_{IH} = 1.9 \text{ V}$, $V_{CC-} = -12 \text{ V}$ $V_{IL} = 0.8 \text{ V}$, $V_{CC-} = -12 \text{ V}$ $V_{IH} = 1.9 \text{ V}$, $V_{CC-} = -15 \text{ V}$ $V_{IL} = 0.8 \text{ V}$, $V_{CC-} = -15 \text{ V}$	5		-13 -18	-17 -15 -23 -15 -34 -2.5	mA μA mA μA mA mA
P_C	Power Consumption	$V_{CC+} = 9.0 \text{ V}$, $V_{CC-} = -9.0 \text{ V}$ $V_{CC+} = 12 \text{ V}$, $V_{CC-} = -12 \text{ V}$				333 576	mW

AC Characteristics $V_{CC+} = +9.0 \text{ V} \pm 1\%$, $V_{CC-} = -9.0 \text{ V} \pm 1\%$, $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Condition	Fig	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Propagation Delay Time	$R_L = 3.0 \text{ k}\Omega$, $C_L = 15 \text{ pF}$	6		220 70	350 175	ns
t_f t_r	Fall Time Rise Time	$R_L = 3.0 \text{ k}\Omega$, $C_L = 15 \text{ pF}$	6		70 55	75 100	ns

Notes

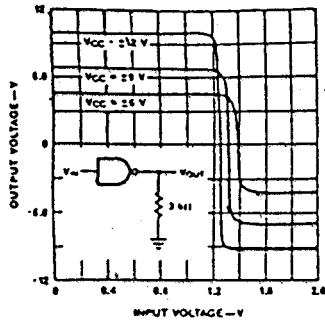
- 2 Maximum Package Power Dissipation may be exceeded if all outputs are shorted simultaneously.



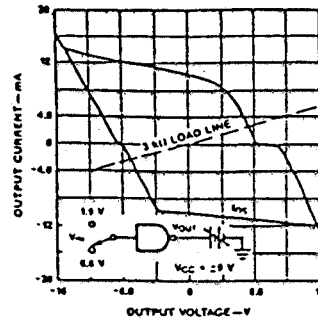
μ A1488

Typical Performance Curves

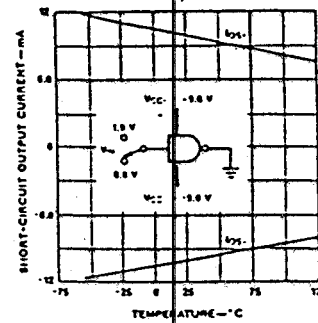
Transfer Characteristics as a Function of Power Supply Voltage



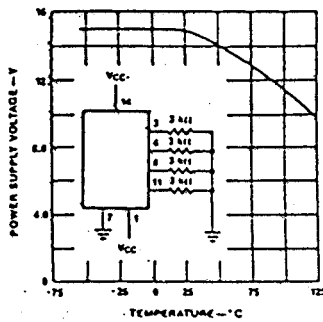
Output Voltage and Current Limiting Characteristics



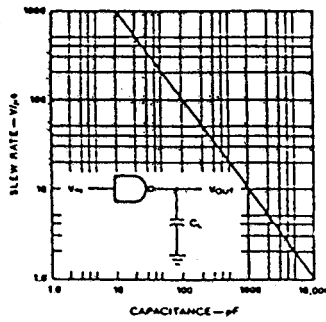
Short-Circuit Output Current as a Function of Temperature



Maximum Operating Temperature as a Function of Power Supply Voltage



Output Slew Rate as a Function of Load Capacitance



DC Test Circuits

Fig. 1 Input Current

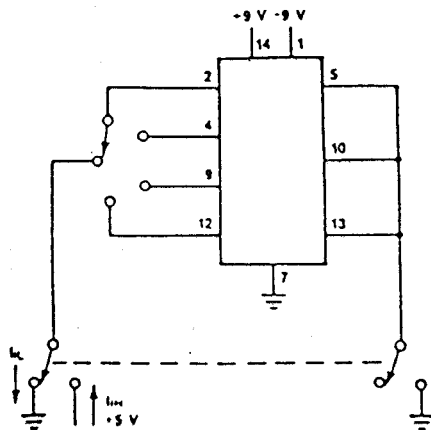
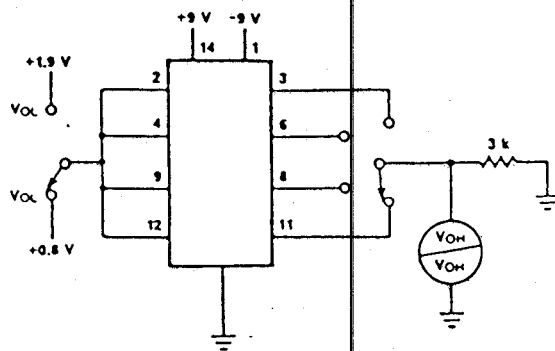


Fig. 2 Output Voltage



μ A1488

Fig. 3 Output Short-Circuit Current

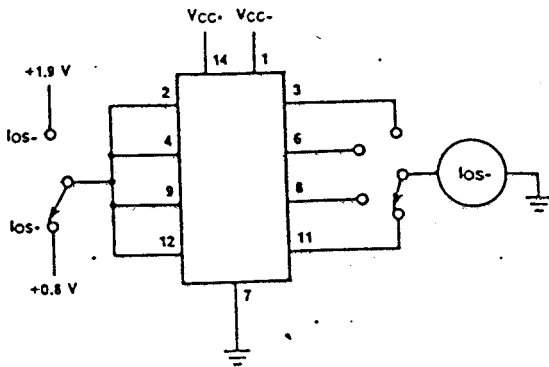


Fig. 5 Power-Supply Currents

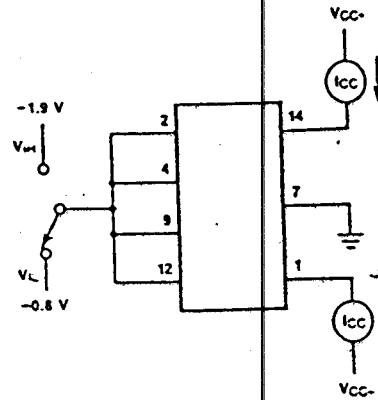


Fig. 4 Output Resistance (Power-off)

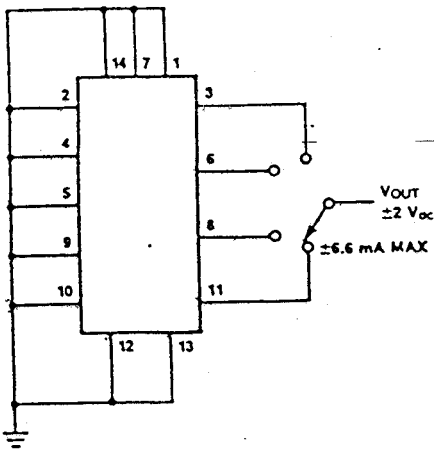
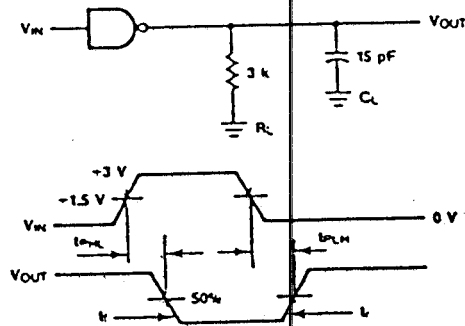
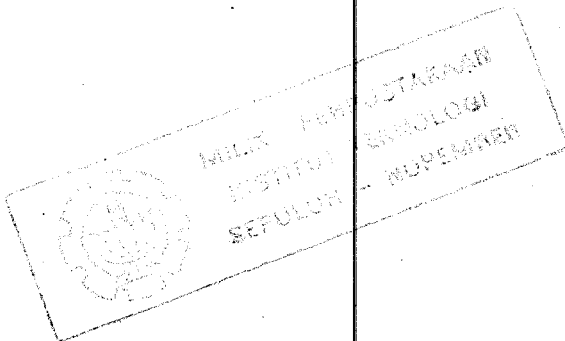


Fig. 6 AC Test Circuit and Voltage Waveform



t_r and t_f are measured 10% to 90%



FAIRCHILD

A Schlumberger Company

**μ A1489 • μ A1489A
RS-232C
Quad Line Receivers**

Interface Products

Description

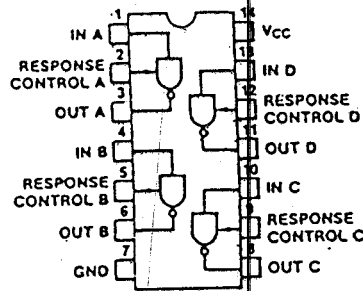
The μ A1489 and the μ A1489A are EIA RS-232C specified Quad Line Receivers. These devices are used to interface data terminals with data communications equipment. The μ A1489 and μ A1489A are pin-for-pin replacements of the MC1489 and MC1489A respectively.

- INPUT RESISTANCE 3.0 k Ω to 7.0 k Ω
- INPUT SIGNAL RANGE ± 30 V
- INPUT THRESHOLD HYSTERESIS BUILT IN
- RESPONSE CONTROL
 - a) LOGIC THRESHOLD SHIFTING
 - b) INPUT NOISE FILTERING

Absolute Maximum Ratings

Power Supply Voltage	+10 Vdc
Input Voltage Range	± 30 Vdc
Output Load Current	20 mA
Continuous Total Power Dissipation (Note 1)	800 mW
Operating Temperature	0°C to 70°C
Storage Temperature	-65°C to +175°C
Pin Temperatures	
Ceramic DIP (Soldering, 60 s)	300°C
Molded DIP (Soldering, 10 s)	260°C

**Connection Diagram
14-Pin DIP**



(Top View)

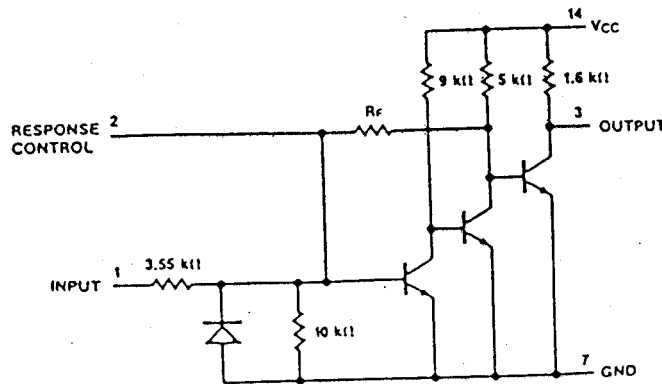
Order Information

Type	Package	Code	Part No.
μ A1489	Ceramic DIP	6A	μ A1489DC
μ A1489	Molded DIP	9A	μ A1489PC
μ A1489A	Ceramic DIP	6A	μ A1489ADC
μ A1489A	Molded DIP	9A	μ A1489APC

Notes

1. Above 60°C ambient temperature, derate linearly at 8.3 mW/°C.

Circuit Schematic (1/4 of circuit shown)



	μ A1489	μ A1489A
R_f	10 k Ω	2 k Ω

μ A1489 • μ A1489A

DC Characteristics $V_{CC} = 5.0 \text{ V} \pm 1\%$, response control pin is open, $T_A = 0^\circ\text{C}$ to 70°C unless otherwise noted.

Symbol	Characteristic	Condition	Fig	Min	Typ	Max	Unit	
I_{IH}	Positive Input Current	$V_{IH} = 25 \text{ V}$ $V_{IH} = 3.0 \text{ V}$	1	3.6 0.43		8.3	mA	
I_{IL}	Negative Input Current	$V_{IL} = -25 \text{ V}$ $V_{IL} = -3.0 \text{ V}$	1	-3.6 -0.43		-8.3	mA	
V_{IHL}	Input Turn-on Threshold Voltage	$T_A = 25^\circ\text{C}$, $V_{OL} \leq 0.45 \text{ V}$	μ A1489	2	1.0		1.5	V
			μ A1489A		1.75	1.95	2.25	
V_{ILH}	Input Turn-off Threshold Voltage	$T_A = 25^\circ\text{C}$, $V_{OH} \geq 2.5 \text{ V}$, $I_L = -0.5 \text{ mA}$	μ A1489	2	0.75		1.25	V
			μ A1489A		0.75	0.8	1.25	
V_{OH}	Output HIGH Voltage	$V_{IH} = 0.75 \text{ V}$, $I_L = -0.5 \text{ mA}$ Input open circuit, $I_L = -0.5 \text{ mA}$	2	2.6	4.0	5.0	V	
V_{OL}	Output LOW Voltage	$V_{IL} = 3.0 \text{ V}$, $I_L = 10 \text{ mA}$	2		0.2	0.45	V	
I_{OS}	Output Short-circuit Current		3		3.0		mA	
I_{CC}	Power Supply Current	$V_{IH} = 5.0 \text{ V}$	4		20	26	mA	
PC	Power Consumption	$V_{IH} = 5.0 \text{ V}$	4		100	130	mW	

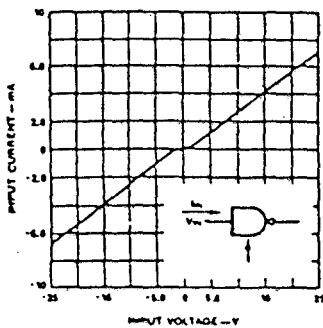
AC Characteristics $V_{CC} = 5.0 \text{ V} \pm 1\%$, $T_A = 25^\circ\text{C}$

Symbol	Characteristic	Condition	Fig	Min	Typ	Max	Unit
t_{PLH} t_{PHL}	Propagation Delay Time	$R_L = 3.9 \text{ k}\Omega$	5		25	85	ns
		$R_L = 390 \Omega$			25	50	
t_r	Rise Time	$R_L = 3.9 \text{ k}\Omega$	5		120	175	ns
t_f	Fall Time	$R_L = 390 \Omega$			10	20	

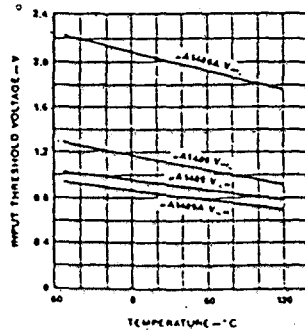


Typical Performance Curves

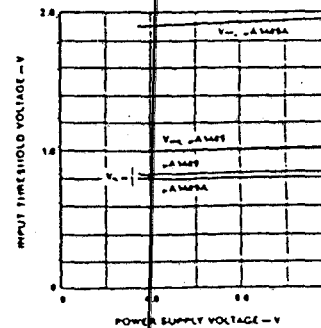
Input Current as a Function of Input Voltage



Input Threshold Voltage as a Function of Temperature



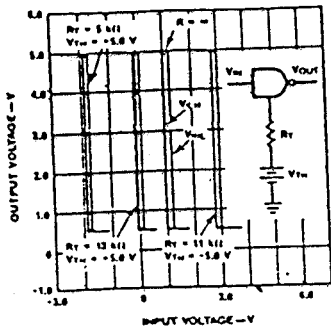
Input Threshold Voltage as a Function of Power Supply Voltage



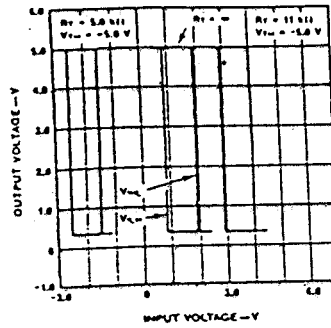
μ A1489 • μ A1489A

Performance Curves (Cont.)

μ A 1489 Input Threshold Voltage Adjustment



μ A 1489A Input Threshold Voltage Adjustment



Test Circuits

Fig. 1 Input Current

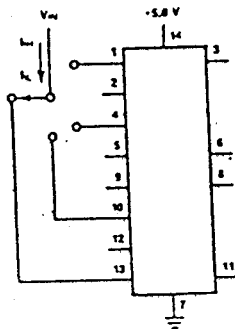


Fig. 3 Output Short-Circuit Current

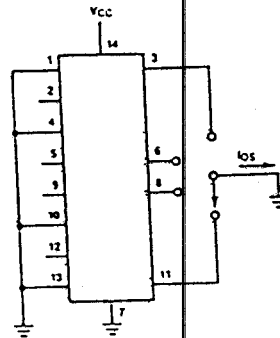


Fig. 2 Output Voltage and Input Threshold Voltage

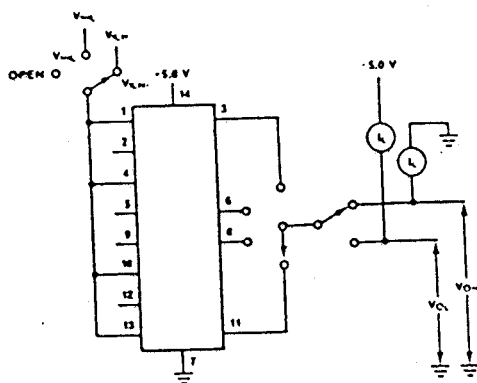
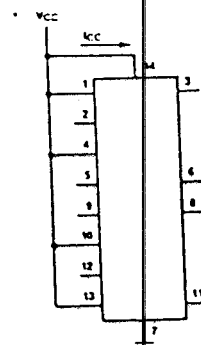
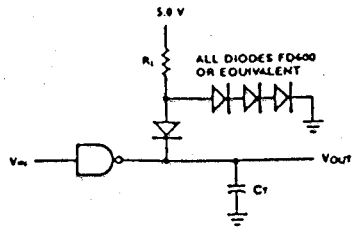


Fig. 4 Power Supply Current



$\mu A1489 \cdot \mu A1489A$

Fig. 5 AC Test Circuit and Voltage Waveforms



Note
 $C_T = 15 \text{ pf}$ = Total parasitic capacitance, which includes probe and jig capacitance.

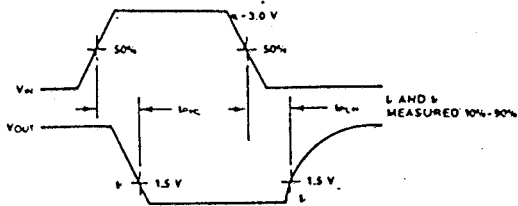
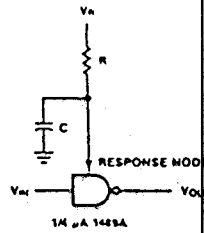


Fig. 6 Response Control Node



Notes
 Capacitor is for noise filtering
 Resistor is for threshold shifting

